

두 개의 변압기를 이용한 새로운 소프트 스위칭 방식의 DC-DC 컨버터

論 文
54B-9-7

A New Soft Switching DC-DC Converter using Two Transformers

李 達 雨[†] · 安 泰 榮^{*}
(Darl-Woo Lee and Tae-Young Ahn)

Abstract - This paper proposes the new soft switching DC-DC converter. We reported the experimental results of the new soft switching DC-DC converter. The proposed converter is to resonate between the leakage inductance of the transformer and the parasitic capacitances of the main switches for zero voltage switching. The voltage stresses of the two switches are the input voltage, it can improve the efficiency and a reduced height used two transformers. Theoretical analysis of the converter along with experimental results is provided. Finally, a 3.3V/20A prototype converter operating at 100kHz is built and experimental waveform verifies the analysis.

Key Words : Zero Voltage Switching, DC-DC Converter, Soft Switching, Two Transformers

1. 서 론

최근 전자, 정보통신 기술의 발달로 인하여 통신과 관련된 여러 시장도 함께 소형화로 발전되어 가고 있는 추세이다. 더불어, 정보통신과 관련된 장비 역시 더욱 소형화, 멀티미디어화, 복잡화 되면서 전원장치 또한 소형화 경량화 박형화가 더욱 요구되고 있는 실정이다. 일반적으로 스위칭 전원장치는 높은 스위칭 주파수로 전력을 변환시키기 때문에 커패시터 및 변압기와 같은 소자의 용량과 크기를 줄일 수 있고, 소형 경량화가 가능하며, 비교적 고 효율의 전력변환이 용이하다는 특징이 있어서 통신기용 전원장치 등에 폭넓게 사용되고 있다. 그러나 통신기용 등에서 사용되고 있는 전원장치의 경우 전력용량이 커지면서 동시에 높은 전력밀도와 전력 변환 효율을 요구하고 있기 때문에 높이 등을 낮추기 위해서 회로에서 사용되는 변압기를 병렬로 사용하는 경우가 있다. 그러나 이러한 경우 변압기에 흐르는 각각의 전류가 실제로는 과도상태 등에서 불균형이 될 가능성이 있다.

본 논문에서는 2개의 변압기를 이용한 새로운 소프트 스위칭 방식의 컨버터를 제안하였고, 제안된 회로는 정상상태의 등가회로부터 동작설명과 정상상태 해석을 수행 하였다. 또한 회로의 유효성을 검증하기 위해서 통신기용 전원장치에 적합한 실험회로를 구성하여 관찰하였다. 이때 실험회로는 통신용 전원 장치에 적합하도록 입력전압 48V, 출력전압 3.3V, 부하전류 20A인 저 전압 대 전류용 DC-DC 컨버터로 설계하였다. 정상상태 해석과 실험결과로부터 제안된 회로는

변압기의 누설 인덕턴스를 이용한 소프트 스위칭이 가능하기 때문에 스위칭 손실이 저감되며, 따라서 전력변환효율을 높일 수 있으며, 또한 회로 구성 시 2개의 변압기를 병렬로 사용함으로써 높이가 낮은 사이즈의 코어를 병렬로 구성할 수 있어서 전원장치의 높이를 낮출 수 있으며, 스위칭 전압 스트레스가 입력전압으로 제한되는 등의 장점을 가지고 있다.

2. 새로운 소프트 스위칭 방식의 DC-DC 컨버터

제안된 컨버터에서는 소프트 스위칭 방식의 새로운 DC-DC 컨버터를 제안하였다. 제안된 회로는 그림 1에서 보여주고 있다. 그림 1에서 1차측은 2개의 스위치 Q_1, Q_2 커패시터 C_1, C_2 와 인덕터 L_{LK} 는 변압기 내의 누설 인덕턴스를 나타낸다. 2차측 구성은 배 전압 정류방식으로 하였으며, 출력 필터 인덕터 L_F 와 커패시터 C_F 로 구성하였다. 2차측 2개의 다이오드 Q_3, Q_4 와 스위치 Q_1, Q_2 는 비대칭의 시비율로 동작하며 주 스위치 Q_1 은 시비율 $D_1=0.5$, 보조 스위치 Q_2 는 시비율 $D_2=(1-D_1)$ 로 결정된다.

그림 2는 그림1의 기본회로가 일정한 스위칭 주파수 f_s 와 한 주기에서 일정한 데드타임을 갖는 스위칭 신호에 의해 주 스위치와 보조스위치가 제어된다고 하고 P-FET을 이용한 스위치는 이상적이라고 가정했을 때 등가회로를 나타낸 것이다. 스위치 Q_1, Q_2 에 기생 커패시터를 C_{eq1}, C_{eq2} 라고 고려하고, 변압기는 자기 인덕턴스 L_{M1}, L_{M2} 와 내부 누설인덕턴스 L_{LK} 를 고려하였다. 커패시터 C_1, C_2 를 충분히 크다고 가정하면 정전압원으로 볼 수 있고 2차측 L_F 를 정전류원으로 등가화 시킨다면 그림 2와 같이 표현할 수 있다.

그림 2의 등가회로가 정상상태에서 동작하는 경우 각 스위치 Q_1, Q_2, Q_3, Q_4 의 동작상태에 따라서 T_0 에서 T_6 까지 6개의 상태로 나눌 수 있으며, 그림 3은 각 상태별 등가회로

† 교신저자, 正 會 員 : 淸州大學 電子工學科 博士課程
E-mail : dmks7@cju.ac.kr

* 正 會 員 : 淸州大學 電子工學科 副教授 · 工博
接受日字 : 2005年 6月 29日
最終完了 : 2005年 7月 26日

를 그림 4 는 각 상태별 이론 동작 파형을 나타내고 있다. 그림 3의 상태별 등가회로와 그림 4의 이론파형으로 동작은 다음과 같이 설명 될 수 있다. 일정한 데드타임을 가지고 스위칭 하는 V_{GS} 신호와 스위치 Q_1 과 Q_2 는 서로 교번하는 스위칭 신호에 의해서 제어 된다.^[2]

그림 3 (a)은 스위치 Q_1 이 턴온 이 되면 1차측 변압기에 v_{P1} 과 v_{P2} 에 $-V_a$ 의 전압이 유기 되고 권선비 N_2 에 의해서 2차측 전압이 유도되면, Q_3 을 턴온 Q_4 를 턴오프 시킨다. 자기 인덕턴스 L_{M2} 에 흐르는 전류와 i_{Qsw1} 흐르는 전류는 일정한 기울기를 가지고 증가한다.

$$i_{Qsw1} = \frac{I_o}{N_2} + i_{M1} + i_{M2} \quad (1)$$

$$i_{Qsw1} = \frac{I_o}{N_2} + i_{M1}(T_o) + \frac{2V_i}{L_m}(t - T_1) \quad (2)$$

그림 3 (b)은 스위치 Q_1 이 T_1 에서 턴오프 되면서 Q_2 의 등가용량 C_{eq2} 에 충전되었던 전압이 Q_1 의 등가용량 C_{eq1} 으로 i_{Ceq1} 의 전류로 충전을 하고, T_2 에서 전압 V_{DS1} 이 V_{cl} 까지 선형적으로 증가한다.

$$i_{Ceq1} = \frac{I_o}{N_2} + i_{M1}(T_1) \quad (3)$$

그림 3 (c)은 T_3 에서 누설 인덕턴스 L_{LK} 와 C_{eq} 가 공진을 하면서 V_{DS1} 전압이 V_i 와 같아지게 된다. Q_2 의 내부 다이오드는 턴오프에서 턴온으로 진행되고, 2차측에 흐르는 전류 i_{Q3} 는 턴온에서 턴오프로 진행을 하고 i_{Q4} 는 턴오프에서 턴온으로 동시에 진행을 하는 구간이다.

$$i_{LK} = \left(\frac{I_o}{N_2} + i_{M1}(T_2) \right) \cdot \cos[w_r(t - T_3)] \quad (4)$$

$$V_{Ceq} = \left(\frac{I_o}{N_2} + i_{M1}(T_2) \right) \cdot Z_r \sin[w_r(t - T_3)] \quad (5)$$

$$w_r = \frac{1}{\sqrt{L_{LK}C_{eq}}} \quad (6)$$

$$Z_r = \sqrt{\frac{L_{LK}}{C_{eq}}} \quad (7)$$

그림 3 (d)은 Q_2 가 제어신호에 의해서 내부 다이오드가 턴온 된 상태에서 턴온 되어 영전압 스위칭(Zero Voltage Switching)이 구현되고, 1차 측 트랜스포머에 v_{P1} 과 v_{P2} 에 $V_i - V_{C1}$ 의 전압이 유기되면서 권선비 N_1 에 의해서 2차측 전압이 유도되면서 Q_4 를 턴온 Q_3 을 턴오프 시킨다. L_{M1} 에 흐르는 전류는 일정한 기울기를 가지고 감소한다.

$$i_{Qsw2} = -\left(\frac{I_o}{N_1} + i_{M1} + i_{M2} \right) \quad (8)$$

$$i_{Qsw2} = -\left(\frac{I_o}{N_1} + i_{M1}(T_3) \right) + \frac{2V_i}{L_m}(t - T_4) \quad (9)$$

그림 3 (e)은 스위치 Q_2 가 T_4 에서 턴오프 되면서 Q_1 의 등가용량 C_{eq1} 에 충전이 되었던 전압이 Q_2 의 등가용량 C_{eq2} 에 i_{Ceq2} 의 전류로 방전을 한다. T_5 에서 전압 V_{DS1} 이 V_{C1} 까지

선형적으로 감소한다.

$$i_{Ceq2} = -\left(\frac{I_o}{N_1} + i_{M1}(T_4) \right) \quad (10)$$

그림 3 (f)은 누설 인덕턴스 L_{LK} 와 C_{eq} 가 공진을 하면서 V_{DS1} 전압이 최소가 되는 전압이 된다. 2차측 i_{Q3} 과 i_{Q4} 가 동시에 턴온과 턴오프가 되는 구간이다.

$$i_{LK} = -\left(\frac{I_o}{N_2} + i_{M1}(T_5) \right) \cdot \cos[w_r(t - T_6)] \quad (11)$$

$$V_{Ceq} = -\left(\frac{I_o}{N_2} + i_{M1}(T_5) \right) \cdot Z_r \sin[w_r(t - T_6)] \quad (12)$$

$$w_r = \frac{1}{\sqrt{L_{LK}C_{eq}}} \quad (13)$$

$$Z_r = \sqrt{\frac{L_{LK}}{C_{eq}}} \quad (14)$$

그림 3의 상태별 등가 회로와 그림 4의 이론동작 파형으로부터 스위치 Q_1, Q_2, Q_3, Q_4 가 정상적인 동작을 수행함을 이론적인 파형으로 알 수 가 있었다. 한편 데드타임을 스위칭 주기에 비해 매우 작다고 가정하면, 그림 2의 등가회로부터 정상상태에서의 커패시터 전압 V_{C1}, V_{C2} 와 입출력 전압비 M 은 다음 식으로 나타낼 수 있다.

$$V_{C1} = V_i(1 - D) \quad (15)$$

$$V_{C2} = DV_i \quad (16)$$

$$M = \frac{V_o}{V_i} = (1 - D)D\left(\frac{1}{N_2} + \frac{1}{N_1}\right) \quad (17)$$

이때 두개의 변압기에 대한 비를 a 라고 하면 다음과 같이 정의할 수 있다.

$$a = \frac{N_2}{N_1} \quad (18)$$

그림 5는 제안된 컨버터가 정상상태에서 동작하고 있는 경우 서로 다른 변압기 권선비 a 에 대한 시비율 D 와 입출력 전압비 M 의 관계를 나타낸 것이다. 그림에서 a 의 변화에 대해 입출력전압비 M 은 시비율 D 가 0.5일 때 최대값을 갖게 되며, a 가 커질수록 M 의 최대값은 비례하여 커진다는 것을 알 수 있었다.

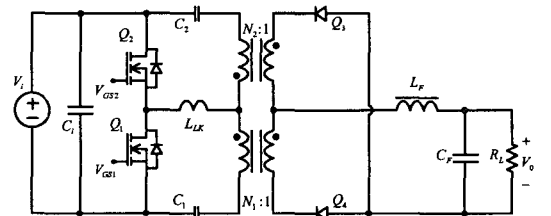


그림 1 새로운 소프트 스위칭 방식의 DC-DC 컨버터
Fig. 1 The novel soft switching DC-DC converter

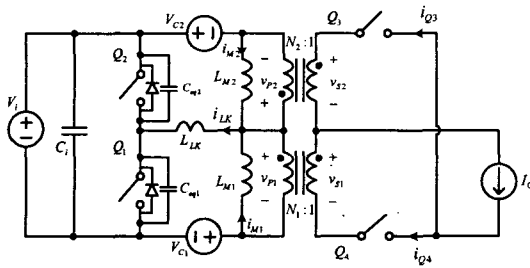
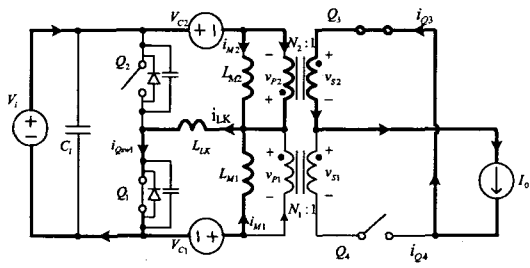
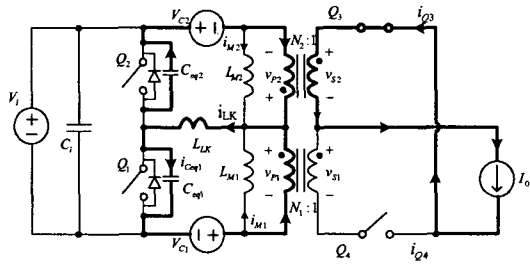


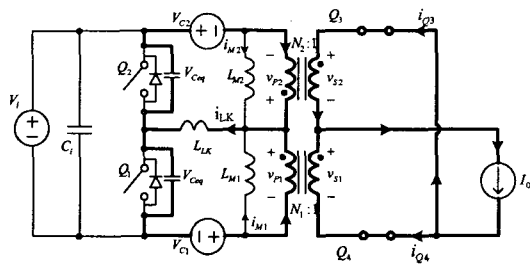
그림 2 등가 회로
Fig. 2 Equivalent circuit



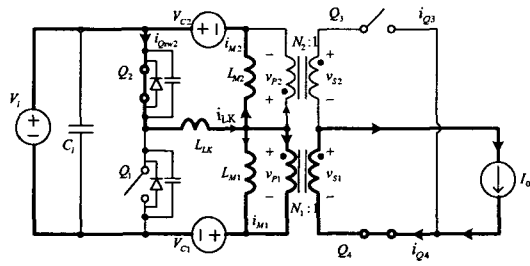
(a) $T_0 - T_1$



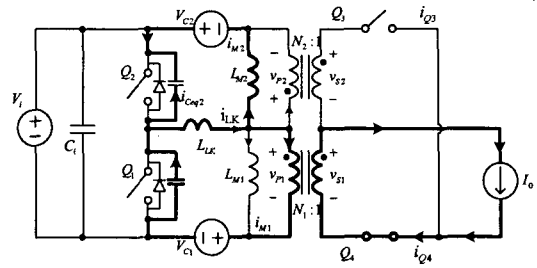
(b) $T_1 - T_2$



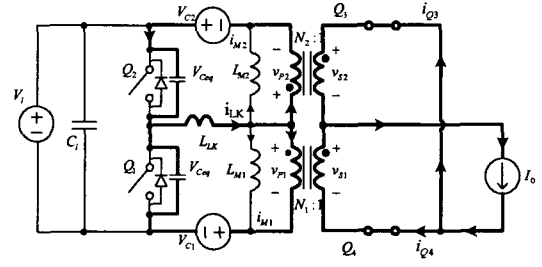
(c) $T_2 - T_3$



(d) $T_3 - T_4$



(e) $T_4 - T_5$



(f) $T_5 - T_6$

그림 3 각 상태별 이론 등가회로
Fig. 3 Equivalent circuit for states of behavior

3. 실험 결과

앞 절에서 언급한 소프트 스위칭 방식의 새로운 DC-DC 컨버터의 동작특성을 검증하기 위해서 표 1과 같은 전기적 사양의 실험 회로를 구성하였다. 표 1의 사양으로부터 실험 회로는 확장성과 신뢰성을 고려하여 전류제어 방식으로 제어회로를 구성하였다. 실험회로에 대한 기본구성은 그림 6에 나타나 있으며, 그림에서 실험에 적용된 PWM IC는 식 (17)로 부터 시비율이 50%로 제한 받기때문에 최대 시비율이 49%인 Fairchild사의 KA7553으로 하였고, 주스위치 Q1 및 Q2는 IRF840으로 하였으며, 1차측과 2차측의 절연을 위하여 포토커플러를 사용하였고, 2개의 스위치를 드라이버 해주기 위하여 IR사의 IR21084S 드라이버 IC와 반전 입력을 위한 MICREL사의 MIC4417 IC를 사용 하였다.

변압기의 권선비는 6으로 설계하였다. 2차측 동기 정류기의 도통손실을 줄이기 위해서 각각 3개를 병렬로 사용하였고, 따라서 2차측 MOSFET를 총 6개를 사용하여 정류회로에서 발생하는 손실을 최소화하였다. 또한 두개의 변압기를 사용하여 전류의 용량을 분담했고, 자성체 코어는 RM10을 사용하였고, 인덕터는 PQ2016의 페라이트코어를 사용하였다. 표 2에 변압기와 인덕터의 파라미터를 정리하여 나타내었다.

그림 7에서는 실험회로가 48V 입력전압에서 부하전류가 각각 20A 및 10A에서 주스위치 V_{DS1} 과 V_{GS1} 의 전압파형과 하단 변압기에 흐르는 i_{LK} 의 전류파형을 나타내고 있다. 그림에서 스위치 및 변압기의 파형이 앞 절에서 논의한 정상 상태 설명 및 그림 4의 이론동작 파형과 일치하고 있으며 주스위치의 오프 상태의 최대전압은 입력전압과 같아진다는 것을 알 수 있었다.

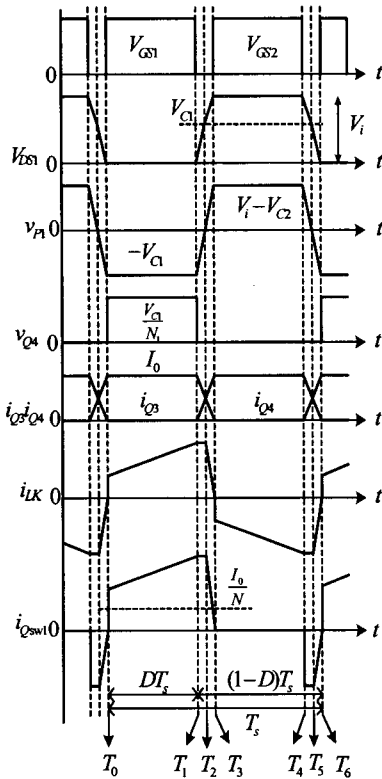


그림 4 각 상태별 이론 동작 파형
Fig. 4 Theoretical waveform for the states

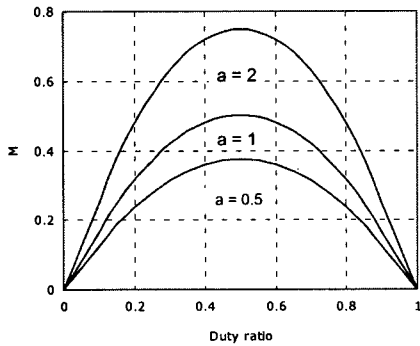


그림 5 시비율에 대한 입출력 전압 비
Fig. 5 The voltage ratio for the duty

또한 그림 8에서는 스위치의 턴온 특성을 좀더 자세히 관찰하기 위해서 스위치 Q₂의 양단 전압 V_{DS2}와 스위치에 흐르는 전류파형 i_{Qsw2}를 각각 10A와 20A의 조건에서 측정하여 나타내었다. 그림 8로부터 스위치가 턴온 되기 직전까지 스위치의 마이너스 전류가 내부다이오드로 흐르고 있는 상태에서 턴온이 되기 때문에 스위칭 손실이 저감되는 소위 영전압 스위칭을 하고 있다는 것을 확인 할 수 있었다. 그림 9에서는 부하전류와 입력전압에 따른 전력 변환 효율을 측정하여 나타내었다. 그림에서 입력전압을 각각 44, 48, 52V로 인가한 상태에서 제한된 컨버터의 최대 효율은 8A에서 93.5%를 나타내었으며, 최대 부하에서는 약 90%를 나타내고 있었다.

표 1 실험 회로의 설계 사양

Table 1 Specifications of experimental circuit

Parameters	Var	Value	unit
Input Voltage range	V _S	44-52	V
Normal input voltage	V _S	48	V
Output voltage	V ₀	3.3	V
Maximum load current	I ₀	20	A
Maximum power	P ₀	66	W
Switching frequency	f _s	100	kHz

표 2 트랜스포머와 인덕터

Table 2 Transformer and inductor

	Parameters	Name	Value	Unit
Transformer	Core	RM10	10	mm
	Inductance	L _M	133	μH
	Trans ratio	N ₁ , N ₂	6	-
	Leakage inductance	L _{LK}	1.37	μH
Inductor	core	PQ2016	20×16	mm
	Inductance	L ₁	1.53	μH
	Turns	N	2	-

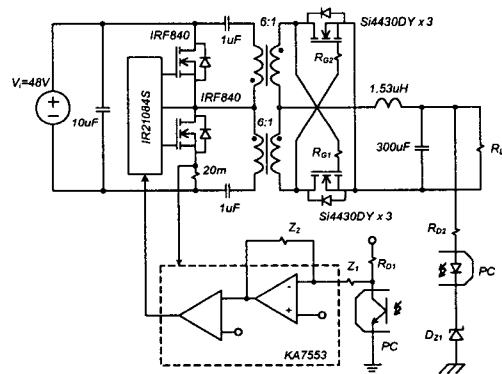
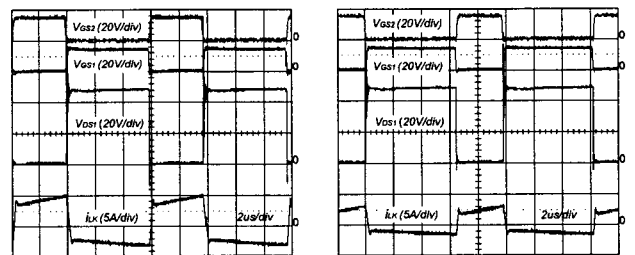


그림 6 실험 회로

Fig. 6 Experimental circuit

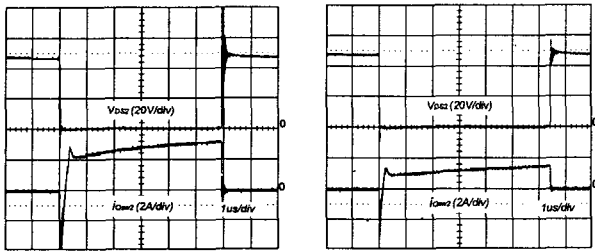


(a) Vi = 48, Io = 20A, Vo = 3.3V

(b) Vi = 48, Io = 10A, Vo = 3.3V

그림 7 실험 파형

Fig. 7 Experimental waveform



(a) $V_i = 48, I_o = 20A, V_o = 3.3V$ (b) $V_i = 48, I_o = 10A, V_o = 3.3V$

그림 8 주스위치 전압과 전류의 파형
Fig. 8 Voltage and current waveform for main switch

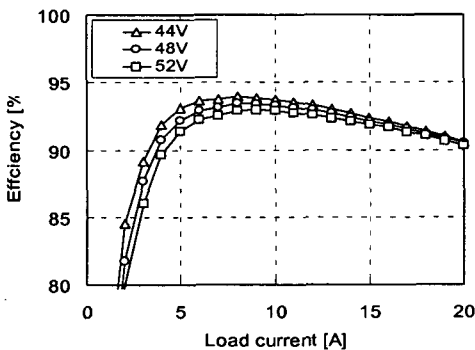


그림 9 전력변환 효율
Fig. 9 Power conversion efficiency

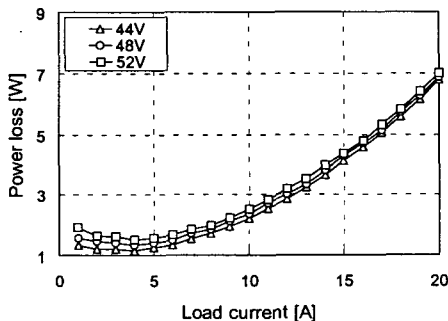


그림 10 전력변환 손실
Fig. 10 Power conversion loss

또한 실험회로는 부하전류가 5A 이상에서 효율이 약 90% 이상으로 최대 부하까지 진행을 하고 있는 것을 알 수 있었다. 그림 10은 부하전류와 입력전압에 따른 전력 변환 손실을 보여주고 있다. 그림에서 출력전류가 약 4A에서 최소 손실을 나타내고 있고, 최대 손실은 최대 부하에서 6.99W를 나타내고 있다는 것을 알 수 있었다.

4. 결 론

본 논문에서는 두 개의 변압기를 사용하는 새로운 소프트 스위칭 방식의 DC-DC 컨버터를 제안하였다. 제안된 회로는 기본적으로 두 개의 스위치를 사용하며, 입출력을 절연하기

위한 변압기는 두 개의 코어로 구성됨으로서 전류용량이 분담되고 따라서 코어의 크기를 줄일 수 있기 때문에 전원장치의 크기를 박형화 시킬 수 있었다. 또한 스위치에 걸리는 최대전압이 입력전압으로 제한되기 때문에 낮은 내압의 반도체 스위치로 구성이 가능하며 영전압 스위칭 특성으로 스위칭 손실과 전도손실을 저감시킬 수 있어서 저손실, 고효율의 컨버터의 설계가 가능하였다.

제안된 회로의 기본 동작 특성을 검토하기위해 정상상태의 동작회로를 유도하였고, 동작회로로부터 상태별 동작설명과 이론파형을 나타내었으며, 정상상태 해석을 통해서 입출력 특성을 밝혔다. 또한 회로의 유효성을 검증하기 위해서 통신기기용 전원장치에 적합한 실험회로를 구성하여 관찰하였다. 실험회로는 입력 전압 48V, 출력 전압 3.3V, 부하전류 20A인 저 전압 대 전류용 DC-DC 컨버터로 설계하였다. 실험 결과 출력전압은 정상동작 범위에서 안정적으로 동작을 수행 하였으며, 중 부하에서 최대 효율이 93.5%를 보였고, 최대 부하에서 약 90%의 전력 변환 효율을 얻을 수 있었다.

감사의 글

이 연구는 산업자원부·한국산업기술 평가원 지정
침주대학교 정보통신 연구센터의 지원에 의한 것
입니다.

참 고 문 헌

- [1] Haruo Watanabe, Hirofumi Matsuo, "Design orient Analysis of a Novel Soft-Switching DC-DC Converter with 2V/20A DC Output", PESC Volume 2, pp. 17~21, 2001.
- [2] Yi-Hsin Leu, Chern-Lin, "Analysis and Design of Two-Transformer Asymmetrical Half-Bridge Converter", IEEE Transactions on powerelectronics Volume 2, pp. 23-27, 2002.
- [3] Julian Y. Zhu, Brad Lehman "Control Loop Design For Two-stage DC-DC Converters With Low Voltage/High Current Output", APEC Volume 2, pp. 9-13, 2003.
- [4] Tobias Tolle, Thomas Duerbaum "Modelling of ZVS Transitions in Asymmetrical Half-Bridge PWM Converters", PESC Volume 1, pp. 17-21, 2001.
- [5] Weiyun Chen, Peng Xu and Fred C. Lee "The Optimization of Asymmetric Half-Bridge Converters", APEC Volume 2, pp. 4-8, 2001.
- [6] Sergey Korotkov, Valery Meleshin, Rais Miftahutdinov, Simon Fraidlin, "Soft-switched Asymmetrical Half-bridge DC/DC Converter: Steady-state Analysis of Switching Processes", INTELEC, pp. 22-24, 1997.
- [7] Marcelo Lobo Heldwein, Alecander Ferrari de Souza and Ivo Barbi, "A Primary Side Clamping Circuit Applied to the ZVS-PWM Asymmetrical Half-Bridge Converter", PESC Volume 1, pp. 18-23, 2000.

저 자 소 개



이 달 우(李 達 雨)

1959년 6월 16일 생. 1983년 한양대 전자공학과 졸업. 1990년 동 대학원 전자공학과 졸업(석사). 1992년 LG전자 주임연구원. 2003년 신도리코 책임연구원. 2004년~현재 청주대학교 대학원 전자공학과 박사과정.

Tel : 043-229-8439, Fax : 043-229-8439

E-mail : dmks7@cju.ac.kr



안 태 영(安 泰 榮)

1984년 한양대 전자공학과 졸업. 1990년 동 대학원 전기공학과 졸업(석사). 1994년 큐슈대학교 전자공학 (공학박). 1995년 일본 세이코 전기 선임연구원. 1996년 삼성전자 반도체 선임연구원. 1997년~현재 청주대학교 전자정보공학부 부교수.

Tel : 043-229-8439, Fax : 043-229-8439

E-mail : tyahn@cju.ac.kr