

RFID/USN을 위한 RF/Analog 집적회로 설계 기술

신 현 철

광운대학교 전자공학과

I. 서 론

각 사물에 전자 태그를 부착함으로써 사물의 고유정보를 알아낸다는 RFID(Radio Frequency Identification) 기술과 센서로부터 수집된 환경 및 상황 정보를 필요에 따라 수집, 가공, 이용한다는 WSN(Wireless Sensor Network)기술은 상호보완적으로 발전하여 궁극적으로 Ubiquitous Computing 또는 Ubiquitous Network을 구현하는 요소 기술이 될 것이다. 이러한 기술을 USN(Ubiquitous Sensor Network)이라 부른다.

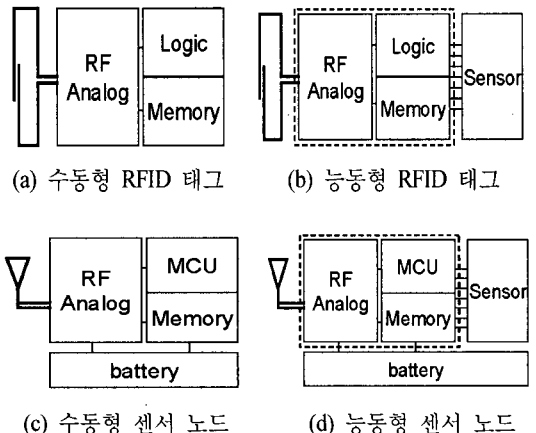
RFID 하드웨어 구성은 사물에 붙여 사물의 고유 정보를 가지고 있는 태그(Tag)와 이로부터 정보를 읽어내는 리더(Reader)로 이루어지고, USN 하드웨어는 일정한 장소에 위치하여 상황 정보를 감지하는 센서 노드(Sensor Node)와 이로부터 정보를 취합하는 싱크 노드(Sink Node 또는 Gateway Node)로 이루어진다. 여기서 태그와 센서 노드는 모든 사물에 부착되어 무선 통신을 수행하여야 하므로 소형화, 저전력 소모, 저비용 구현 등이 중요한 설계 이슈가 된다.

[그림 1]은 RFID/USN용 태그와 센서 노드를 그 발전의 방향을 고려하여 구분한 그림이다. 우선 RFID는 전원을 포함하는지 여부에 따라 수동형 태그 [그림 1(a)]와 능동형 태그 [그림 1(b)]로 구분되고, 태그에 센서를 부착한 센서 노드의 경우도 수동형 센서 노드 [그림 1(c)]와 능동형 센서 노드 [그림 1(d)]로 구분된다.

수동형과 능동형은 전원을 얻는 방식이 다르기 때문에 두 방식의 구조나 동작 원리는 현저히 다르다. 하지만 RFID 태그와 USN 센서 노드는 센서가

부착되어 있는지 여부만 다를 뿐 집적 회로의 구성은 거의 동일하다고 할 수 있다. 현재 대부분의 기술 개발이 수동형 RFID 태그에 집중되어 있지만 앞으로의 발전 방향으로 볼 때 USN 기술 구현을 위해서는 궁극적으로 [그림 1(d)]의 능동형 센서 노드로 발전될 것이 명확하다. 이와 같이 RFID/USN용 센서 노드는 궁극적으로 RF/Analog 송수신기, 디지털 집적회로, 메모리, 그리고 센서를 포함한 저전력 SoC 개발이 그 궁극적인 지향점이 되고 있다.

RFID 동작 주파수는 <표 1>에서와 같이 ISO 18000 Part 1-7: "RFID for Item Management: Air Interface"^[1] 규격에 정의되어 있다. 수동형 태그는 지금까지 135 kHz와 13.56 MHz에서 자계 결합(inductive coupling)을 이용하여 많이 구현되었는데 이는 인식 거리가 짧은 단점이 있다. 따라서 현재의 수동형 태그는 900 MHz나 2.45 GHz 대역에서 안테나를 통한 전파전파를 이용한 무선 통신을 기반으로 한다. 능



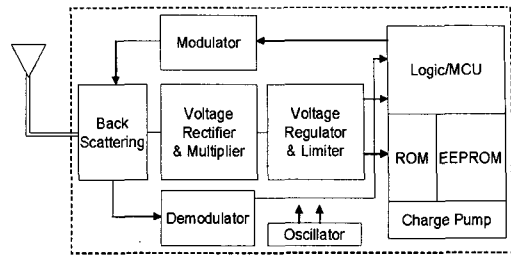
[그림 1] RFID/USN용 Tag 구분

동형 태그는 현재 항만 컨테이너 관리에 이용되는 433 MHz 대역에서 주로 개발되었으나 안테나의 크기를 작게 할 수 있고 데이터 전송속도를 높일 수 있는 2.45 GHz 또는 5.8 GHz 대역에 대한 관심도 높아지고 있다.

[그림 1]에서 보듯이 태그 칩은 기본적으로 무선 접속을 담당하는 RF/Analog IC Block, 정보와 명령의 전달을 수행하는 Logic 또는 MCU를 포함하는 디지털 Block, 그리고 정보의 저장을 위한 메모리 Block으로 이루어진다. 칩 내에서 RF/Analog 집적 회로 부분이 가장 높은 주파수에서 동작하며 무선 접속의 질을 결정하는 부분이기 때문에 많은 설계 도전(Design Challenge)이 요청되는 부분이다. 따라서 본 논문에서는 능/수동형 태그 칩용 RF/Analog 집적회로의 구조, 실제 설계시 고려해야 하는 문제점, 그리고 지금까지 발표된 주요 설계 예를 고찰함으로써 이 분야의 연구 동향과 설계 기술을 알아보고자 한다.

II. 수동형 RFID 태그용 RF/Analog 집적회로 설계

본 절에서는 수동형 RFID 태그 칩의 구조 및 동작원리, 요소 회로 설계에 대해 알아보고 발표된 실제 설계 예를 통하여 설계 기술을 이해하도록 한다.



[그림 2] Chip architecture of passive RFID

2-1 구조 및 동작원리

[그림 2]는 일반적인 수동형 태그 칩 IC의 구조이다. 리더로부터 방사되어 안테나를 통해서 들어온 전파는 정류기(Voltage Rectifier)와 전압 승압기(Voltage Multiplier)를 거쳐 dc 전압으로 변환되는데, 이렇게 생성된 dc 전압이 칩 내부의 Analog Block과 Digital Block을 동작시키는 전원으로 사용된다. 리더와 태그 사이의 거리가 가까울 때는 이 dc 전압이 매우 커져서 태그 칩 회로를 파괴할 수도 있다. 이를 방지하기 위해 일정한 범위 이하로 전압을 제한하는 보호기가 필요한데 Voltage Regulator와 Limiter가 이 역할을 수행하게 된다.

또한, 리더로부터 태그로 전달되는 명령이나 정보를 받아들이는 복조기(Demodulator)와 태그로부터 리더로 정보를 전달하기 위한 변조기(Modulator)가

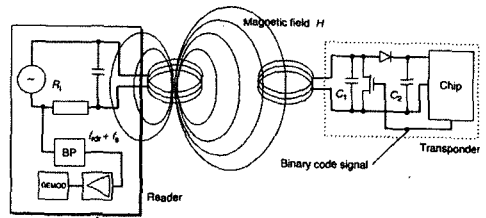
<표 1> ISO 18000 RFID category

Standards	주파수	태그 종류	응용 예	인식거리	EPC Global
ISO 18000-2	135 kHz	수동형	Smart Card	~10 cm	
ISO 18000-3	13.56 MHz (ISM)	수동형	Contactless Smart Card	< 1 m	
ISO 18000-7	433 MHz	능동형	Container Security and Tracking	1~100 m	class 4
ISO 18000-6	860~960 MHz (UHF ISM)	수동형	SCM, Airport Baggage, DoD	2~5 m	class 1 gen 2
ISO 18000-4	2.45 GHz (ISM)	능/수동형	Bluetooth, WPAN	1~2 m	

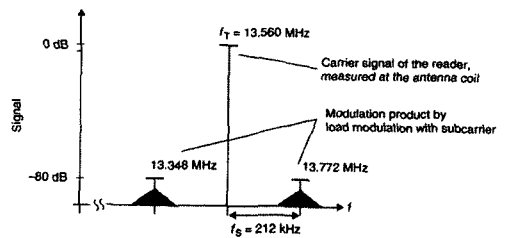
있으며, 이들은 모두 Micro-Controller Unit(MCU)에 의해서 제어된다. 변조기를 통하여 리더로 정보를 전달하는 가장 일반적인 방식은 Back-scattering 변조를 이용하는 것인데 이 회로는 안테나의 가장 앞단에 위치한다. 그 외에 정보의 저장을 위한 메모리와 Read/Write가 가능한 EEPROM은 다른 회로보다 높은 전원 전압이 필요로 하는데 이를 위한 전하 펌프 회로(Charge Pump)가 있어 1~2 V의 전원전압을 10~15 V로 높여서 메모리 회로 동작에 사용한다. 마지막으로 발진기를 통해 회로 내 필요한 곳에 clock 신호를 제공하게 된다.

수동형 태그 동작은 리더에서 태그로 전력이 전달되고 이 전원을 이용하여 활성화 된 태그로부터 다시 리더로 데이터를 전송하는 것을 기본으로 한다. 이를 좀 더 구체적으로 이해하기 위해 자계 결합에 기반한 13.56 MHz Contactless Smart Card IC의 동작을 예로 들어보자^[1]. [그림 3(a)]에서 근접한 두 개의 인덕터가 Transformer로 동작하여 리더의 인덕터에서 나온 자기장(Magnetic Field)이 태그(여기서는 Transponder)인덕터로 결합되어 전압을 유기하게 된다. 이때 유기된 전압은 다이오드와 C₂ 커패시터로 이루어진 반파 정류기를 통하여 dc 전압으로 변환되어 칩에 공급되게 된다.

태그에서 리더로의 정보 전송은 부반송파를 갖는 부하 변조(Load Modulation with subcarrier)방식을 이용한다. 태그 인덕터에 병렬로 연결된 트랜지스터를 전송 데이터에 따라 On/Off시킴으로써 리더에서 바라본 태그의 부하가 변화도록 한다. 이때 부하의 스위칭 주기를 리더의 RF 주파수($f_{reader}=13.56$ MHz)보다 매우 낮은 주파수, 예를 들어 $f_s=212$ kHz로 하면, 리더에서 바라본 스펙트럼은 [그림 3(b)]와 같이 13.56 MHz의 주반송파 옆에 작은 부반송파를 동반한 형태로 나오게 된다. 이 부반송파는 필터를 통과하여 비교적 쉽게 검출될 수 있다. 따라서 부반송파의 진폭이나 위상을 변조시킨다면(예를 들어 ASK,



(a) Reader and tag system at 13.56 MHz



(b) Output spectrum after the load modulation

[그림 3] Operating principle of passive RFID^[1]

PSK, FSK 등) 원하는 데이터를 리더로 전달할 수 있는 것이다. 뒤에 다루지만 900 MHz 대역 UHF 수동형 태그는 안테나를 통하여 공중으로 전해진 전파의 반사량을 변화시킴으로써 정보를 전달하는데, 이를 Backscatter 방식으로 부르며 원리적으로 부하 변조 방식과 동일하다.

2-2 구성 회로 설계

2-2-1 Voltage Rectifier/Multiplier

CW 형태의 RF 신호로부터 dc 전압을 얻기 위해 정류기가 필요한데 가장 간단하게 구현하는 방법은 한 개의 다이오드와 한 개의 커패시터로 이루어진 반파정류기이다.⁷ 태그 칩에서 보통 사용되는 정류기는 Cockroft-Walton 정류기^[2]로서 [그림 4]에 그 회로를 보이고 있다. [그림 4(a)]의 입력에 RF 입력전압 $V_{RF}=V_p \sin(\omega_{RF}t)$ 가 인가되면 dc 출력 전압은 $V_{DC}=2(V_p - V_{D,on})$ 이 된다. 여기서 $V_{D,on}$ 은 다이오드의 턴온 전압(Turn-on Voltage)이다. 이 회로를 확장하여 [그

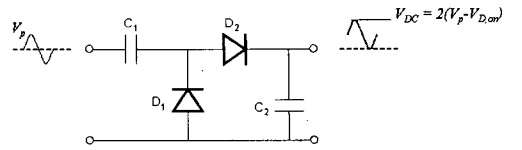
림 4(b)]와 같이 구현하면 더 높은 dc 전압, 즉 $V_{DC}=n \times (V_p - V_{D,on})$ 을 발생시킬 수 있다. 여기서 n 은 사용된 다이오드의 총 개수이다.

보통 사용되는 pn 접합 다이오드는 턴온 전압이 높아서 dc 전압으로의 변환 효율이 낮을 수 밖에 없기 때문에 결국 태그의 인식 거리를 높이지 못하는 영향을 미치게 된다. 따라서, 보통 턴온 전압이 $7 \mu A$ 에서 $0.2 V$ 정도 되는 Schottky 다이오드를 많이 사용된다^[3]. Schottky 다이오드는 이외에도 On 상태에서의 기생저항과 커패시턴스가 작아 고속 동작에 유리한 장점을 갖는다.

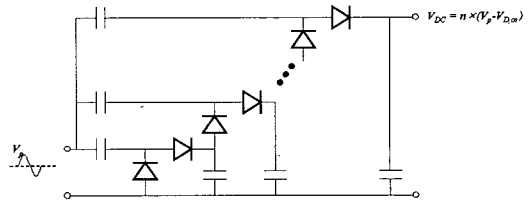
표준 CMOS 공정에서는 Schottky 다이오드가 제공되지 않으므로 성능은 떨어지지만 MOSFET 소자를 이용한 정류기의 개발이 필수적이다. [그림 5]는 NMOS와 PMOS를 다이오드 연결하여 구성한 정류회로이다. $0.18 \mu m$ CMOS 공정의 일반적인 Threshold 전압(V_{TH})이 $0.4 \sim 0.6 V$ 인데 이럴 경우 정류회로의 변환 효율은 매우 낮을 것이다. 이 문제를 해결하기 위해 낮은 V_{TH} 를 갖는 트랜지스터를 사용하여 $17 \mu A$ 전류에서 $0.15 V$ 의 낮은 턴온 전압을 갖는 MOS 다이오드를 사용하여 정류기를 구현한 결과도 발표되었다^{[4],[5]}. 만약 반응동형 태그(Semi-Active Tag)인 경우 칩 내에 전원이 존재하면 다이오드 연결된 MOS 트랜지스터의 게이트와 소스에 V_{TH} 보다 약간 작은 전압을 인가하여 턴온 전압을 낮춤으로써 전력 변환 효율을 높일 수도 있다^[6].

2-2-2 Voltage Limiter and Regulator

태그 안테나에 입사되는 전자장(EM field)의 크기는 리더와 태그 사이의 거리에 따라 수신에서 수백 배의 차이를 보일 수 있기 때문에, 이로부터 유기되는 dc 전원 전압도 같은 비로 변할 수 있다. 그러므로 입사 전자장의 세기에 상관없이 dc 전압의 크기를 일정한 범위에서 제어하는 Regulator가 필요하다. 이러한 Regulator는 과전압이 발생하는 것을 억제해서

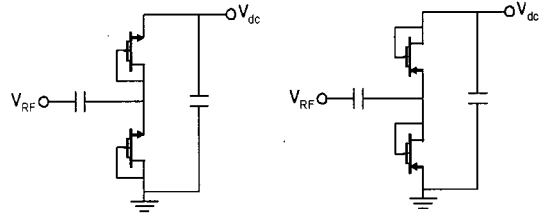


(a) Voltage doubler



(b) Cascade voltage rectifier and multiplier

[그림 4] Cockcroft-walton rectifier



(a) NMOS implementation (b) PMOS implementation

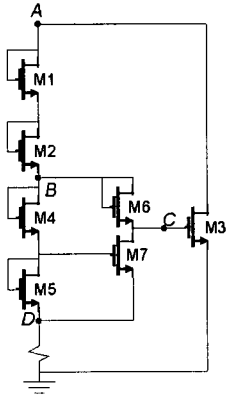
[그림 5] Voltage rectifying doubler

내부 회로를 보호하는 역할을 한다.

Regulator 회로는 Series 혹은 Shunt Regulator의 형태로 구현할 수 있다. [그림 6]에 Shunt Regulator의 한 예를 보이고 있다. 노드 C의 전압은 노드 B의 전압에서 V_{gs6} 만큼 낮으며, 노드 B의 전압은 노드 A의 전압에 비례하여 변한다. 만약 노드 A의 전압이 약 $4 V_{TH}$ 를 넘으면 M3가 turn-on되는데 이때 M3의 W/L을 매우 크게 하면 노드 A로부터 전류를 sink해서 노드 A 전압의 추가 상승을 제어하게 되는 것이다.

2-2-3 Demodulator

EPC Global Class-1 Generation-2 UHF RFID 기준^[8]에 의하면 리더에서 태그로의 통신은 진폭 변조(DSB



[그림 6] Shunt regulator circuit schematic^[7]

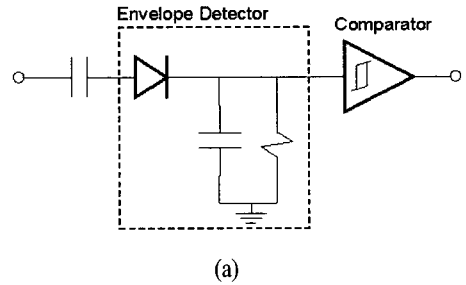
-ASK, SSB-ASK, PR-ASK)를 사용한다. 따라서 태그에서 신호를 복조하기 위해서는 기본적으로 포락선 검파 회로(Envelope Detector)가 필요하다.

[그림 7(a)]는 간단한 AM 또는 ASK 복조 회로의 예이다. 입력된 RF 신호는 다이오드와 RC 저역 통과 필터로 이루어진 포락선 검파기를 통과하고 이후 비교기를 통하여 디지털 데이터로 복조된다. 여기서 사용되는 비교기는 외부 간섭 신호에 민감하지 않도록 Hysterisis를 갖는 Schmitt Trigger 비교기로 설계하는 것이 좋다^[5]. 포락선 검파기에 사용된 저역 통과 필터의 대역폭은 RF 주파수보다는 작아야 하고 ASK 변조된 신호의 대역폭보다는 크도록 적당한 RC 값을 설계해야 한다.

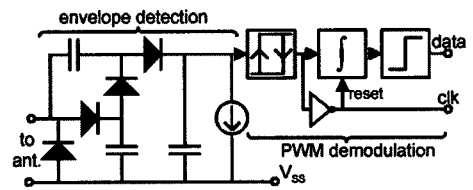
[그림 7(b)]는 펄스폭 변조(PWM)신호 복조기의 구현 예를 보이고 있다^[3]. 포락선 검파기는 앞서 [그림 4]에 제시된 정류기와 동일한 구조이지만 사용된 커패시턴스 값은 비교적 작아도 된다. Schmitt Trigger 비교기를 통과한 디지털 데이터를 적분하여 간단한 Discriminator를 통해 펄스가 “Long”인지 “Short”인지 판단하게 된다.

2-2-4 Backscatter Modulator

Backscatter 변조기는 안테나에 연결된 부하를 변



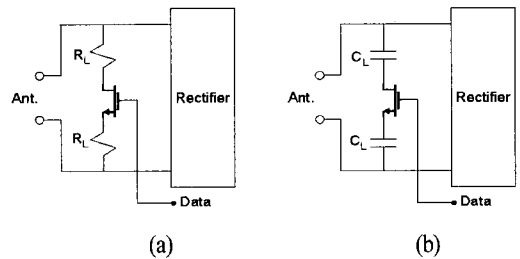
(a)



(b)

[그림 7] (a) AM/ASK demodulator, (b) PWM demodulator

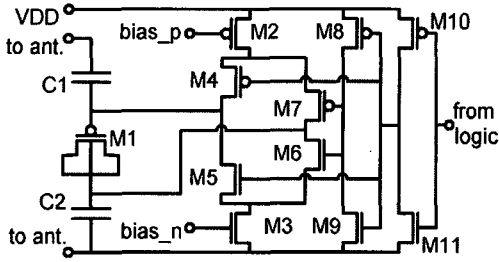
화시키는 회로이다. 이의 간단한 구현을 [그림 8]에 보이고 있다. 전송하고자 하는 데이터를 MOSFET 스위치에 인가하여 스위치를 On/Off 시킴으로써 안테나에서 바라본 입력 임피던스를 변화시킬 수 있다. [그림 8(a)]에서는 저항성 부하(R_L)를 변화시킴으로써 진폭변조(ASK)를 얻을 수 있고 [그림 8(a)]로는 캐패시턴스 부하(C_L)를 변화시킴으로써 위상 변조(PSK)를 얻을 수 있다. 보통 위상 변조를 하는 것이 진폭 변조에 비해서 태그가 리더로부터 받는 전력이 크게 되므로 시스템의 전체적인 전력 효율을 더 높



(a)

(b)

[그림 8] (a) Resistive load modulation, (b) Capacitive load modulation



[그림 9] Schematic of backscatter phase modulator^[3]

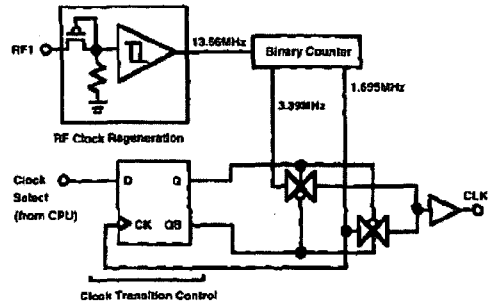
일 수 있는 장점이 있다.

[그림 9]에 Backscatter 위상 변조기의 실제 구현 예를 보였다^[3]. 사용된 스위치 M1은 Accumulation-mode MOS Varactor Diode로서 인가 전압이 $\pm V_{DD}$ 로 변함에 따라 유효 커패시턴스 값이 변하게 된다. C1, C2는 poly-poly 커패시터이다. M8~11은 일반적인 Inverter이고 입력 Logic 데이터에 따라 M4/M6 혹은 M5/7이 Off 된다. M2/M3의 바이어스 전류는 M1의 Charging/Discharging 시간을 결정하므로 변조 신호의 대역폭을 고려하여 결정되어야 한다.

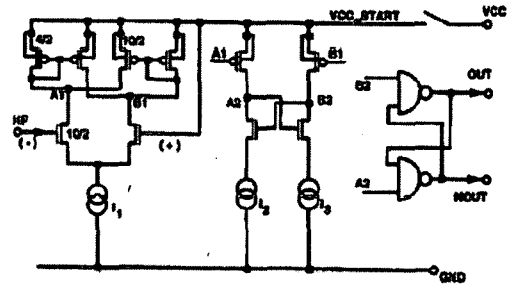
2-2-5 Clock Extraction and Generation

태그에서 일정한 clock 신호가 필요하다면 자체적으로 발진기를 포함하여 원하는 clock을 생성시킬 수도 있고 입력되는 RF 신호로부터 clock을 추출해 낼 수도 있다. 보통 UHF대역 수동형 태그의 경우 데이터 복조나 부하 변조가 수십~수백 kHz에서 이루어지기 때문에 입력되는 데이터로부터 clock을 추출해 낼 수 있다. [그림 7(b)]에서 보듯 900 MHz 수동형 태그에서 입력 신호로부터 clock 신호를 추출해 내고 있고^[3], 2.45 GHz 수동형 태그의 경우도 역시 같은 방식을 취하고 있다^[9].

한편 자체 결합을 이용한 13.56 MHz나 134 kHz 대역의 비교적 저주파를 이용하는 수동형 태그의 경우 입사되는 RF 신호로부터 직접 clock을 복원하여 사용한다. [그림 10(a)]는 13.56 MHz RF 입력 신호를 분주



(a) A 13.56 MHz RF input is converted to 3.39/1.695 MHz clock^[10]



(b) 134 kHz RF input is converted to a system clock^[11]

[그림 10] Clock generation circuit

하여 태그가 필요로 하는 3.39 MHz나 1.695 MHz 클럭을 생성하는 회로이고, [그림 10(b)]는 입력되는 134 kHz의 미세한 신호를 증폭기와 래치를 거쳐 구형파 신호로 복원하는 회로이다.

2-2-6 그 외의 회로설계 및 고려사항

앞서 논의한 회로 외에도 태그 칩의 RF/Analog 회로 설계시 고려사항들이 더 있을 것이다. 예를 들어, POR(Power On Reset)회로를 두어 EM field가 처음 인가되거나 외부 간섭에 의해 전원 전압이 기준 이하로 내려갔다가 원하는 수준으로 회복될 때 태그 칩을 초기화 시킴으로써 오동작을 방지해야 한다.

태그칩과 안테나의 임피던스 정합이 잘 이루어져야 태그 칩에서 받는 RF 전력이 커지고 이에 비례하여 DC 전원 전압도 높아질 것이다. 저가 소형의 태

그 칩을 만들기 위해서는 안테나와 태그 칩 사이에 추가적인 임피던스 정합 회로 없이 직접 연결이 불가피하기 때문에 안테나와 태그 칩 설계 시 이에 대한 고려가 절대적으로 필요하다. 더구나 태그 칩은 부하변조를 하기 때문에 동작 시에 입력 임피던스가 변하는 상황이므로 전력 효율과 인식 거리 등을 고려하여 최적의 임피던스 정합이 이루어지도록 설계가 이루어져야 한다.

전체적인 태그 칩 설계를 위해서는 이상의 RF/Analog 직접 회로 설계 외에 Digital 회로로서 Control Logic과 메모리 설계, 그리고 Analog와 Digital Block 사이의 Interface 설계가 효율적으로 이루어져야 한다.

Ⅲ. 능동형 RFID/USN용 RF/Analog 집적회로 설계

전원을 내장하는 능동형 RFID의 동작 주파수는 433 MHz, 900 MHz, 2.45 GHz, 5.8 GHz 등 여러 대역이 가능하나 현재로서는 컨테이너 관리에 사용되는 433 MHz가 가장 활발한 연구 개발이 진행되는 대역이다. <표 2>에 ISO 18000-7의 433 MHz 능동형 RFID Air Interface 표준을 제시하였다.

하지만 [그림 1]에서도 보였듯이 미래의 RFID/USN을 위해서는 단순한 식별 기능만 아니라 주변 상황을 인지하고 데이터를 처리하는 센서 노드가 필요한데 이를 위해서는 IEEE 802.15.4 물리 계층 기반 Zig-Bee 기술이나 Bluetooth 기술 등 전송 속도는 낮지만 Ad-hoc Networking이 가능하고 저전력 소모를 지향하는 다양한 통신 표준들과의 통합적인 고려를 통한 개발이 필요하다. IEEE 802.15.4와 ISO 18000에서 공통으로 사용되는 무선 주파수는 2.45 GHz 대역이다. 그러므로 현재로서는 능동형 RFID/USN 센서 노드의 무선 접속 주파수로 2.45 GHz가 가장 관심을 끄는 대역으로 알려져 있다.

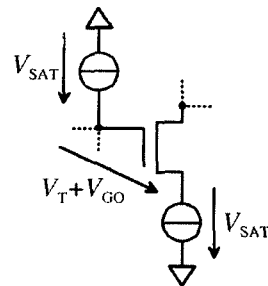
3-1 일반적인 고려사항

센서 노드는 내장 전원을 사용하여 1~5년의 동작을 확보해야 하므로 이를 위한 송수신기는 저전력 소모가 절대적인 요구 사항이다. 또한 소형 경량의 내장 전원을 사용해야 하므로 보통 단 한 개의 내장 전원을 사용할 수밖에 없다. 일반적으로 많이 사용되는 니켈 기반 배터리의 경우 1.2 V의 전압을 발생하므로 이를 사용할 경우 IC의 동작 전압은 1 V에 맞추어야 한다. 반면 리튬 이온 기반 배터리의 경우 3.6 V의 비교적 높은 전압이 발생하므로 이를 이용한 회로 설계 기법에 대해 고려하여야 한다.

어떤 종류의 배터리를 사용하든지 모두 저전력 소모를 목표로 해야 하지만 동작 전압의 높고 낮음에 따라 회로 설계 접근 방식이 달라질 수 있다. 우선 전원 전압 1 V인 경우를 생각해 보자. 보통 송수신기 회로 구성에 사용되는 캐스코드 증폭기나 Gilbert-cell 믹서는 트랜지스터들이 몇 개의 층으로 stacking되어 구성된다. 예를 들어 [그림 11]과 같이 단순하지만 일반적인 경우에 회로가 제대로 biasing 되기 위해서는 다음의 조건을 만족해야 한다.

$$V_{DD} > V_{TH} + V_{GO} + 2V_{SAT} + V_{peak}$$

여기서 Threshold Voltage V_{TH} 는 대략 0.6 V, V_{SAT} 은 0.125 V, V_{peak} 으로 50 mV를 가정하고 인가된 V_{DD} 가 1 V라면, 트랜지스터에 가할 수 있는 최대의 overdrive voltage V_{GO} 는 0.1 V가 된다. 이 경우 트랜지스터는

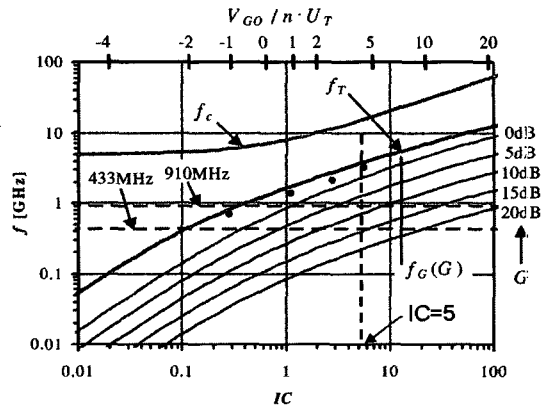


[그림 11] Simplest circuit for maximum gate overdrive voltage^[12]

moderate inversion 혹은 weak inversion 영역, 심하게는 sub-threshold 영역에서 동작하게 된다. 보통의 회로설계가 g_m 이 큰 strong inversion 영역에서 이루어지는 것과 비교하여, weak inversion 혹은 sub-threshold 영역에서의 회로 설계는 회로 설계자들에게 새로운 도전 영역이 된다. 이 영역에서 회로 설계를 위해서는 믿을만한 트랜지스터 모델이 필수적이기 때문에 이에 대한 연구가 우선해야 한다.

Sub-threshold 영역은 strong inversion 영역에 비해 g_m 의 절대값은 작지만 전류가 V_{GS} 에 따라 지수함수적으로 증가하기 때문에 바이폴라 트랜지스터와 같이 작은 전류 증가에 비하여 큰 g_m 증가를 얻을 수 있는 장점이 있다. 하지만 g_m 의 절대값이 작기 때문에 f_T 나 f_{MAX} 로 표시되는 주파수 특성은 좋지 않을 것으로 예상된다. [그림 12]에 0.5- μm nMOSFET의 경우 바이어스 조건에 따른 주파수 특성을 조사하였다^[12]. 여기서 사용된 Inversion Factor(IC)는 gate overdrive voltage V_{GO} 를 thermal voltage $V_t(kT/q \sim 25 \text{ mV})$ 로 나눈 값이다. 그림은 IC에 대한 f_T (unity current gain cutoff frequency), f_c (intrinsic cutoff frequency), f_G (gate capacitance와 동일한 부하일 때 주어진 전압이득을 얻을 수 있는 최대 주파수)를 표시한 것이다. 예를 들어 수직 점선으로 표시된 부분을 보면, IC가 5인 경우에 V_{GO} 가 약 0.1 V가 되는데, 이때 f_T 는 3 GHz이고, 910 MHz에서 약 12 dB의 전압이득을 얻을 수 있음을 알 수 있다. 따라서 이 영역에서 900 MHz 정도의 회로를 설계하는 것이 불가능한 것은 아니라는 것을 알 수 있다. 이와 같이 weak inversion 영역에서 주파수 특성을 고려한 회로 설계에 대한 연구가 더 깊이 진행되어야 한다.

만약 전원 전압이 3 V라면 사정은 달라진다. 이때는 오히려 Gate overdrive voltage를 충분히 확보하고도 전원 전압의 headroom이 남기 때문에 소비 전류만 줄이는 것으로는 전력 소모를 낮추는데 한계가 있다. 이때는 몇 개의 다른 기능을 하는 회로를 아래 위로



[그림 12] Frequency limits of multifingered 0.5 μm nMOS transistors as a function of inversion factor IC (=gate overdrive voltage normalized by thermal voltage V_t)^[12]

stacking 함으로써 전류를 재사용(current reuse)하는 기법을 적용하는 것이 저전력 소모에 유리하다. 예를 들어 LNA와 Mixer, 또는 VCO와 Power Amp를 stacking하는 방법이 제시되었다^[14].

저전력 저전류 회로 설계 시에는 사용되는 트랜지스터의 크기가 보통 작아지게 된다. 작은 크기의 소자 사용시에는 두 가지 문제점을 고려해야 하는데, flicker 잡음과 소자 부정합(Device Mismatch)이

<표 2> ISO 18000-7 air interface link parameters

ISO 18000-7 Air Interface Link Parameters	
Carrier Frequency	433.92 MHz
Modulation	FSK
Frequency Deviation	$\pm 35.0 \text{ kHz}$
High	$f_c + 35.0 \text{ kHz}$
Low	$f_c - 35.0 \text{ kHz}$
Modulation Rate	27.7 kHz
Wake Up Signal	30 kHz
Channel Bandwidth	200 kHz(500 kHz for Reader-to-Tag)
Coding	Manchester

다. 높은 flicker 잡음은 VCO의 위상잡음을 악화시키고, direct conversion receiver에서 baseband 잡음을 상승시켜 시스템의 신호 대 잡음비(SNR) 및 그에 따른 전송 오류(BER) 감쇄를 초래할 수 있다. 또한, Threshold 전압 같은 소자간 부정합은 차동 증폭기의 dc offset 전압 발생이나 I/Q path의 위상 진폭 부정합 등을 발생시킬 수 있으므로 주의해야 한다. 매우 심한 부정합 이라면 추가적인 자동 보정 회로를 이용하여 서라도 보상해야겠지만 추가 전력 소모 및 잡음 발생 등의 단점이 발생할 수 있다.

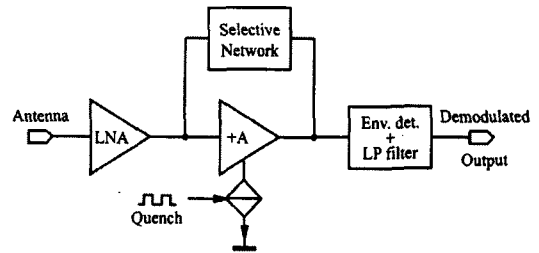
3-2 송수신기 구조 및 설계 고려사항

3-2-1 Receiver

무선 통신을 위한 가장 고성능의 수신기 구조는 Super-heterodyne 형태일 것이다. 하지만 이 구조는 채널 선택을 위해 필요한 외부 필터를 집적화 시킬 수 없기 때문에 소형화에 적합하지 않은 것으로 알려져 있다. 또한, RF 대역과 IF 대역에서 비교적 많은 RF/Analog 회로를 구현해야 하므로 전력 소모를 낮추기가 어렵다.

Low-IF나 Zero-IF(또는 Direct Conversion Receiver) 수신기는 RF 신호를 기저 대역이나 매우 낮은 IF 주파수 대역으로 직접 주파수 변환을 하기 때문에 회로 내의 전체적인 전력 소모를 낮출 수 있는 장점이 있다. Low-IF의 경우 RF 대역의 신호를 IF로 떨어뜨릴 때 Image 신호가 같은 대역으로 중첩되므로 좋은 SNR을 얻기 위해서는 높은 Image Rejection Ratio를 얻어야 하는 문제가 있다. Zero-IF 수신기의 경우 저 전력 소형 수신기 구조에 가장 적합하지만 flicker 잡음문제, dc-offset 문제 등을 해결해야 한다. 하지만 FSK 수신기라면 modulation index를 크게 하여 이 두 문제를 모두 피해 갈 수 있을 것이다.

수신 신호가 ASK 변조 신호라면 위의 세 가지 수신기 구조 외에 [그림 7]에서 보인 포락선 검파 회로



[그림 13] Basic block diagram of the super-regenerative receiver^[15]

를 수신기로 사용할 수 있다. 이 경우 RF 대역에서 좋은 필터를 사용하여 채널을 선택하지 않는다면 인접 대역 간섭 신호에 의한 오동작으로 수신기의 선택도(Selectivity)가 많이 떨어질 것이다. 또한 포락선 검파 회로가 동작할 수 있는 입력 전압이 최소 수십~수백 mV의 되어야 할 것이므로 수신기 감도(Sensitivity)면에서도 단점을 갖고 있다.

또 한 가지 저전력 수신기 구조로 Super Regenerative 구조가 있다. 이는 [그림 13]이 보이듯 주파수를 선택하는 네트워크와 Positive Feedback으로 표시된 발진기에 안테나로부터 입력되는 신호를 인가하는 구조이다. Quench 신호에 따라 주기적으로 발진기가 On/Off를 반복하는데 RF 입력 신호가 있을 때는 없을 때에 비해 발진 시작시간이 짧아진다. 이 신호를 포락선 검파기와 저역 통과 필터를 통과시켜서 입력 신호가 있고 없음을 판단하게 된다. 이 수신기는 OOK 수신기에 적합하다. 그러나 데이터 전송 속도가 발진기의 settling time보다 작아야 하므로 데이터 전송율이 매우 낮다는 단점이 있다.

3-2-2 Transmitter

가장 일반적이며 많이 사용되는 송신기 구조는 Mixer를 기반으로 하는 Quadrature Modulator이다. Quadrature modulator는 two-step conversion과 direct conversion 방식으로 나눌 수 있는데, 소형 저전력 송

신기를 위해서 direct conversion 형태가 적합하다. 이는 앞서 수신기의 경우에 기술했던 것과 같은 이유에서이다. Direct conversion 송신기의 경우 높은 PA (전력증폭기)출력 신호가 회로 내부의 VCO 신호에 간섭을 일으키는 VCO pulling 현상이 심각하게 나타날 수 있다. 그래서 높은 시스템 SNR이 필요한 시스템에서는 offset LO를 사용하는 것이 일반적인 구현 방법이다. 하지만 USN 같은 무선 센서 네트워크에서는 저속 데이터 전송 속도와 저전력 소모가 중요하기 때문에 어느 정도의 SNR 감소를 감수하고라도 offset LO방식을 사용하지 않음으로써 전력 소모를 조금이라도 낮출 수 있을 것이다.

또한 송신 신호가 다른 채널을 간섭하지 않아야 하기 때문에 Image 신호와 LO 신호의 억제가 중요한데, 이는 I/Q-path의 이득 및 위상 정합 같은 회로 내의 대칭적인 정합이 얼마나 좋느냐에 의해 결정된다. 예를 들어 Image 신호의 억압 IRR(Image Rejection Ratio)은 다음 식에 의해 결정된다.

$$IRR = \frac{\epsilon_{LO}^2 + \epsilon_{LF}^2 + \Delta\phi_{LO}^2 + \Delta\phi_{LF}^2 + \epsilon_{Mixer}^2}{4}$$

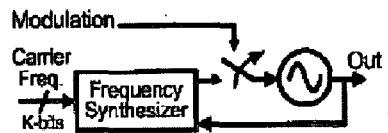
여기서 ϵ_{LO} , ϵ_{LF} , $\Delta\phi_{LO}$, $\Delta\phi_{LF}$ 는 각각 LO 신호와 Baseband 신호의 진폭 및 위상 부정합도, ϵ_{Mixer} 는 Mixer의 이득 부정합도를 나타낸다.

Mixer를 기반으로 하는 송신기 구조 외에 저전력 송신기에 적합한 구조가 PLL을 기반으로 하는 송신기이다. Mixer를 기반으로 하는 송신기가 변조 신호의 진폭이 변하는 신호(Variable Envelope Signal)라도 송신할 수 있는데 반해, PLL을 기반으로 하는 송신기는 PSK나 FSK와 같은 진폭변화가 없는 신호(Constant Envelope Signal)의 송신에만 사용될 수 있는 한계가 있다.

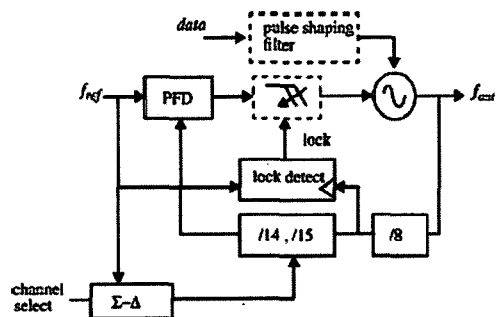
PLL 기반 송신기는 다시 몇 가지 구조로 분류할 수 있다. 우선 PLL 내의 VCO를 직접 변조하는 방식이 있는데, [그림 14(a)]와 같이 PLL 루프를 개방하

고 VCO를 변조시키는 개방형 변조방식과 [그림 14(b)]와 같이 PLL 루프를 동작시키는 상태에서 VCO에 제2의 제어단자를 통하여 신호를 변조시키는 폐쇄형 변조 방식이 있다^{[16],[17]}. 개방형의 경우 루프의 개폐시 출력 주파수가 변할 수 있고 변조 중 VCO가 Free running 하므로 RF 주파수의 정확도를 보장하기 어려운 단점이 있다. 반면 폐쇄형 변조방식은 PLL이 locking되어 있는 상태에서 변조하므로 VCO 주파수의 흔들림은 없으나 PLL 특성상 변조 신호가 고역 통과 필터의 특성을 통과하여 VCO 출력에 나타나게 되므로, Manchester Encoding 등을 사용하여 Baseband 신호 스펙트럼을 PLL Loop Bandwidth 밖에 위치시키도록 해야 하는 어려움이 있다.

이 두 가지 방식의 공통적인 한계점은 변조 계수 (Modulation Index)가 VCO 이득(K_{vco})의 함수이므로 정확한 변조 계수를 얻기 위해서 제작 후 별도의 미세 조정이 필요하다는 것이다. 이러한 문제는 VCO 주파수를 간접적으로 변조하는 다음과 같은 방식에

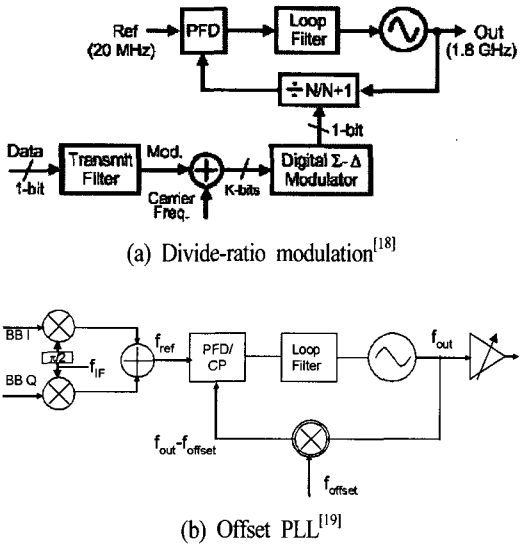


(a) Open-loop modulation^[16]



(b) Closed-loop modulation^[17]

[그림 14] PLL-based transmitter with direct VCO modulation



(a) Divide-ratio modulation^[18]

(b) Offset PLL^[19]

[그림 15] PLL-based transmitter with indirect VCO modulation

서는 쉽게 해결될 수 있다. [그림 15(a)]에서와 같이 주파수 분주기의 분주비를 $\Sigma\Delta$ -변조기를 통하여 미세하게 변화시킴으로써 VCO로부터 나오는 출력 주파수를 변조시키면, 분주비를 디지털 신호의 정확도를 갖고 제어할 수 있으므로 변조계수는 원하는 값으로 정확하게 결정지을 수 있다. 또 다른 방식으로는 PLL 루프 내의 임의의 부분에서 변조신호를 더함으로써 PLL 루프가 변조 신호를 포함하여 locking 되도록 만드는 것이다. 이때 변조 신호를 더할 때 주파수를 천이시켜서 낮은 주파수에서 변조 신호를 부가하므로 offset PLL 방식이라 부른다.

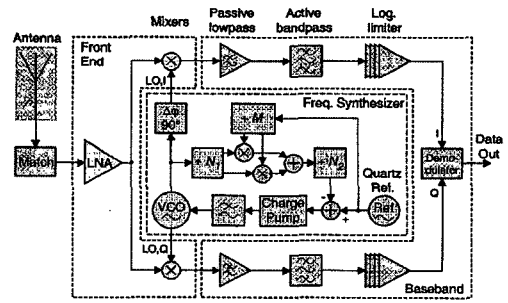
한편 무선 센서 네트워크에서 많이 사용되는 변조방식으로 OOK가 있다. 이는 PA 또는 VCO 출력 단자에 스위치를 달아 이를 개폐함으로써 안테나로 전해지는 신호를 On/Off 시키는 매우 간단한 변조방식이다^[20].

3-3 저전력 송수신기 설계 예

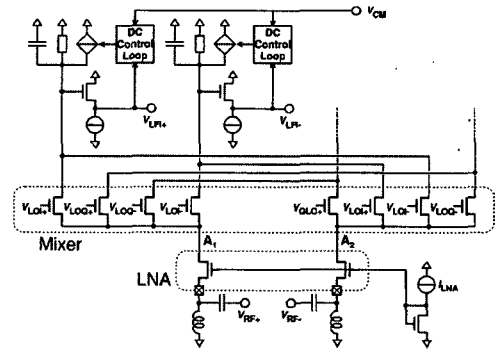
무선 통신용 RF 송수신기 집적 회로에 대한 연구는 지난 십여 년간 많은 연구와 발전이 있었다. 하지만 저전력 송수신기 설계에 대한 연구는 비교적 초기 단계라고 할 수 있을 정도로 발표된 논문이 많지 않다. 여기서는 대표적인 논문 몇 개를 중심으로 저전력 RF 송수신기 설계의 실제 예를 간략히 살펴보도록 한다.

3-3-1 433 MHz Direct Conversion Transceiver^{[12],[13]}

433 MHz ISM 대역에서 동작하는 초 저전력 송수신기를 $0.5 - \mu\text{m}$ standard digital CMOS technology ($V_{TH}=0.6\text{ V}$)를 이용하여 제작하였다. [그림 16(a)]에 보는 바와 같이 direct conversion 수신기 구조를 이용하였다^[12]. 24 kbps 전송율에서 -95 dBm 의 감



(a) Architecture

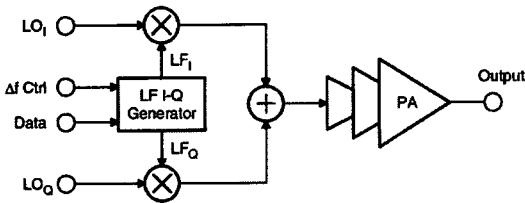


(b) Front-end circuit schematic

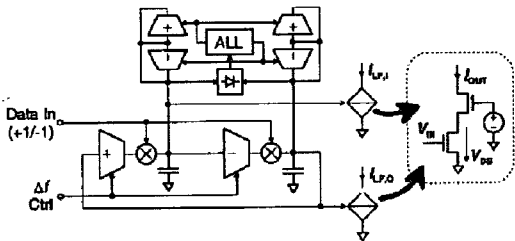
[그림 16] A 433 MHz ultralow-power receiver

도를 보였으며, 1 V 전원을 사용하였고 수신기 전체 전력 소모는 약 1 mW이다. [그림 16(b)]와 같이 LNA와 Mixer는 결합하여 구성하였고 특히 Flicker 잡음 영향을 최소화하기 위해 설계되었다. FSK 복조기는 1차 polyphase filter 구조이다. Baseband Filter 대역폭이 200 kHz일 때 수신기 잡음지수는 14 dB를 얻었다.

송신기는 [그림 17(a)]에 보이듯 Mixer를 기반으로 하는 direct conversion quadrature modulator 구조를 사용하였다^[13]. FSK 변조를 위한 baseband 신호는 [그림 17(b)]에 보이는 quadrature 발진기를 이용하여 생성시킨다. 발진기로부터 나오는 100 kHz의 신호와 ±1의 데이터를 곱해서 ±100 kHz의 신호를 만드는 것이다. 정확한 발진 주파수 조정을 위해 Δf -Ctrl 미세 조정 단자를 두었다. 발진 신호의 고조파 성분을 1% 이하로 하기 위해 multi-tanh doublet 구조^[22]의 코어를 사용하여 선형성을 개선하였다. Upconversion mixer는 일반적인 gilbert-cell 구조이고, 전력 증폭기는 3단의 A급 증폭기와 마지막 1단 B급 증폭기로 구성되

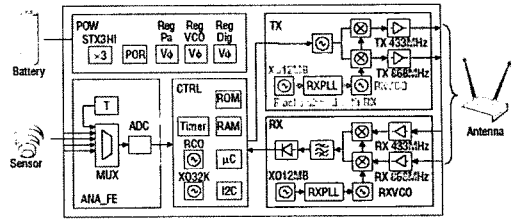


(a) Architecture



(b) Baseband modulator based on analog quadrature oscillator

[그림 17] A 433 MHz ultralow-power transmitter



[그림 18] A 1V 433/868MHz RF transceiver SoC

었다. 1.2 V 전원에서 동작하며 최대 10 dBm의 출력 전력일 때 전체적인 전력 효율은 38 %를 얻었다.

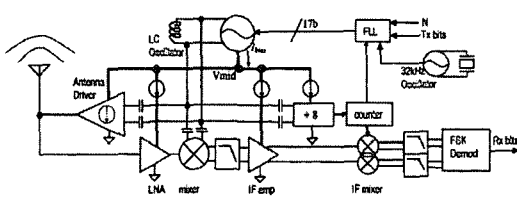
3-3-2 433/868 MHz RF Transceiver SoC^[21]

2005년 ISSCC에서 발표된 433/868 MHz RF Transceiver SoC이다. 이 송수신기는 [그림 18]에서 보이듯 1 V RF 송수신 회로뿐 아니라, 센서와의 인터페이스 회로, RISC 마이크로 콘트롤러, 메모리, 그리고 전원 제어기(power management)회로까지 포함한 0.18- μ m CMOS RF SoC이다.

RF 송수신기는 two-step super-heterodyne 구조를 사용하였으며 이때 사용된 IF와 LO 주파수는 RF 주파수의 각각 1/9과 8/9이다. 수신기 전류 소모는 2.1 mA이고, 감도는 25 kbps FSK일 경우 -111 dBm(433 MHz)와 -108 dBm(868 MHz)이고, 2 kbps OOK일 경우 -117 dBm(433 MHz)와 -114 dBm(868 MHz)를 얻었다. 송신기의 baseband 신호는 DDFS를 사용하여 FSK 변조지수의 정확한 제어가 가능하다. OOK 변조를 위해서는 PA 다음의 스위치를 제어함으로써 10 dBm(ON)/-60 dBm(OFF)의 출력 전력을 얻었다. 전체 전력 소모는 433 MHz/868 MHz에서 10.5 dBm/9.5 dBm 출력 전력일 때 27.6 mA/32.3 mA이다.

3-3-3 900 MHz Transceiver^[14]

900 MHz 대역의 FSK 송수신기를 0.25- μ m CMOS 기술을 이용해 개발하였다. 3 V Lithium-ion 전지를 이용하기 때문에 몇 개의 회로를 직렬로 sta-

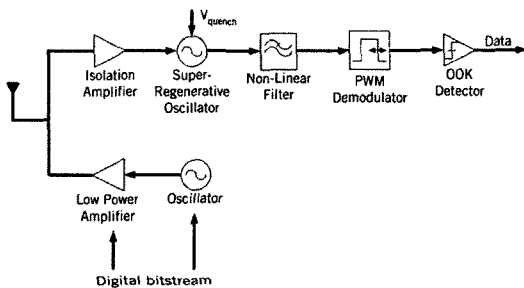


[그림 19] A 3 V 900 MHz FSK RF transceiver

cking함으로써 전류를 재사용하는 방식으로 저전력 소모를 구현하였다. [그림 19]에 보이듯이 VCO를 다른 회로의 상위에 stacking하여 바이어스 전류를 재사용하고 있다.

디지털 FLL(Frequency Locked Loop)은 VCO 출력 신호를 분주해서 디지털 영역에서 주파수를 비교하여 기준 주파수에 locking 시킨다. 이때 송신 데이터에 따라 FLL의 분주비를 조정함으로써 FSK 변조를 수행한다. 전력 증폭기로 사용된 two-stage push-pull 증폭기도 stacking함으로써 전류 소모를 줄일 수 있었다. 송신기는 1.3 mW 전력 소모에서 -6 dBm의 출력 전력을 내고 19%의 전체 전력 효율을 얻었다. 수신기는 Low-IF RF front-end와 FSK 복조기로 구성된다. RF front-end는 위에 위치한 발진기로부터 1.6 V의 전압과 250 μ A의 전류를 소모하도록 설계되었다. 20 kbps 전송율에서 -94 dBm의 감도를 얻었고 이때 전력소모는 1.2 mW이다.

3-3-4 1.9 GHz Super-Regenerative Transceiver^[20]



[그림 20] A super-regenerative transceiver architecture

Super-regenerative 송수신기와 BAW 공진기를 이용하여 저전력 소형 OOK 송수신기를 구현하였다. 구조는 [그림 19]와 같고 1 V 전원에서부터 수신기는 400 μ W, 송신기는 1.6 mW를 소모한다. 수신기의 감도는 5 kbps 전송율에서 -100.5 dBm이 측정되었으며, 송신기는 250 μ W 출력 전력에 25%의 전력 효율을 얻었다.

IV. 결 론

본 논문에서는 RFID 기술과 무선 센서 네트워크 구현을 위한 저전력 RF/Analog 집적 회로 설계 기술에 대해 살펴보았다. 수동형 RFID 태그 칩의 RF/Analog 집적 회로는 RF 신호를 DC 전원으로 변환하는 정류 회로, 내부 회로를 과전압으로부터 보호하는 Regulator, ASK 신호 복조기, 리더로 신호를 전송하기 위한 부하 변조 회로, 클락 생성기 등으로 구성되어 있다. 이 중에서 정류 회로는 과거 Schottky 다이오드와 같은 고성능의 다이오드를 이용한 구조로부터 최근에는 낮은 Threshold 전압의 MOSFET 다이오드를 이용한 정류 회로로 발전함으로써 모든 아날로그 디지털 회로를 CMOS 기술을 이용하여 한 칩에 집적하는 방향으로 연구가 진행되고 있다.

능동형 RFID 태그칩 또는 무선 센서 네트워크의 센서 노드용 RF 송수신기 회로는 저전력 설계가 가장 중요한 문제이다. 이를 위해 송수신기의 구조 및 회로구조를 최적으로 선택함으로써 하나의 전원에서 수년간 동작하는 송수신 집적회로를 구현해야 한다. Direct conversion, Low-IF, Superheterodyne 등 수신기의 구조와, Mixer를 기반으로 하는 quadrature modulator나 PLL을 기반으로 하는 송신기 구조에 대해 각각의 전력 소모, 데이터 전송율, 전력 효율 등을 비교 고려하여 최적의 구조를 선택해야 한다. 보통 1 V 정도의 저 전압을 사용할 경우 대부분의 MOSFET들이 weak inversion 영역에서 동작하기

때문에 이 영역에서의 소자 모델링 및 고속 회로 설계 기법은 많은 연구가 필요한 부분이다. 또한 3 V 정도의 비교적 고전압이 사용될 경우는 회로들을 stacking하여 전류를 재사용함으로써 전력 소모를 낮출 수 있다.

RFID/USN용 집적회로 기술은 기본적으로 CMOS 기술을 바탕으로 하나의 칩에 저전력 송수신 회로를 구현하고, 이와 함께 MEMS 기술 등을 이용한 센서까지 집적화시킴으로써 미래의 Ubiquitous Sensor Network를 구현하는 요소기술로 발전할 것이다.

참 고 문 헌

- [1] Klaus Finkenzeller, *RFID Handbook*, 2nd Edition, John Wiley & Sons, 2003.
- [2] M. D. Bellar, E. H. Watanabe, and A. C. Mesquita, "Analysis of the dynamic and steady-state performance of Cockcroft-Walton cascade rectifiers", *IEEE Tran. Power Electronics*, vol. 7, no. 3, pp. 526-534, Jul. 1992.
- [3] U. Karthaus, M. Fischer, "Fully integrated passive UHF RFID transponder IC with 16.7- μ W minimum RF input power", *IEEE J. Solid-State Circuits*, vol. 38, no. 10, pp. 1602-1608, Oct. 2003.
- [4] F. Kocer, M. P. Flynn, "Long-range RFID IC with on-chip ADC in 0.25 μ m CMOS", *IEEE RFIC Symposium*, Long Beach, CA., 2005.
- [5] W. G. Yeoh, Y. B. Choi, and K. Y. Tham, "A CMOS 2.45-GHz radio frequency identification tag IC with read/write memory", *IEEE RFIC Symposium*, Long Beach, CA., 2005.
- [6] T. Umeda, et al., "A 950 MHz rectifier circuit for sensor networks with 10 m-distance", *IEEE Int. Solid-State Circuit Conference*, San Francisco, CA., 2005.
- [7] Z. Zhu, "RFID analog front end design tutorial", available at <http://autoidlab.eleceng.adelaide.edu.au/> from Auto-ID Lab, The University of Adelaide, Australia.
- [8] EPC Radio-Frequency Identity Protocols Class-1 Generation-2 UHF RFID Protocol for Communications at 860 MHz~960 MHz Version 1.0.7.
- [9] M. Usami, et al., "Power LSI: An ultra small RF identification chip for individual recognition applications", *IEEE Int. Solid-State Circuit Conference*, San Francisco, 2003.
- [10] S. Masui, et al., "A 13.56 MHz CMOS identification transponder IC with a dedicated CPU", *IEEE Int. Solid-State Circuit Conference*, San Francisco, 1999.
- [11] U. Kaiser, W. Steinhagen, "A low-power transponder IC for high-performance identification systems", *IEEE J. Solid-State Circuits*, vol. 30, no. 3, pp. 306-310, Mar. 1995.
- [12] A. Porret, T. Melly, D. Python, C. C. Enz, and E. A. Vittoz, "An ultralow-power UHF transceiver integrated in a standard digital CMOS process: architecture and receiver", *IEEE J. Solid-State Circuits*, vol. 36, no. 2, pp. 452-466, Mar. 2001.
- [13] T. Melly, A. Porret, C. C. Enz, and E. A. Vittoz, "An ultralow-power UHF transceiver integrated in a standard digital CMOS process: transmitter", *IEEE J. Solid-State Circuits*, vol. 36, no. 2, pp. 467-472, Mar. 2001.
- [14] A. Molnar, B. Lu, S. Lanzisera, B. W. Cook, and K. Pister, "An ultra-low power 900 MHz RF transceiver for wireless sensor networks", *IEEE Custom Integrated Circuits Conference*, pp. 401-404, 2004.
- [15] N. Joehl, C. Hehollain, P. Favre, P. Deval, and M. Declercq, "A low-power 1-GHz super-regenerative

- transceiver with time-shared PLL control", *IEEE J. Solid-State Circuits*, vol. 36, no. 7, pp. 1025-1031, Jul. 2001.
- [16] S. Heinen, et al., "A 2.7 V 2.5 GHz bipolar chipset for digital wireless communication", *IEEE Int. Solid-State Circuit Conference*, pp. 306-307, Feb. 1997.
- [17] S. Cho, A. Chandrakasan, "A 6.5-GHz energy-efficient BFSK modulator for wireless sensor applications", *IEEE J. Solid-State Circuits*, vol. 39, no. 5, pp. 731-739, May 2004.
- [18] M. Perrott, T. Tewksbury, and C. Sodini, "A 27-mW CMOS fractional-N synthesizer using digital compensation for 2.5-Mbps GFSK modulation", *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp. 2048-2060, Dec. 1997.
- [19] H. Shin, B. Walker, D. Pan, J. Dunworth, and J. Jaffee, "Analysis of spectral spreading in a phase-modulated system for 1.75-GHz GSM RF transmitter design", *IEEE Custom Integrated Circuit Conference*, San Jose, CA., Sep. 2003.
- [20] B. Otis, Y. Chee, and J. Rabaey, "A 400 μ W-Rx 1.6 mW-Tx super-regenerative transceiver for wireless sensor networks", *IEEE Int. Solid-State Circuits Conf.*, Feb. 2005.
- [21] V. Peiris, et al., "A 1 V 433/868 MHz 25kb/s-FSK 2kb/s-OOK RF transceiver SoC in standard digital 0.18 μ m CMOS", *IEEE Int. Solid-State Circuits Conference*, Feb. 2005.
- [22] B. Gilbert, "The multitanh principle: a tutorial overview", *IEEE J. Solid-State Circuits*, vol. 33, pp. 2-17, Jan. 1998.

≡ 필자소개 ≡

신 현 철



1991년 2월: KAIST 전기 및 전자공학과 (공학사)

1993년 2월: KAIST 전기 및 전자공학과 (공학석사)

1998년 2월: KAIST 전기 및 전자공학과 (공학박사)

1998년 1월~2000년 3월: 삼성전자 선임

연구원

2000년 4월~2002년 4월: UCLA 연구원 및 강사

2002년 5월~2003년 8월: Qualcomm, CA. 선임연구원

2003년 9월~현재: 광운대학교 전자공학과 조교수

[주 관심분야] RF/Analog/Microwave IC, High-speed digital I/O interface