

디지털 초협대역 단말기용 CFL 선형화 칩 설계

Design of CFL Linearisation Chip for the Mobile Radio Using Ultra-Narrowband Digital Modulation

정영준 · 강민수 · 유성진 · 정태진 · 오승엽*

Young-Jun Chong · Min-Soo Kang · Sung-Jin Yoo · Tae-Jin Chung · Seung-Hyeub Oh*

요 약

CQPSK(Compatible QPSK) 디지털 변조 기술을 이용하는 초협대역 단말기용 송신기에 가장 핵심적인 부품들 중의 하나인 카테지안 궤환 루프(CFL: Cartesian Feedback Loop) 선형화 칩을 0.35 μm CMOS 기술을 이용하여 설계 및 제작하였다. 직접 변환 방식 및 CFL 칩을 이용하여 요구되는 부품 수를 줄임에 의하여 송신기의 저비용 및 소형화가 가능하고, 이를 통하여 송신 전력 효율 및 선형성을 향상시켰다. 또한 CMOS 기술을 통하여 저전력 구동이 가능하도록 하였다. 송신 성능 시험 결과 PEP 37 dBm(5 W)의 출력 전력에서 CFL 칩을 구동하여 -25 dBc의 상호 변조 왜곡(@ 3 kHz 주파수 오프셋) 개선을 통하여 FCC 47 CFR 90.210 E에 정의된 방사 마스크 규격을 만족함을 확인하였다. 또한 상기 언급된 송신 특성 개선에 가장 영향을 미치는 성분들인 DC-offset 성분, 궤환 루프에서 발생하는 왜곡 성분을 보상하기 위한 루프 이득 및 위상 값들을 조정할 수 있도록 컴퓨터와의 외부 인터페이스를 구현하여 소프트웨어적으로 이러한 값들을 제어할 수 있도록 프로그램화 하였다.

Abstract

The CFL linearisation chip which is one of key devices in ultra-narrowband mobile radio transmitter using CQPSK digital modulation method is designed and implemented with 0.35 μm CMOS technology. The reduced size and low cost of transmitter are available by the use of direct-conversion and CFL ASIC chip, which improve the power efficiency and linearity of transmitting path. In addition, low power operation is possible through CMOS technology. The performance test results of transmitter show -25 dBc improvement of IMD level at the 3 kHz frequency offset and then satisfy FCC 47 CFR 90.210 E emission mask in the operation of CFL ASIC chip. At that time, the transmitting power is about PEP(Peak-to-Envelope Power) 5 W. The main parameters to improve the transmitting characteristic and to compensate the distortion in feed back loop such as DC-offset, loop gain and phase value are interfaced with notebook PC to be controlled with S/W.

Key words : CFL Chip, APCO P25, CQPSK, Digital Ultra-Narrowband

I. 서 론

한정된 주파수 자원의 이용 효율을 높이기 위한 기술로는 주파수 대역의 초협대역화 기술, 고효율 변복조 기술 및 다이버시티 기술 등이 있다. 이중에

서 초협대역화 기술은 초기에는 FM 방식을 사용하여 채널 당 25 kHz로 무전기 음성 통화에 적용하였으나 협대역화를 통하여 이를 12.5 kHz로 줄였고, 최근에는 초협대역화를 통하여 6.25 kHz로 채널 간격을 조정함으로써 주파수 이용 효율을 25 kHz 채널

한국전자통신연구원 전파기술연구그룹(Radio Technology Group, ETRI)

*충남대학교 전자공학과(Dept. of Electronics Engineering, Chungnam University)

· 논문 번호 : 20050311-031

· 수정완료일자 : 2005년 7월 13일

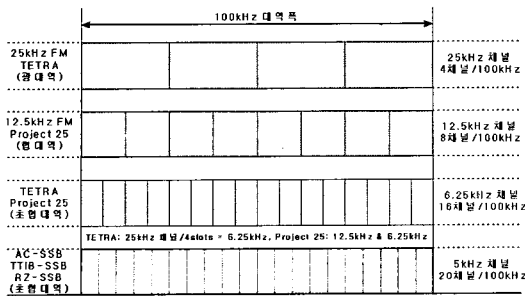


그림 1. LMR용 방식별 스펙트럼 이용 효율 비교
Fig. 1. The comparisons of spectrum reuse efficiency of LMR.

FM 방식에 비해 4~5배 높이는 것이 가능해지고 있다(그림 1 참조).

현재 사용중인 12.5 kHz FM 무전기의 경우 더 이상의 협대역화 시 음성 신호의 전송 품질 저하 등으로 인하여 보다 효과적인 새로운 방식의 기술이 요구되고 있다. 주파수 대역폭 6.25 kHz 이하에서 하나의 음성 신호 전송이 가능한 초협대역화 방식에는 아날로그 및 디지털 방식이 있다. 아날로그 방식은 단측파대(SSB)를 기반으로 하고 있으며, 주파수 대역폭은 음성 신호의 대역폭과 동일하나 음성 신호에 파일럿 톤과 보호 대역 고려 시 5~6 kHz의 초협대역화가 가능하다. ITU-R 보고서 M.2014^[1]에 제안된 LMR용 디지털 방식은 7가지가 있는데, FDMA 방식인 APCO(Association of Public-safety Communications Officials) Project 25(P25)와 3종류의 TDMA 방식 [TETRA(Terrestrial Trunked Radio), IDRA(Integrated Digital Radio), DIMRS(Digital Integrated Mobile Radio System)]이 초협대역 기술 기준을 만족하고 있다. 이 중에서도 개방형 시스템 규격을 채택하고 있는 미국 APCO P25 및 유럽 TETRA 시스템의 경우 공공 안전 분야에서 운송, 산업용 및 군용 무선 통신으로 그 서비스 영역이 점차 확장되고 있다. 하지만 초협대역화 기술들은 주파수 이용 효율을 높이기 위하여 신호 전송에 아날로그 SSB나 QPSK/QAM과 같은 선형 변조 방식을 사용한다. 이로 인하여 송신 신호를 증폭하는 전력 증폭기는 높은 선형성을 유지해야 하며 배터리로 운용되는 휴대 장비의 특성상 전력 효율도 높아야 하므로 전력 증폭기 선형화 기술이 필수적으로 요구된다. 전력 증폭기 선형화 기술에는

feed-forward 방식, linear amplification 방식, CFL 방식 및 adaptive pre-distortion 방식 등이 있다. 이 중에서 CFL 방식은 구현이 비교적 용이하고 소형화가 가능하여 협대역 선형 변조 방식을 이용하는 간이 무선 및 TRS 단말기 등에 널리 활용되고 있다^[2]. CFL 선형화 방식은 초기에는 discrete한 형태로 구현되었으나 송신기 선형화를 위한 DC-offset, 이득 및 위상 조정 등에 대한 다수의 튜닝 포인트로 인한 낮은 신뢰성, 크기가 크고 과도한 전력 소비로 인하여 ASIC화에 대한 필요성이 제기되어 1998년에 영국 SWT(구, LMT)에서 BiCMOS 기술을 이용하여 VHF 대역 CFL 칩을 상용화하였다(현재는 단종된 상태).

기존 SWT 상용 칩과 본 논문에서 제작한 칩과의 성능 비교는 <표 1>에 나타냈듯이 상호 변조 왜곡(IMD) 억압이나 기능적인 면에서는 서로 유사한 특성을 나타내지만 가격, 크기 및 소모 전력 등에서 본 논문의 결과가 보다 우수함을 알 수 있다. 이외에도 신호의 발진뿐만 아니라 동작 전압 이상 시에도 칩 안정도 체크가 가능하도록 하였고, 무전기 PTT(Push-To-Talk) 동작에 적합하고 구현이 용이한 S/H(Sample & Hold) 구조를 이용하여 DC-offset 제거 기능을 수행하였다. 이러한 성능 개선을 통하여 단말기 소형화 및 송신 전력 효율 개선에 필수적인 CFL 선형화 칩을 0.35 μ m CMOS 기술로 제작하여 현재 상용화 중인 APCO P25 Phase II(채널 대역폭: 6.25 kHz) 규격에 정의된 CQPSK 변조 신호 인가 시 PEP 37 dBm에

표 1. CFL 칩 성능 비교

Table 1. The comparisons of CFL chip performance.

항목	This paper	SWT(LMT)
Technology	CMOS	BiCMOS
Chip size	2.73×2.62 mm	5×3.5 mm
회로 구조	Fully differential	Partly differential
IMD 억압	< -30 dB	< -30 dB
Function	DC-offset 제거 Phase 조정 Attenuator 조정	좌동
소모 전류	<100 mA	<120 mA
동작 전압	3.3 V	5 V
Cost	Low cost	Medium

서 FCC 방사 마스크 규격을 만족하여 초협대역 단말기 제작에 실제 적용이 가능함을 확인하였다.

II. CFL 선형화 기법

2-1 CFL 동작원리

CFL 선형화 기법은 동위상(in-phase) 및 90° 위상(quadrature-phase)차를 갖는 I/Q 신호를 입력으로 변조기를 통하여 캐리어 신호를 혼합한 다음 비선형 전력 증폭기를 거쳐 RF 신호를 만들어낸다. 이때 방향성 결합기를 이용하여 RF 출력 신호의 일부를 샘플링 한 후, 발생하는 왜곡(왜곡) 신호를 부캐환을 이용하여 왜곡 성분을 제거하는 방식이다. 구성은 그림 2와 같이 I/Q 성분의 입력 신호와 캐환 신호 성분(I_F & Q_F)의 차를 증폭하는 차동 증폭부(e_1 & e_2), 루프 안정화를 위한 1차 저역 통과 필터 형태의 루프 필터, I/Q 성분의 기저대역 신호를 변조하기 위한 I/Q 변조기, 변조된 신호를 증폭하는 비선형 전력 증폭기, 출력 신호의 일부를 샘플링하여 캐환시키는 방향성 결합기, 캐환된 RF 신호를 다시 I/Q 기저대역 신호로 복조하는 I/Q 복조기, 그리고 I/Q 변조기와 I/Q 복조기에 가해지는 캐리어의 위상을 조절하여 루프에서의 신호 지연을 보상하는 위상 변위기 등으로 구성된다.

그림 2를 이용하여 캐환 루프의 비선형성이 전체 시스템에 미치는 영향은 그림 3과 같이 등가 모델링을 통하여 해석할 수 있다. 전력증폭기나 변조기에서 발생하는 개방 루프 왜곡 $do(t)$ 과 캐환 루프에서 발생하는 왜곡 $df(t)$ 는 루프 이득이 $A\beta \gg 1$ 이라고 가정하면, 출력 $Y(t)$ 는 식 (1)과 같이 근사화 할 수 있다.

$$Y_t \approx \frac{U(t)}{\beta} + \frac{do(t)}{A\beta} - df(t) \quad (1)$$

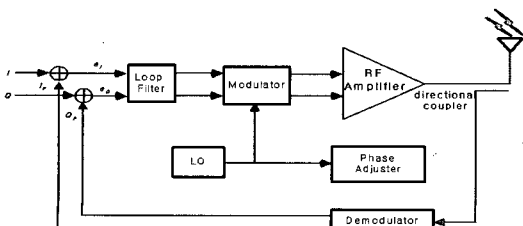


그림 2. CFL의 구조도
Fig. 2. Block diagram of the CFL.

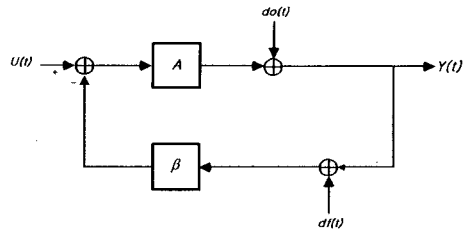


그림 3. CFL의 등가 모델
Fig. 3. Equivalent model of the CFL.

여기에서, $U(t)$ 는 인가되는 기저대역 신호를 나타내고, β 와 A 는 캐환 루프 이득 및 개방 루프 이득을 각각 나타낸다. 위의 식 (1)에서 보듯이 비선형 전력 증폭기나 I/Q 변조기에서 발생하는 왜곡은 루프 이득을 증가시킴에 의하여 감소시킬 수 있지만, 캐환 루프 자체에서 발생하는 왜곡은 출력 단자에 그대로 반영되어 나타나므로 캐환 루프에 사용되는 소자들은 왜곡이 생기지 않도록 해야만 한다. 결론적으로 루프 이득이 충분히 클 경우 출력 신호에 나타나는 왜곡 성분은 캐환 루프에 의해 제거가 가능하지만 폐 루프 형태로 불안정해질 가능성이 있으므로 루프 이득 및 루프 필터의 차단 주파수를 적절히 조정해야 한다. 또한 안정성 조건에 의하여 루프 필터의 대역폭이 제한되므로 광대역 신호의 증폭에는 어려움이 있으나 협대역 신호(채널 대역폭 < 100 kHz)의 증폭에는 용이하다^{[3]-[5]}

2-2 CFL 선형화 기법의 필요성

디지털 송신 신호의 스펙트럼은 기저 대역 디지털 필터의 주파수 특성에 의해 결정되므로 방사 마스크 규격을 근거로 roll-off factor α 가 0.2이고 160-taps RC(Raised Cosine) 펄스 형태로 설계하였다. 기저대역 신호를 RF 송신 신호로 변환하는 과정에서 주파수 변환기 및 전력 증폭기 등이 사용되며 이러한 소자들의 비선형성으로 인하여 송신 신호 스펙트럼을 왜곡시킨다. 특히, CQPSK 선형 변조 방식을 위한 전력 효율이 높은 전력 증폭기는 AM-to-AM 및 AM-to-PM에 의한 비선형성이 강하여 ACPR(Adjacent Channel Power rejection Ratio) 성능이 악화된다.

그림 4는 시뮬레이션에 사용된 전력 증폭기의 비선형 특성^[4]을 나타내며, 이러한 전력 증폭기에 CQPSK 변조 신호를 인가하여 시뮬레이션한 결과를

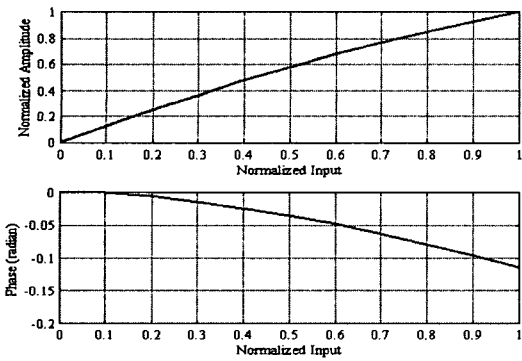


그림 4. 전력 증폭기의 AM-to-AM 및 AM-to-PM 특성
Fig. 4. AM-to-AM and AM-to-PM characteristic of PA.

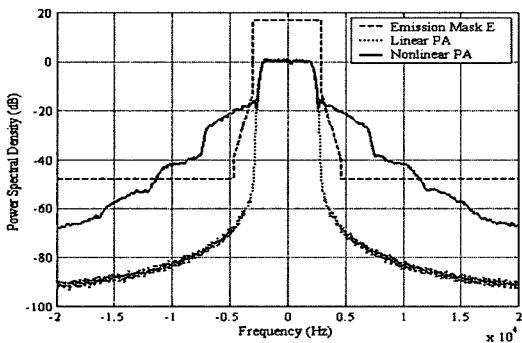


그림 5. 비선형 전력 증폭기 및 선형 전력 증폭기의 방사 마스크 특성 비교
Fig. 5. Emission mask characteristics comparison between nonlinear PA and linear PA.

그림 5에 나타내었다. 그림 5에서 보듯이 CFL 선형화 기법이 포함된 선형 전력 증폭기는 송신기 방사 마스크 규격을 만족하지만 비선형 전력 증폭기의 경우는 규격을 만족하지 못함을 알 수 있다. 따라서 CQPSK 선형 변조 방식을 이용하는 디지털 초협대역 단말기의 경우 전력 증폭기 선형화가 반드시 요구된다.

III. CFL 선형화 칩 설계

CFL 선형화 방식용 송신기는 크게 순방향 패스, 제한 패스 및 클럭 생성회로 등으로 구성되며, discrete한 소자들을 그림 6과 같이 ASIC화 하였다. 이러한 ASIC화를 통하여 송신부 크기를 줄일 수 있고, IMD 성분의 억압을 통한 송신 전력 효율을 개선할 수 있는 소프트웨어적인 인터페이스 기능 구현

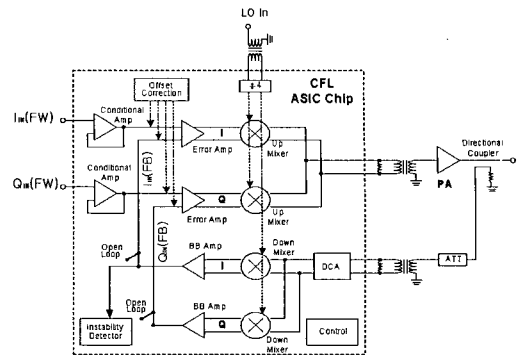


그림 6. CFL ASIC 칩을 이용한 송신기 구조도
Fig. 6. Block diagram of the transmitter using CFL ASIC chip.

(루프 이득, 위상 조정 및 DC-offset correction) 및 칩 상태(stable 혹은 unstable) 체크가 가능하여 단말기 동작에 대한 신뢰성을 높일 수 있다.

3-1 순방향 패스 구성 및 기능

CFL 선형화 칩의 순방향 패스는 그림 7과 같이 입력(conditional) 증폭기, 이미지 필터, 에러 증폭기 및 I/Q 변조기(up mixer) 등으로 구성하였다. 입력 증폭기는 인가되는 기저 대역의 I/Q 신호를 증폭하며, 이미지 필터는 외부로부터 유입되는 30 kHz 이상의 이미지 신호를 제거시킨 후 에러 증폭기로 기저대역 신호를 출력시킨다. 에러 증폭기는 이미지 필터로부터 인가되는 왜곡되지 않는 I/Q 신호와 제한 루프를 통하여 왜곡된 신호 성분과의 차이를 I/Q 변조기로 출력시킨다. 에러 증폭기의 출력 신호에 DC-offset 성분이 존재할 경우 RF 출력 신호 특성이 저하되

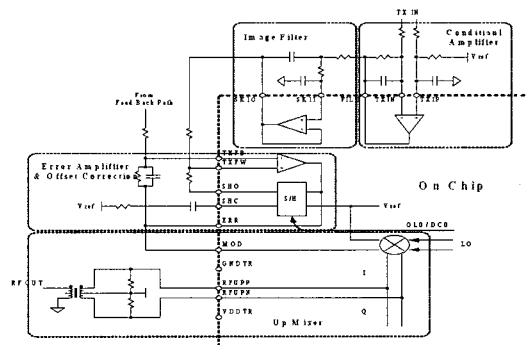


그림 7. CFL 순방향 패스 구조도
Fig. 7. Block diagram of CFL forward path.

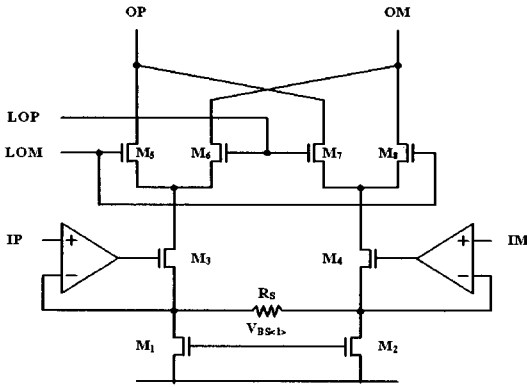


그림 8. I/Q 변조기 회로도
Fig. 8. Schematic diagram of I/Q modulator.

로 이러한 성분을 억압할 수 있도록 S/H 구조를 이용하였다. I/Q 변조기는 그림 8과 같이 Gilbert cell 형태를 이용하여 기저 대역 신호를 송신 주파수 대역(138~225 MHz)으로 직접 변조하여 출력할 수 있도록 하였다. 또한 ± 1 V 이상의 입력 신호 범위에서도 선형성을 유지할 수 있도록 차동 증폭기 부궤환 회로를 이용하였고, 일정한 이득을 유지할 수 있도록 소스 저항(R_s)을 추가하였다.

3-2 궤환 패스 구성 및 기능

CFL 칩의 궤환 패스는 그림 9와 같이 디지털 조정 감쇠기(DCA: Digital Controlled Attenuator), I/Q 복조기(down mixer) 및 기저 대역 증폭기로 구성하였다. 디지털 조정 가변 감쇠기는 R-nR 래더 구조로 설계하였고, 방향성 결합기를 통하여 궤환되는 송신 신호들의 레벨을 조절함으로써 I/Q 복조기 선형성 유지를 위하여 사용되었다. 전체 17.5 dB의 감쇠 범

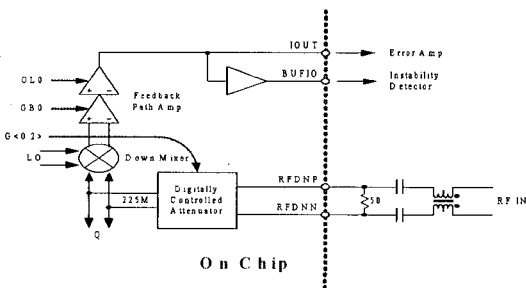


그림 9. CFL 궤환 패스 구조도
Fig. 9. Block diagram of CFL feedback path.

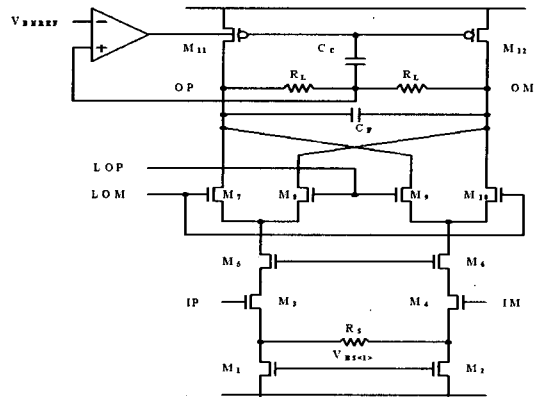


그림 10. I/Q 복조기 회로도
Fig. 10. Schematic diagram of I/Q demodulator.

위를 2.5 dB 간격으로 조정이 가능하도록 하였다. I/Q 복조기는 그림 10과 같이 I/Q 변조기 회로와 유사하나 CMFB(Common Mode Feedback) 회로를 추가하여 출력 신호의 바이어스를 일정하게 유지할 수 있게 하였다. 또한 변조된 송신 신호(138~225 MHz)를 기저 대역 신호로 변환된 후 기저 대역 증폭기를 거쳐 순방향 패스 내에 있는 에러 증폭기로 인가된다. 기저 대역 증폭기는 복조기에서 나온 I/Q 신호를 증폭하여 궤환 루프 이득을 조절한다.

3-3 클럭 생성 회로 구성 및 기능

순방향 경로에서의 I/Q 변조기 및 궤환 경로에서의 I/Q 복조기 사이의 위상차는 새로운 왜곡 성분을 발생시킨다. 이러한 신호 지연에 의한 위상차를 줄이기 위하여 본 논문에서는 그림 11과 같이 16-PSK 변조기를 이용하여 위상 변위기를 설계하였다. 설계

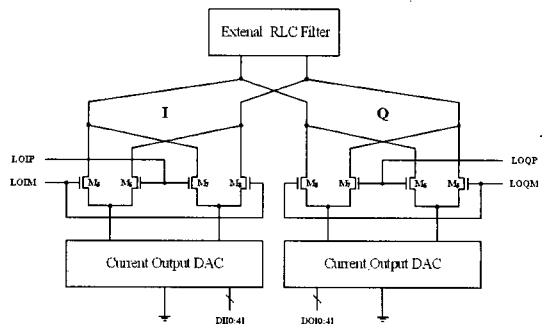


그림 11. 16-PSK 변조기 회로도
Fig. 11. Schematic diagram of 16-PSK modulator.

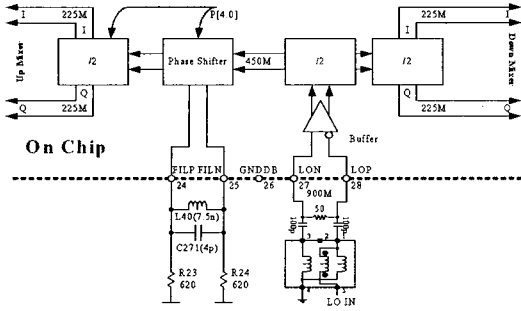


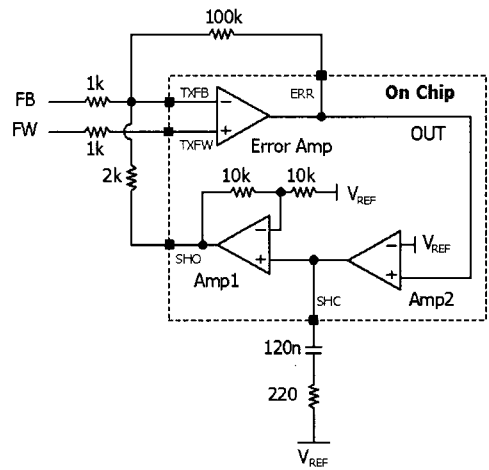
그림 12. CFL 칩의 클럭 생성 회로도
 Fig. 12. Block diagram of clock generation circuit for CFL chip.

된 가변 위상 변위기는 11.25°의 간격으로 0°에서 360°까지 위상 조정이 가능하도록 하였다. I/Q 변조기의 국부 발진기 신호는 그림 12와 같이 송신 주파수의 두 배 주파수(276~450 MHz)에서 동작하는 16-PSK 변조기를 이용하여 위상을 조정된 후 이 발진기 출력을 발생한다. 그리고 외부 RLC 탱크 회로를 2×LO 주파수에 동조시켜 하모닉 성분들을 억압하였다. I/Q 복조기에 인가되는 국부 발진기의 주파수는 정확한 90° 위상차 및 직접 변환에 따른 injection-pulling을 방지하기 위하여 송신 주파수의 4배(552~900 MHz) 주파수로 구동한 후 두 개의 divide-by-2 회로를 이용하여 송신 대역 주파수를 생성하였다 [6],[7]

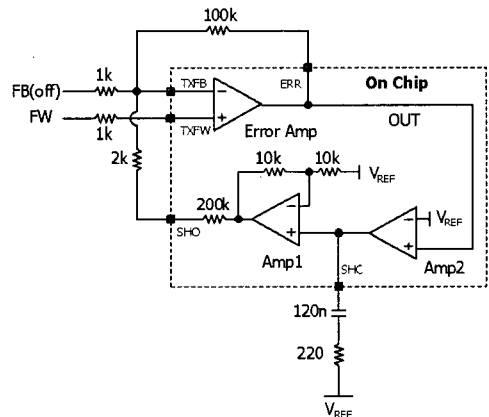
3-4 DC-offset Correction 기법

CFL 선형화 칩의 안정된 동작 구현 및 IMD 개선을 통한 송신 방사 마스크 규격을 만족하기 위하여 신호전송 시 고려해야 할 가장 중요한 부분은 CFL 칩의 순방향 및 궤환 경로에서 발생하는 DC-offset 성분의 제거 및 correction에 있다. DC-offset correction 과정은 변조기 입력에 나타나는 DC-offset 성분을 제거하기 위한 루틴이다. 변조기 입력의 DC-offset 성분은 변조된 RF 신호에 캐리어 신호를 출력시키게 되어 송신 신호의 SNR을 저하시키는 요인이 된다. CFL 회로 구현 시 DC-offset의 발생은 그림 13(a)의 폐 루프 및 그림 13(b)의 개방 루프의 경우로 구분할 수 있다. 개방 루프의 경우는 에러 증폭기 이전(conditional 증폭기 및 이미지 필터)의 DC-offset과 에러 증폭기 자체의 DC-offset을 제거하여야 한다.

폐 루프의 경우는 개방 루프의 DC-offset에 궤환 경로의 DC-offset이 더해진 만큼의 DC-offset 성분이 존재한다. 이를 제거하기 위해서 S & H 구조를 사용하였다. 입력 신호가 들어오기 이전에 에러 증폭기, Amp 1 및 Amp 2를 잇는 루프를 구성하여 120 nF 캐패시터에서 DC-offset 에러를 샘플링한다. 샘플링 후 Amp 2가 스위치 적으로 오프 상태가 되면 루프가 끊어져 hold 상태를 유지한다. 이후 신호가 들어오면 DC-offset이 제거된 상태로 동작한다. 그림 14는 DC-offset correction 루프의 transient 특성을 시뮬레이션한 결과로서 에러 증폭기는 일정 시간의 DC-off-



(a) 폐 루프
 (a) Closed loop



(b) 개방 루프
 (b) Open loop

그림 13. CFL 칩의 DC-offset correction 구조도
 Fig. 13. DC-offset correction block diagram in CFL chip.

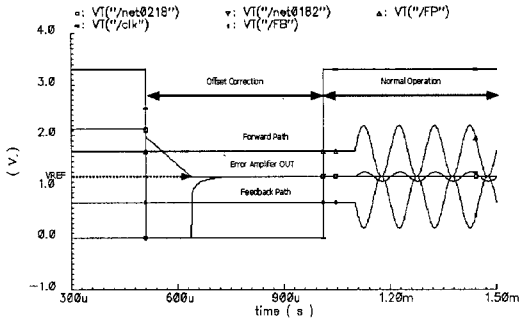


그림 14. DC-offset correction 회로의 transient 시뮬레이션 결과

Fig. 14. Transient simulation result of DC-offset correction circuit.

set correction 구간을 가지고 그 시간 동안 correction 동작이 이루어진다.

3-5 카테지안 루프 칩 외부 인터페이스

CFL 칩의 외부 인터페이스는 DC-offset 억압, 이득(감쇠) 레벨 및 위상 조절을 수행할 수 있도록 설계하였고, CFL 칩 제어용 프로그램의 신호 흐름도는 그림 15와 같이 구성하였다.

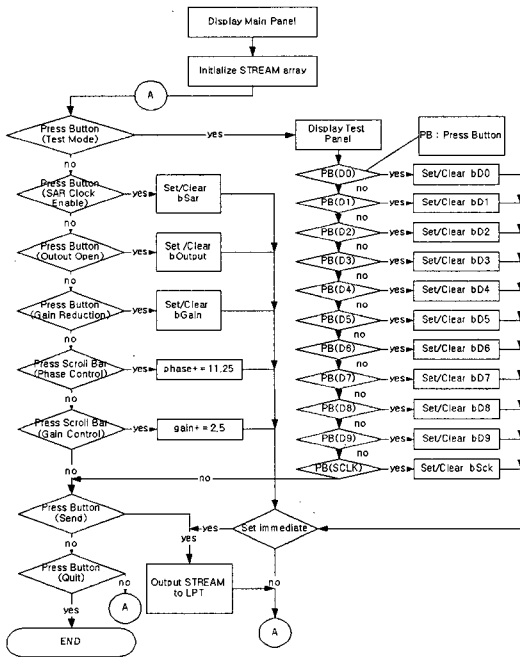
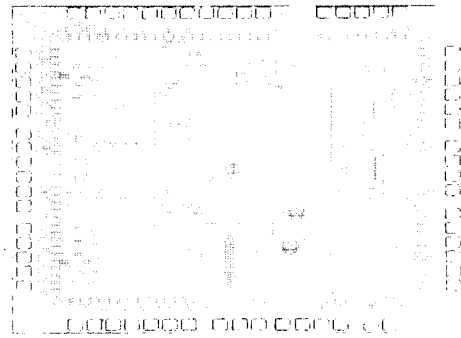


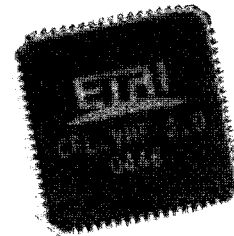
그림 15. CFL 칩 신호 흐름도
Fig. 15. S/W flow chart of the CFL chip.

IV. 제작 및 실험 결과

설계된 CFL 칩은 그림 16과 같이 0.35 μm CMOS 기술을 이용하여 64-pin TQFP 형태로 패키지화하였다. 이를 실장하여 성능을 측정하기 위한 테스트 보드 형상은 그림 17과 같이 FR4 기판을 이용하여 제작하였다.



(a) 칩(2.73×2.62 mm²)
(a) Chip(2.73×2.62 mm²)



(b) 패키지(TQFP 64-pin)
(b) Packing(TQFP 64-pin)

그림 16. 제작된 CFL ASIC 칩

Fig. 16. Implemented CFL ASIC chip.

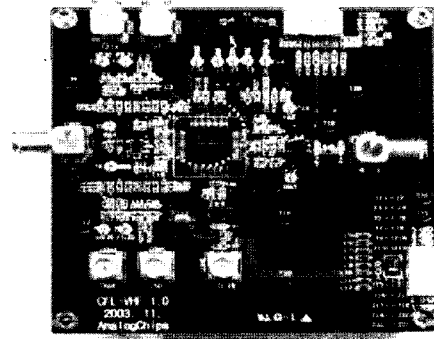


그림 17. CFL 칩 테스트 형상도

Fig. 17. Evaluation board of CFL chip.

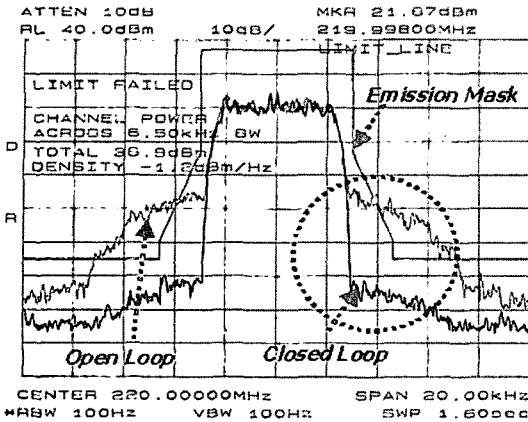


그림 18. 송신기 방사 마스크 측정 결과(@PEP 36.9 dBm)

Fig. 18. The test result of the transmitter emission mask(@PEP 36.9 dBm).

APCO P25 CQPSK 변조 신호를 인가하여 CFL 선형화 칩의 개방 루프 및 이 회로를 동작시킨 폐 루프 상태의 송신 출력 특성을 비교하여 그림 18에 제시하였다. 그림에서 보듯이 IMD 성분들의 성능 개선을 통하여 PEP 4.9 W(36.9 dBm)에서 FCC 방사 마스크 규격^[8]을 만족함을 확인하였다. 그림 18의 220 MHz 대역 측정에는 Toshiba사의 2SK3476을 전력증폭기로 이용하였다.

Two-tone 신호를 CFL 선형화 칩에 인가하여 측정 한 송신기 IMD 억압 특성은 그림 19와 같이 3차 IMD 성분은 약 30 dB 개선되었고, 출력 캐리어 대비 IMD 성분의 크기는 -52 dBc를 나타냈다. 또한 주파수 측정 범위를 20 kHz로 넓혀 3차 이상의 고차 하모닉

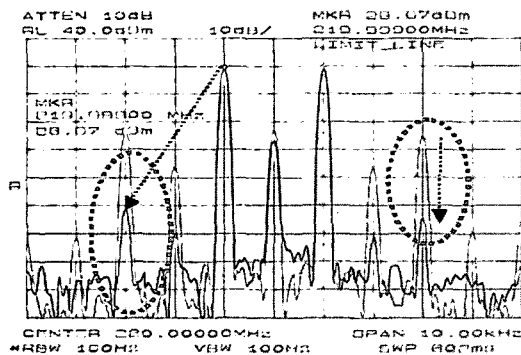


그림 19. 송신기 2-tone 상호 변조 왜곡 특성 측정 결과
Fig. 19. The test result of two-tone IMD characteristic in transmitter.

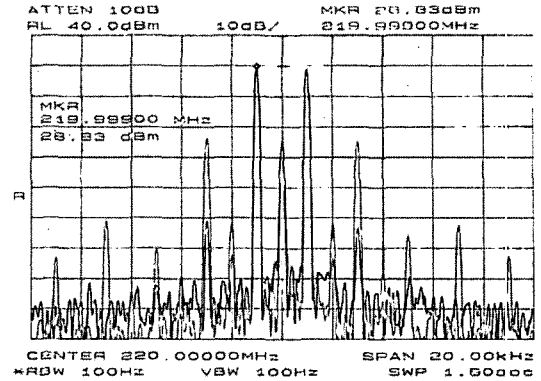


그림 20. 송신기 상호 변조 왜곡 억압 특성 측정 결과
Fig. 20. The test result of IMD suppression characteristic in transmitter.

표 2. CFL 칩 측정 결과 요약

Table 2. Summary of measurement results for CFL chip.

항 목	측정 결과	요구 규격
RF 출력 전력	4.9 W PEP	최대 5 W PEP
Emission Mask	특성 만족	FCC 90.210 E
IMD 억압, @ two-tone	< -30 dBc	< -25 dBc
루프 이득 가변 범위	0~17.5 dB	좌동
위상 변위기 가변 범위	0~360°	좌동
Carrier-to-IMD Ratio	< -52 dBc	< -50 dBc
소모 전류	<100 mA	좌동

성분들에 대한 IMD 억압 정도를 측정한 결과는 그림 20과 같이 우수한 억압 특성을 나타내었다.

CFL ASIC 칩의 설계 요구 규격 및 측정 결과에 대한 요약은 표 2와 같다. 표 2에서 보듯이 모든 성능 규격을 만족함을 알 수가 있다.

V. 결 론

본 논문에서는 디지털 초협대역 단말기 소형화 및 송신 전력 효율 개선에 필수적인 부품인 CFL 선형화 칩을 0.35 μm CMOS 기술을 이용하여 설계하고 제작하였다. 미국 APCO P25 Phase II 규격에 정의된 6.25 kHz CQPSK 변조 신호 인가시 PEP 37 dBm(5 W)에서 상호 변조 왜곡 성분들의 성능 개선을 통하여 FCC 송신 방사 마스크 규격(FCC 90.210 E)을 만족하였고, two-tone 신호 인가 시 송신기 IMD 억

압 특성은 30 dB 이상 개선되었다. 또한 출력 캐리어 신호 대비 최대 IMD 성분의 크기는 -52 dBc로 측정되어 단말기 송신부 규격을 만족하였다. 이외에도 제어용 외부 인터페이스 신호를 통하여 칩 성능 factor들(DC-offset 성분, 왜곡 성분을 보상하기 위한 루프 이득 및 위상 값 등)에 대한 자동적인 조정이 가능하고, 단말기 장착 시 외부에서 CFL 칩 안정도 체크가 가능하여 개발중인 디지털 초협대역 단말기에 실제 적용이 가능함을 확인하였다.

참 고 문 헌

[1] ITU-R M.2014 DOCUMENT, "Spectrum efficient digital land mobile systems for dispatch traffic (Question ITU-R 37/8)", 1998.
 [2] A. Batman, D. M. Haines, and R. J. Wilkinson, "Linear transceiver architectures", *Proc. 38th VTC*, pp. 478-484, 1988.
 [3] M. Johansson, T. Mattsson, "Transmitter lineari-

zation using cartesian feedback for linear TDMA modulation", *Proc. IEEE VTC*, pp. 439-444, 1991.
 [4] M. Bolorian, J. P. McGeehan, "The frequency-hopped cartesian feedback linear transmitter", *IEEE Trans VTC Tech.*, vol. 45, pp. 688-706, Nov. 1996.
 [5] M. Bolorian, J. P. McGeehan, "Automatic remove of Cartesian feedback transmitter imperfections", *IEEE Proc. Commu.*, vol. 144, no. 4, pp. 281-288, Aug. 1997.
 [6] B. Wuppermann, et al., "A 16-PSK modulator with phase error correction", *IEEE ISSCC*, pp. 138-139, 277, Feb. 1993.
 [7] L. E. Larson, *RF and Microwave Circuit Design for Wireless Communications*, Artech House, Chap. 4, 1996.
 [8] Part 90, Title 47, Code of Federal Regulations (Private Land Mobile Services), Oct. 2001 Edition, FCC.

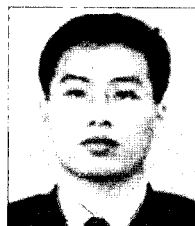
정 영 준



1992년 2월: 제주대학교 전자공학과 (공학사)
 1994년 2월: 서강대학교 전자공학과 (공학석사)
 2005년 2월: 충남대학교 전자공학과 (공학박사)
 1994년 3월~현재: 한국전자통신연구원 광대역 RF연구팀 선임연구원

[주 관심분야] RF 회로 및 서브시스템, 디지털 LMR 시스템

강 민 수



1996년 2월: 서강대학교 전자공학과 (공학사)
 1998년 2월: 서강대학교 전자공학과 (공학석사)
 1998년 2월~2000년 3월: (주)현대전자
 2000년 3월~현재: 한국전자통신연구원 광대역 RF연구팀 선임연구원

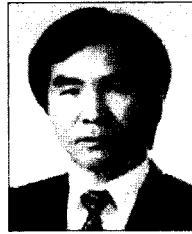
[주 관심분야] RF 회로 및 시스템 설계, 디지털 LMR 시스템

유 성 진



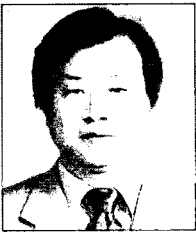
2001년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)
2003년 2월: 서울대학교 전자공학과 (공학석사)
2003년 2월~현재: 한국전자통신연구원 광대역 RF팀 연구원
[주 관심분야] 디지털 신호 처리, 디지털 LMR 시스템

오 승 업



1971년 2월: 연세대학교 전기공학과 (공학사)
1973년 2월: 연세대학교 전기공학과 (공학석사)
1982년 2월: 연세대학교 전기공학과 (공학박사)
1980년 8월~1981년 8월: 일본 동북대 전기통신연구소 객원연구원
1985년 5월~1986년 5월: 미국 펜실바니아주립대학 객원연구원
2001년 3월~2002년 2월: 충남대학교 정보통신인력양성사업단 단장
1977년 7월~현재: 충남대학교 공과대학 전자공학과 교수
[주 관심분야] 안테나 및 전자파 이론, RF 회로 및 서비스 시스템

정 태 진



1979년 2월: 충남대학교 전자공학과 (공학사)
1990년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
2004년 8월: 한국과학기술원 전자전산학과 (공학박사)
1979년 3월~1983년 2월: 국방과학연구원(ADD) 연구원

1983년 2월~1984년 7월: (주)대우중공업 대리
1984년 9월~현재: 한국전자통신연구원 광대역 RF팀 책임연구원
[주 관심분야] 전력전자, RF 제어 및 디지털 LMR 시스템