

중, 고압용 적층 세라믹 캐패시터 제작 및 분석

Fabrication and Analysis of Multilayer Ceramic Capacitors for Medium and High Voltage

윤중락^{1,a}, 김민기¹, 이헌용², 이석원³

(Jung-Rag Yoon^{1,a}, Min-Ki Kim¹, Heun-Young Lee², and Serk-Won Lee³)

Abstract

In the fabrication and design of MLCCs (Multilayer Ceramic Capacitors) with Ni inner electrode for medium and high voltage, reliability and dielectric breakdown mode have been investigated. For thickness of green sheet, the relationship between the rated voltage versus the thickness of green sheet. Increasing the thickness of green sheet increases the dielectric breakdown voltage. However, a practical limit to this linear relationship occurs at 30 μm and above. As the thickness of green sheet increased, dielectric breakdown voltage and weibull coefficient is increased, but abruptly decrease at 30 μm and 36 μm . When 24 μm of green sheet thickness, weibull coefficient and dielectric breakdown voltage were 13.58 and 70 V/ μm respectively. The results enabling the MLCCs to demonstrate high levels of reliability at medium and high voltage.

Key Words : Multilayer ceramic capacitor, Dielectric breakdown voltage, Weibull coefficient, Green sheet thickness

1. 서론

전자기기의 소형화 요구에 따라 전원회로를 구성하는 부품의 고압화, 소형화, 고성능화가 요구되고 있다. 특히, 수동 부품의 하나인 캐패시터는 소형화 및 고 신뢰성과 더불어 고압화에 대한 요구가 증가되고 있다. 캐패시터의 경우 소형화 및 고용량 특성을 얻기 위하여 유전체 세라믹을 이용한 그림 1과 같은 적층형 구조를 적용하여야 한다.

그림 1은 적층 세라믹 캐패시터 (Multilayer

Ceramic Capacitor)로서 유전체와 내부전극을 적층하여 제작한 것으로서 용량은 적층 수, 유전율, 전극 대향 면적에 비례하고 전극간의 유전체 두께에 반비례한다. 따라서 고용량을 얻기 위해서는 유전체 두께를 얇게 하거나 적층수를 증가시켜야한다. 최근에는 고전압용의 요구 증가에 따라 고전압에 적용 가능한 적층 칩 캐패시터의 요구가 증가되고 있다[1,2]. 고압용 캐패시터를 제작하기 위해서는 유전체 재료 측면에서는 첨가제나 미세구조의 제어를 통해 절연파괴 강도를 증가시키면서 유전특성을 최적화하는 연구를 하고 있다[3]. 적층 칩 캐패시터의 절연파괴 메카니즘으로는 유전파괴(dielectric breakdown), 전기-열적 절연파괴(electro-thermal breakdown), 전기-기계적 절연파괴 (electro-mechanical breakdown)가 있다. 고압용 적층 칩 캐패시터 설계시 위에 열거한 인자를 고려하여야 내부 전극의 두께, 유전체 재료, 적절한 유전체 두께, 내부전극과 세라믹간의 두께(side margin, end margin, cover layer)등이 고려되어야한다. 특히, 내부전극과 세라믹간의 두께에 따라 절연파괴모드

1. 삼화콘덴서공업(주) 부설연구소
(경기도 용인시 남사면 북리 124)
 2. 명지대학교 전기전자공학부
 3. 호서대학교 전기정보제어공학부
- a. Corresponding Author : yoonjungrag@yahoo.co.kr
 접수일자 : 2005. 1. 4
 1차 심사 : 2005. 3. 7
 2차 심사 : 2005. 3. 25
 3차 심사 : 2005. 4. 11
 4차 심사 : 2005. 6. 9
 심사완료 : 2005. 7. 1

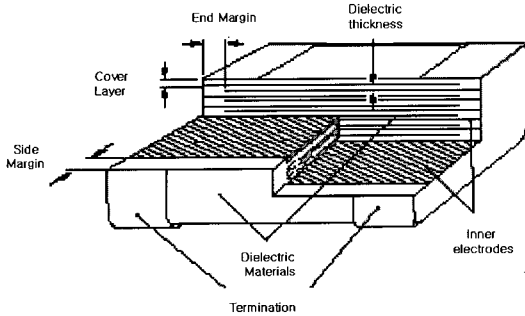


그림 1. 적층 칩 캐패시터 구조.
Fig. 1. Structure of multilayer ceramic capacitor.

가 다르게 나타남을 볼 수 있으며 실제 PCB 실장 시 절연파괴 모드가 다르게 나타나거나 절연파괴 전압 특성이 낮게 나타나는 경우를 볼 수 있다. 본 논문에서는 DC-DC 인버터 회로에 많이 사용되는 X7R 온도특성(EIA 기준)을 가진 적층 칩 캐패시터의 설계 및 제작을 통해 고압용 캐패시터의 유전체 두께와 절연파괴전압과의 관계, 신뢰성등을 고찰하고 절연파괴 모드를 해석을 통해 고압용 캐패시터 설계시 고려할 인자를 연구하고자 한다.

2. 실험

본 연구에서는 BaTiO₃가 주성분으로 유전율이 3200인 Ferro사(USA) 322N X7R 원료와 PVB (Polyvinyl butyral) 바인더, 톨루엔, 에탄올을 이용하여 슬러리를 제작한 후 닥터 블레이드법으로 18, 24, 30, 36 μm의 그린시트를 제작하였다. 제작된 그린시트에 Ni 전극을 인쇄한 후 적층, 압착하여 그린 칩을 제작하였다. 그린 칩을 280 °C에서 4 시간 바인더 탈지 후 그림 2의 소결 절차로 1320 °C 환원 분위기에서 소성하였다. 제작된 적층 칩 캐패시터의 크기는 3.2 X 1.6 mm이고 용량 100 nF, 정격전압은 250 V이다. 제작된 칩 절연파괴전압의 공정능력 분석을 MINITAB 프로그램을 적용하여 weibull 함수 식 (1)로 해석하였다[4]. 절연파괴시험에 적용된 시편의 개수는 100개로 하였으며 절연파괴전압은 1 uA의 누설전류값을 나타내는 전압을 절연파괴전압으로 정의하였다. 시편은 실리콘 오일내에서 100 V/sec의 인가속도로 선형적으로 증가시키면서 절연파괴 전압을 측정하였다. 절연파괴 현상 모드는 광학현미경을 이용하여 분석하였으며 그린시트 및 소결후 미세구조를 SEM을 이용하여 분석하였다.

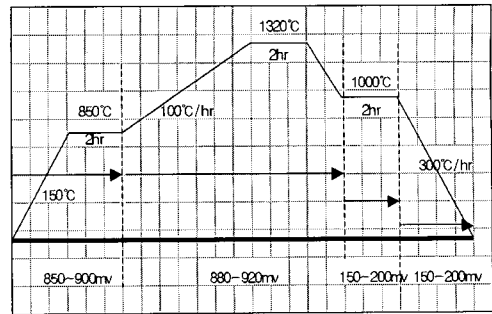


그림 2. MLCC 소결 절차도.
Fig. 2. Sintering schedule of MLCC.

$$\ln \left\{ \frac{1}{(1-P_f)} \right\} = m \ln \delta - m \ln \delta_0 + constant \quad (1)$$

$P_f = \frac{n}{(N+1)}$: 임의 전압 δ 에서 파괴된 n 번째 시편 파괴 확률

N : 시편 수

m : 결합의 혹독한 정도와 신뢰도의 높고 낮음을 표시하는 척도

3. 결과 및 고찰

그린시트 상태는 소결 후에 미세구조에 영향을 미치므로 그림 3에 24 μm 그린시트의 미세 구조를 나타내었다. 그린시트의 미세구조를 보면 분말의 분산성이 양호하게 나타남을 볼 수 있으며 분말의 크기는 0.6~1.0 μm로 균일한 분포를 가짐을 볼 수 있다.

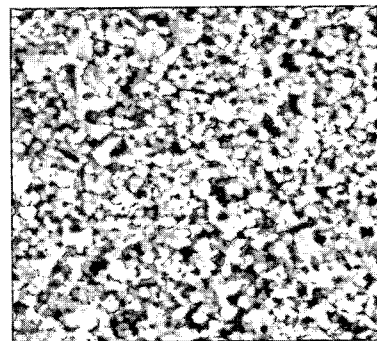
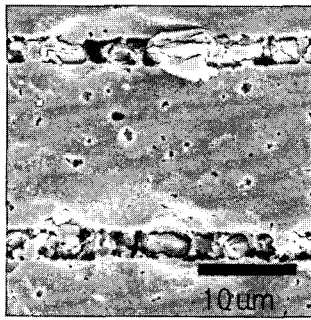
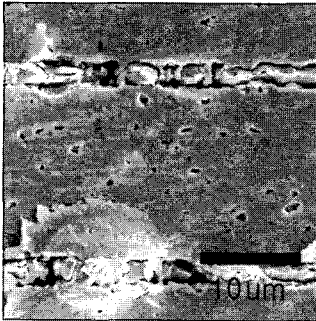


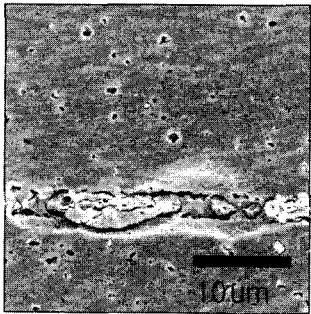
그림 3. 그린시트 미세구조.
Fig. 3. Microstructure of green sheet.



(a)



(b)



(c)

그림 4. 그린시트 두께에 따른 소결 후 미세구조.

(a) 18 μm (b) 24 μm (c) 30 μm

Fig. 4. Sintered microstructure as a function of green sheet thickness.

(a) 18 μm (b) 24 μm (c) 30 μm

그림 4는 그린시트의 두께에 따른 소결 후 미세구조로서 그린시트의 두께에 따른 소결성이나 미세구조 변화는 크게 나타나지 않음을 볼 수 있다. 하지만 절연파괴 특성에 영향을 끼치는 것으로 알려진 기공의 크기 경우 그린시트의 두께가 증가할수록 증가함을 볼 수 있다[5].

표 1은 그린시트 두께에 따른 절연파괴전압 및

표 1. 그린시트 두께에 따른 절연파괴전압 및 weibull 계수.

Table 1. Dielectric breakdown voltage and weibull coefficient as a function of green sheet thickness.

그린시트 두께 [μm]	18	24	30	36
소결 수축율 (%)	23.3	23.7	24	21.4
시그마 수준	3.5	4	3.9	3.5
weibull 계수	9.94	13.58	11.48	11.2
BDV[kV]	1.109	1.281	1.249	1.114

weibull 계수로서 그린시트 두께가 24 μm까지는 공정능력을 나타내는 시그마 수준과 weibull 수준이 증가함을 볼 수 있으나 그 이상의 두께인 30 μm부터 감소함을 볼 수 있다. 또한 절연파괴전압은 본 연구에서 정한 250 V급의 경우 정격전압의 2배에서 1 ~ 5초 인가시 파괴가 일어나지 않으면 된다. 시편의 대부분에서 절연파괴특성을 모두 만족한 결과를 얻었으나 그린시트의 두께가 증가할수록 절연파괴전압이 증가할 것이라는 예상과는 달리 30 μm부터 오히려 감소함을 볼 수 있다.

이와 같은 결과는 소결 수축율의 결과에서도 유사한 경향을 보이며 특히 그린시트 두께가 36 μm인 경우에는 수축율이 크게 저하되며 절연파괴전압도 급격히 감소됨을 볼 수 있다.

하지만 적층 칩 캐패시터의 경우 제조 공정상 결함이 많이 발생할 수 있으므로 해서 일반적인 고압용 캐패시터의 설계와는 다른 현상을 보인다. 이와같은 결과는 적층 칩 캐패시터의 설계에 있어 동일 용량을 얻기 위해 유전체의 두께가 두꺼운 경우 적층수가 증가되므로 결함을 가질 확률이 높아 절연파괴전압이 감소되는 것으로 예상된다. 실제 설계에 있어서도 그린시트 두께가 36 μm의 경우 33층 설계이나 18 μm 설계시 19층으로 적층층수가 낮게 설계된다.

그림 5는 그린시트의 소결후 유전체 두께에 따른 절연파괴전압과 단위 두께당 전압을 나타내었다. 그림 5를 보면 소결후 유전체 두께가 19 μm (그린시트 두께 24 μm)까지 절연파괴전압이 증가함을 볼 수 있으나 소결후 유전체 두께가 22.8 μm (그린시트 두께 30 μm)인 경우는 예상과는 달리 절연파괴전압이 감소함을 나타낸다. 이와 같은 결과는 고압용 적층 칩 캐패시터 설계시 의미있는 데

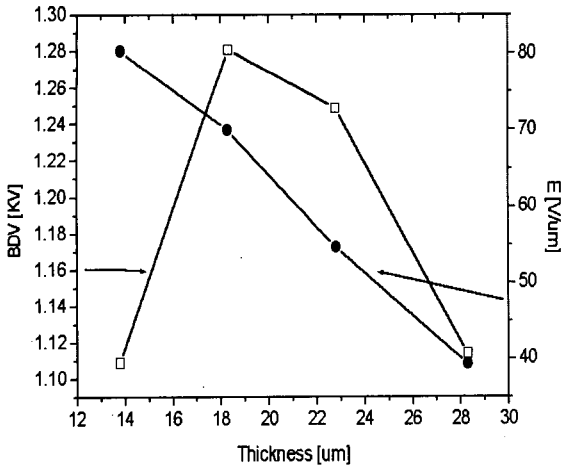
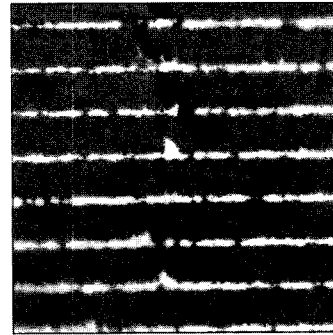


그림 5. 소결 유전체 두께 따른 절연파괴전압 및 단위 두께당 절연파괴전압.

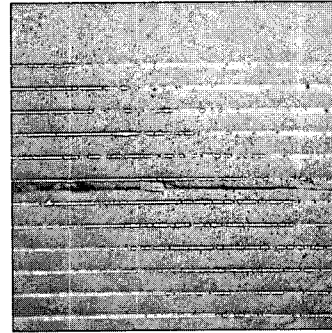
Fig. 5. Breakdown voltage and unit breakdown voltage as a function of sintered dielectric thickness.

이더로서 유전체의 두께에 임계치가 있음을 나타내고 있다. 본 논문의 경우 소결후 유전체 두께의 임계치는 19 μm로 나타났다. 단위 두께당 전압(E)은 유전체 두께가 얇아질수록 증가하는 경향을 보이고 있으며 이는 일반적인 세라믹스 절연파괴전압과 유사한 특성을 볼 수 있다[6-8]. 유전체 두께 증가에 따라 절연파괴전압의 임계치가 나타나는 결과는 절연파괴전압 메카니즘에서 외인성파괴(물리적 결함)와 진성파괴(전자적 파괴)차이에 의해 나타나는 것으로 공정개선(기공감소, binder 탈지 등) 및 유전재료의 개발을 통해 임계치 값을 개선할 수 있음을 보여준다.

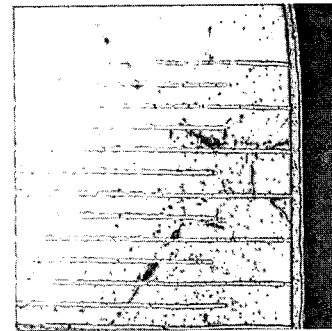
그림 6은 고압용 적층 칩 캐패시터의 절연파괴 모드로서 전극과 전극 층간의 유전체 절연 파괴 (a), (b) 내부전극과 외부전극 간의 절연파괴 (c), 외부전극과 세라믹 표면과의 절연파괴 (d)로 나타남을 볼 수 있다. 적층 칩 캐패시터의 절연파괴모드 실험은 50개의 시편에 대해 절연파괴를 행한 후 파괴시편을 연마하여 미세구조 분석을 통하여 해석한 결과이다. 그림 (a)의 경우는 유전체 자체의 절연파괴 특성으로서 외인성 파괴보다는 전자적 파괴가 시발점이 된 열적파괴에 의한 영향이 더 큼을 볼 수 있다. 그림 (b)는 유전체 층간파괴로서 그림 (a)와 동일한 현상을 보이나 전자적 파괴에 의한 시발점보다는 적층 칩 캐패시터 제작시



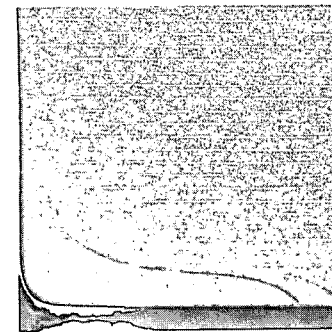
(a)



(b)



(c)



(d)

그림 6. 고압용 적층 칩 캐패시터 절연파괴 사진.
Fig. 6. Dielectric breakdown photograph of high voltage MLCC.

바인더 탈지나 적층 압력 불균일에 의한 공정 결합에 의해 발생하는 delamination에 의한 경우로 볼 수 있다. 그림 (c)는 그림 (a)의 현상과 동일한 절연파괴 현상이나 외부전극인 금속과 절연체인 세라믹간의 열팽창 계수도 무시할 수 없는 인자임을 보여주고 있으며 또한 설계 외부 전극과 전극간에 거리(end margin)를 충분히 유지하여야 함을 보여주고 있다. 그림 (d)는 세라믹과 내부전극간의 절연파괴 현상으로 적층 칩 캐패시터 설계시 최소의 cover layer를 확보하여 표면 플레시오버에 의한 절연파괴를 줄여야함을 보여 주고 있다. 이상의 결과에서 보듯이 고압용 적층 칩 캐패시터의 절연파괴모드는 다양하게 나타남을 볼 수 있으며 이와 같은 인자들을 최소화하기 위한 설계가 중요함을 볼 수 있다.

4. 결론

고압용 적층 칩 캐패시터 설계 및 제작 결과 다음과 같은 결과를 얻을 수 있었다.

- (1) 적층 칩 캐패시터 설계시 적층공정에 따른 절연파괴 전압 임계점이 있으며 이를 고려하여 설계하여야 한다.
- (2) 신뢰성 측면을 고려시 유전체 두께의 최적값이 있음을 확인 할 수 있었다.
- (3) 적층 칩 캐패시터 절연파괴모드는 전극과 전극사이의 유전체를 관통하는 절연파괴는 전자적 절연파괴를 시발점으로 하여 열적파괴가 일어나는 형태로 나타남을 볼 수 있다.
- (4) 세라믹과 내부전극간의 절연파괴는 오버플러시로 나타남을 볼 수 있으며 고압용 적층 칩 캐

패시터 설계시 cover layer의 두께가 중요한 인자임을 확인하였다.

참고 문헌

- [1] 위성권, “적층세라믹콘덴서(MLCC) 제조 기술 동향”, 전기전자재료학회지, 13권, 7호, p. 1, 2000.
- [2] “DC, AC and Pulse Load of Multilayer Ceramic Capacitors”, KOA speer electronics. INC.
- [3] 이석원, 윤중락, “X7R용 적층 칩 세라믹 캐패시터 조성의 회로류 첨가에 따른 유전 특성”, 전기전자재료학회논문지, 16권, 12호, p. 1080, 2003.
- [4] “MINITAB User’s Guide #2 : Data Analysis and Quality Tools”, Minitab Inc., 2000.
- [5] 김충혁, 정일형, 이준용, “(Sr,Pb)TiO₃계 세라믹스의 전기전도 및 DC 절연파괴 특성”, 전기전자재료학회논문지, 5권, 4호, p. 421, 1992.
- [6] H. Moon, J. R. Yoon, and T.-S. Chung, “Effect of additives on dielectric properties and microstructure of MLCC X7R composition”, J. Kor. Ceram. Soc., Vol. 40, No. 7, p. 644, 2003.
- [7] 조경호, 남효덕, 박철우, 이희영, “BaTiO₃ 세라믹스의 절연파괴거동에 미치는 결정립 크기와 시편두께의 영향”, 요업학회지, 33권, 11호, p. 1217, 1996.
- [8] Shende-RV, Krueger-DS, and Rossetti-GA, “Strontium zirconate and strontium-titanate ceramics for high-voltage applications - synthesis, processing, and dielectric-properties”, J. Am. Ceram. Soc., Vol. 87, No. 7, p. 1648, 2001.