

# 부품이 실장된 전자회로보드의 RLC 병렬회로 검사기법에 대한 연구

論 文

54D-8-1

## A Study on the Test Method of RLC Parallel Circuits on the Device-Mounted Electronic Circuit Board

高 鈞 錫<sup>†</sup>  
(Yun-Seok Ko)

**Abstract** - In the existing ICT technique, the mounted electronic devices on the printed circuit board are tested whether the devices are good or not by comparing and measuring the value of the devices after separating the devices to be tested from around it based on the guarding method. But, in case that resistance, inductor and capacitor are configured as a parallel circuit on the circuit pattern, values for each device can not be measured because the total impedance value of the parallel circuit is measured. Accordingly, it is impossible to test whether the parallel circuit is good or not in case that the measured impedance value is within the tolerance error. Also, it is difficult to identify that which device among R, L and C of the parallel circuit is bad in case that the measured impedance value is out of the tolerance error. Accordingly, this paper proposes a test method which can enhance the quality and productivity by separating and measuring accurately R, L and C components from the RLC parallel circuits on the device-mounted printed circuit board. First, the RLC parallel circuit to be test is separated electrically from around it using three-terminal guarding technique. And then R, L and C values are computed based on the total impedance values and phase angles between voltage and current of the parallel circuit measured from two AC input signals with other frequency. Finally, the availability and accuracy of the proposed test method is verified by reviewing the simulation results.

**Key Words** : ICT(In-Circuit Tester), RLC Parallel Circuit, Electronic Board Test, Guarding Method

### 1. 서 론

전기전자관련 산업은 생산성을 제고하기 위해 자동화된 표면 실장기술(SMT)을 도입하여 왔는데, 전자부품을 회로 보드상에 실장하는 과정에서 부품 자체의 불량은 물론 오삽, 미삽, 역삽 등 다양한 원인으로 인해 불량이 발생함으로써 제품에 대한 품질이 심각하게 저하될 수 있다. 따라서 대량 생산되는 실장 PCB를 검사하여 SM과정에서 발생할 수 있는 부품이나 회로의 결함을 확인하고 그 원인을 분석하여 생산제품의 고품질화와 기업의 생산성을 동시에 향상시키려는 노력을 기울여왔다[1-2].

1960년대 초에는 주로 회로 보드 단위로 검사를 실행하는 기능검사기법 (FFT:Full Functional Test)이 제안되어 생산성 향상에 큰 기여를 하였다. 그런데 일단 불량 보드가 발생한 경우 검사장비를 활용하여 각 부품별 검사를 수행해야 하는데, 점차 회로가 복잡해지고 고집적화 되어 불량 보드로부터 결함부품을 확인하는 과정에 많은 노력과 시간비용이 요구되었으며, 특히, 불량원인이 확인되기까지 생산이 중단됨으로 인해서 심각한 생산성 저하문제를 경험하게 되었다. 이 문

제를 해소하기 위해, 검사대상 보드에 대해 가능한 모든 상정 사고 데이터를 데이터베이스화한 고장패턴 DB가 제안되었는데, 결함 보드의 출력패턴과 고장패턴 DB를 비교하여 신속한 결함확인이 가능한 반면, 고장 DB를 구축하기 위한 전문성 요구와 초기 프로그래밍 비용이 상당한 부담이 되었다[1,2,3]. 따라서 보드내의 각 부품을 직접 개별적으로 검사함으로써 최소의 프로그래밍 비용으로 신속하게 고장부품을 확인할 수 있는 부품검사기법(ICT:In-Circuit Test)이 제안되었다[4-5]. ICT 기법은 인쇄회로기판상의 각 부품이 회로패턴에 의해서 전기적으로 연결된 상태에서 각 부품별로 불량여부를 확인하기 때문에 기본적으로 가당기법을 이용하여 검사대상 부품을 주변회로로부터 전기적으로 분리한 후, 그 부품 값을 측정, 부품의 불량여부를 검사하게 된다[6-17]. 만약, 저항, 코일, 콘덴서가 상호 독립적인 회로를 구성하는 경우 가당기법을 적용하여 각 부품을 개별적으로 분리할 수 있기 때문에 정확하게 그 값을 확인할 수 있다. 그러나, 회로패턴상에서 저항, 코일, 콘덴서가 병렬회로를 구성하는 경우 RLC 병렬 합성 임피던스가 측정됨으로써 만약, 그 측정값이 허용범위내에 있는 경우 불량여부를 확인할 수 없으며, 또한 허용범위를 초과하여 결함을 확인하여도 R, L, C 중 어느부품의 불량인지를 확인하기 어렵기 때문에 품질저하문제를 피할 수 없었다.

따라서 본 연구에서는 부품이 실장된 인쇄회로기판상의 RLC 병렬회로로부터 R, L, C 값을 정확하게 분리, 측정함으로써 제품의 품질과 생산성을 제고할 수 있는 검사기법을 제안한다. 먼저 검사대상 RLC 병렬회로를 가당기법을 이용

<sup>†</sup> 교신전자 正會員 : 남서울大學 電子情報通信工學部 副教授 · 工博  
Email : ysko@nsu.ac.kr

接受日字 : 2005年 4月 28日

最終完了 : 2005年 7月 21日

하여 주변회로부터 전기적으로 분리한다. 다음 두개의 서로 다른 주파수대의 교류신호를 인가한 후, 각 주파수에 대해 임피던스 크기와 위상을 검출하여 RLC 값을 확인하게 된다. 가당기법으로는 가장 널리 활용되고 있는 3단자 가당기법이 채택된다. 끝으로, 시뮬레이션 고찰을 통해 제안된 기법의 정확성과 유용성을 검증한다.

## 2. 검사개념과 문제정의

표면실장기술은 PCB 설계결과에 근거하여 정해진 부품을 정해진 위치에 정확하게 장착하는 작업으로써 자동화기술의 발전에 기반하여 급속한 자동화를 이루고 있다. 그림 1은 제안된 기법의 필요성을 설명하기 위한 전자회로를 보이는데, 저항, 콘덴서, 인덕터와 같은 수동소자와 다이오드 Tr, Op-Amp 응용회로등과 같은 능동소자로 구성된다.

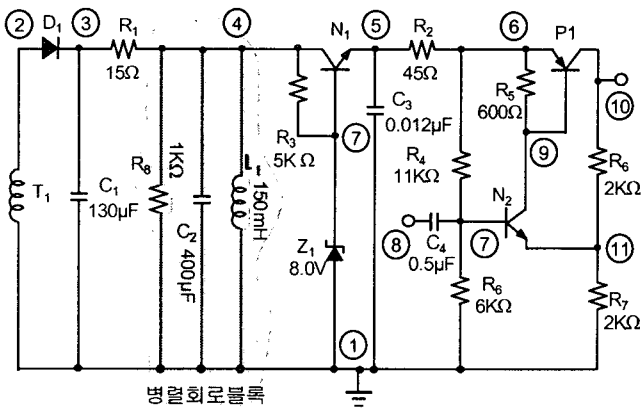


그림 1. 전자회로 구성

Fig. 1 The configuration of electronic circuit

만약, 그림 1의 회로보드에 부품을 장착하는 작업이라면 노드 {3, 4}에 저항  $R_8$ , 노드 {3, 1}에 커패시터  $C_1 = 130\mu F$ , 노드 {7, 1}에 0.8V 제너다이오드  $Z_1$ , 노드 {4, 5, 7}에 Tr  $N_1$ , 그리고 노드 {4, 1}에  $R_8 = 1k\Omega$ , 커패시터  $C_2 = 400\mu F$  그리고 인덕터  $L_1 = 150mH$ 가 정확하게 삽입되어야 한다. 만약, 노드 {3, 4}에 저항  $30k\Omega$ 이 삽입되거나 미삽되는 경우, 다이오드나 Tr의 단자가 극성이 정해진 극성과 다르게 역삽되거나 오삽되는 경우, 또는 납땜 불량 발생 하는 경우 전자회로는 정확하게 기능하지 못함으로써 제품의 품질이나 수명을 심각한 저하시킨다. 따라서, 정해진 부품이 정확하게 회로에 삽입, 장착되었는지를 검사해야 하는데, 이러한 기능을 수행하는 것이 부품검사 시스템이다. 그림 2는 실장 인쇄회로기판의 부품 검사기능을 수행하기 위한 검사 시스템의 기본 구조를 보이는데, 크게, 신호발생부, 스캐너부, 치구부 그리고 신호 측정부로 구성된다. 검사 실행절차는 비교적 간단하다. 먼저, 검사하고자 하는 회로 보드를 치구부에 장착시킨다. 이때, 치구부는 케이블에 연결된 접촉 푸르브를 회로 보드의 납땜부에 강제적으로 접촉 시킴으로써 스캐너부와 전기적인 연결관계를 구성한다. 다음, 측정하고자 하는 부품을 결정한 후 스캐너부의 전자 릴레이부를 제어하여 가당회로[5,6,16]을 구성함으로써 측정하고자 하는 부품을 주변회로부터 전기적으로 분리한 다음, 검사신호 회로를 구성한다. 끝으로, 측정하고자 하는 부품에 대해 검사

신호를 인가한 후, 발생하는 출력값을 측정하여 저항이나 임피던스 값을 계산한 다음, 정상 값과 비교함으로써 결함을 확인한다.

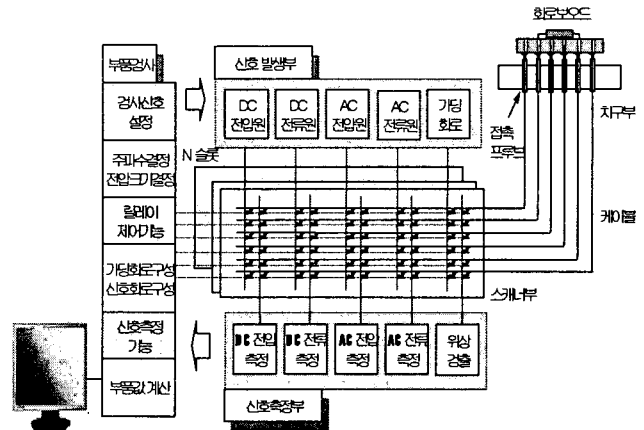


그림 2 대표적인 검사 시스템의 구성

Fig. 2 Composition of typical test system

그러나 그림 1에서 RLC 병렬회로블록의 경우 동일한 노드 (패턴) {3, 4}에 저항  $R_8$ , 커패시터  $C_2$  그리고 인덕터  $L_1$ 이 병렬로 연결되기 때문에 가당회로를 구성하여도 구조적으로 저항, 인덕터 그리고 커패시터 성분을 개별적으로 분리할 수 없고 단지 병렬회로블록이 분리될 수 있다. 이 경우 측정 임피던스 값이 각 구성요소의 값이 아니라 병렬회로블록에 해당하는 RLC 병렬 합성 임피던스가 되기 때문에 각 구성요소의 오차나 미삽의 경우에도 그 측정값이 허용범위내에 있는 경우 불량여부를 확인할 수 없으며, 또한 허용범위를 초과하여 결함을 확인하여도 R, L, C중 어느 부품이 불량인지를 확인하기 어렵게 된다. 따라서 제품의 생산성과 품질을 제고하기 위해서는 RLC 병렬회로 구성요소의 정확한 분리측정 기법이 요구되는데, 이 기법이 실현되기 위해서는 현재 검사절차에 따라 가당기법을 적용하여 측정하고자 하는 병렬회로를 주변회로부터 전기적으로 분리한 후, 이 병렬회로블록에 신호를 인가하여 제공될 수 있는 정보들을 활용, 각 구성요소 R, L 그리고 C 값을 정확하게 분리하여 측정할 수 있는 기법이 개발되어야 한다.

## 3. RLC 병렬회로 측정기법

회로 보드상의 병렬회로로부터 R, L, C 값을 분리하여 정확하게 측정하기 위한 측정기법은 합성 임피던스 크기를 정확하게 측정하기 위한 가당회로, 병렬회로의 전압과 전류의 위상차를 검출하기 위한 위상검출 회로, 그리고 검출된 위상차와 임피던스 크기로부터 R, L, C 값을 계산하기 위한 알고리즘으로 구성된다.

### 3.1 임피던스 크기 결정[5,6,16]

회로 보드의 병렬회로로부터 임피던스 크기를 정확하게 측정하기 위해서는 측정하고자 하는 병렬회로를 주변회로부터 분리해서 측정해야만 한다. 본 연구에서는 신호선과 측정선 그리고 주변회로의 영향을 합리적인 범위내로 줄일 수 있는 3

단자 가딩기법이 채택된다.

### 3.1.1 3단자 정전류 가딩법

3단자 가딩법 중 정전류 가딩법은 측정소자가 저저항이나 다이오드, 트랜지스터인 경우 적절하다. 3단자 가딩회로 구성은 op-amp의 케환회로 구성시, 부케환 입력이 정의 입력과 동일한 전압으로 제어되는 가딩단락 특성을 이용하여 그림 3과같이 구성된다. 식 (1)은 증폭기의 출력을 표시한다.

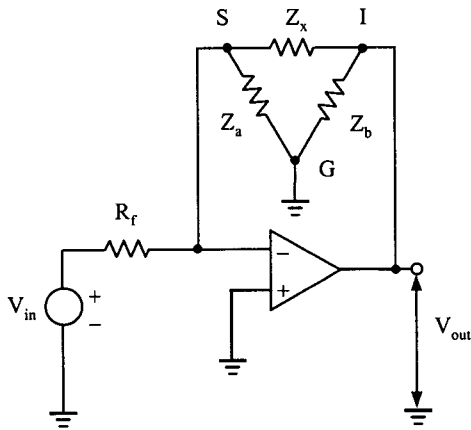


그림 3 정전류 가딩회로  
Fig. 3 Constant current guarding

식 (1)에 보인바와 같이, 측정전압이  $Z_x$ 에 비례하기 때문에 저저항이나 저임피던스를 가지는 부품 등을 측정하기에 적합하다. 그러나, op-amp 케환회로가 측정부품을 포함하기 때문에 가드하고자 하는 부품이 커패시턴스와 결합되는 경우 케환신호가 정전압법의 최대 90°위상차이에 비해 최대 180°의 위상차이를 보임으로써, op-amp 회로가 불안정해져, 커패시턴스 성분이 결합되어 있는 소자를 측정하기에는 바람직하지 않다.

$$V_{out} = -\frac{Z_x}{R_f} V_{in} \quad (1)$$

또한, 측정 저항값보다 큰 배수의 저항값이 오삽되는 경우 저항 측정시 노드 I에 연결된 반도체 소자의 파괴를 가져올 수 있는데, 반도체 소자가 먼저 측정된다면 반도체 소자의 결합을 확인할 수 없다. 그리고, 측정하고자 하는 저항이 커패시터와 병렬로 연결되는 경우 정전류에 의해서 커패시터가 충전됨으로써, 상당한 측정 대기시간이 요구되는 단점을 가진다.

### 3.1.2 3단자 정전압 가딩법

측정소자가 저저항이나 다이오드, 트랜지스터가 아닌 경우 정전압 가딩법을 채택한다. 그림 4는 op-amp의 가상단락 특성을 이용한 3단자 정전압 가딩시 회로구성을 보이며, 식 (2)은 증폭기 출력을 표시한다. op-amp 케환회로가 노드 I만을 포함함으로써 케환신호가 최대 90°위상차이를 보여 정전류법

에 비해 측정회로가 보다 안정적이기 때문에 커패시턴스와 결합된 소자를 검사하기에 적합하다.

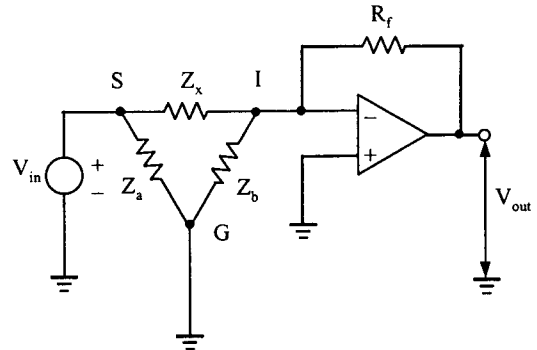


그림 4 정전압 가딩회로  
Fig. 4 Constant voltage guarding

또한, 식 (2)에 보인바와 같이 측정전압이  $Z_x$ ( $R_x$  또는  $L_x$ )에 반비례하기 때문에 높은 저항값이나 임피던스를 포함하는 소자 등을 측정하기에 바람직하다.

$$V_{out} = -\frac{R_f}{Z_x} V_{in} \quad (2)$$

특히, 커패시터가 충전되는 동안 노드 I를 가상 그라운드 상태로 유지하기 위해서 증폭기의 출력이 그것의 안정상태값을 초과하게 되어 훨씬 큰 전류를 허용함으로써 극히 작은 측정 대기시간이 요구된다.

### 3.2 위상검출(Phase Detection)

회로 보드상의 R, L, C 병렬회로로부터 전류를 기준으로 한 전압의 위상각을 검출하기 위해 제안하는 회로는 그림 5에 보인다. 그림에서 r은 병렬회로의 전압, 전류 위상차를 측정하기 위해 추가되는 위상 측정용 저항이다.

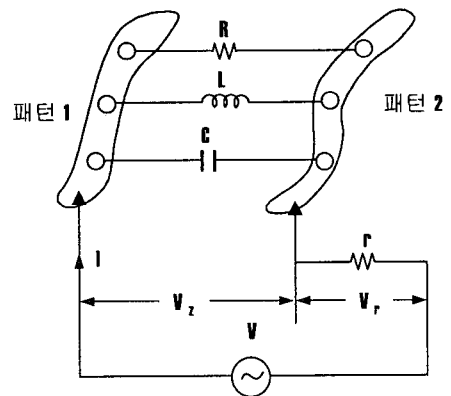


그림 5 회로 보드상의 병렬회로  
Fig. 5 Typical RLC parallel circuit

주어진 회로에 주파수를 가지는 교류신호를 인가하는 경우

를 생각해보자. 이때 위상측정용 저항 양단에 걸리는 전압  $V_r$  은 전류  $I$ 와 동상이다. 그러나 병렬회로 양단간에 걸리는 전압  $V_z$ 는 커패시턴스  $C$ 나 인덕턴스  $L$ 의 크기에 따라서 전류에 비해 위상각  $\theta$ 만큼 앞서거나 뒤진다. 따라서 전류를 기준으로  $V_z$ 과  $V_r$ 의 위상을 비교하면 병렬회로 양단의 전압  $V_z$ 와 전류  $I$ 간의 위상차를 구할 수 있다. 그림 6은 이 두 전압신호  $V_z$ 과  $V_r$ 간의 위상차를 검출하기 위해 제안되는 op-amp를 이용한 위상검출회로를 보인다[18,20,21].

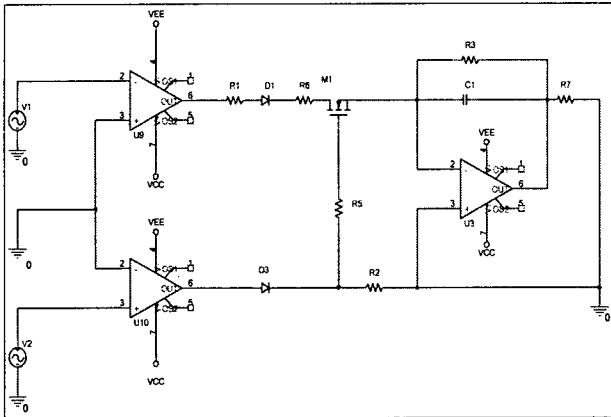


그림 6 위상검출회로  
Fig. 6 Phase detection circuit

위상검출부는 위상차가  $\theta$ 만큼 나는 두 개의 교류신호가 2개의 비교기에 각각 인가되는 경우 op-amp가 비선형 증폭기로 동작하여 비교기능에 의해서 구형파를 얻고, 위상차에 비례하는 만큼의 트리거성분을 적분하여 0~5V의 DC 값을 얻도록 설계된다. 두개의 구형파중 하나는 FET의 입력으로 그리고 다른 하나는 스위칭 신호가 되는데, 이 스위칭 신호는 입력신호를 위상차에 비례하는 만큼 턴온시켜 평균치를 측정하기 위한 적분회로의 입력으로 인가시킨다.

3.3 R, L, C 분리 알고리즘

그림 5에 보인 병렬회로에 대해 릴레이 회로를 제어하여 4.1에 보인바와 같이 가당회로와 검사신호회로를 구성한 후, 주파수  $f_1$ 의 신호를 인가한 경우를 생각해보자. 이때 가당기법에 의해서 측정되는 임피던스를  $Z_1$ , 위상각을  $\theta_1$ 이라 하면 임피던스와 위상 관계식은 식 (5)와 같이 표시될 수 있다.

$$Z_1 \cos \theta_1 + jZ_1 \sin \theta_1 = \frac{1}{\frac{1}{R} + j(\omega_1 C - \frac{1}{\omega_1 L})} \quad (5)$$

식 (5)의 좌변 항을 유리화하여 실수부와 허수부로 표시하면 식 (6)을 얻는다.

$$\frac{\cos \theta_1}{Z_1} + j \frac{\sin \theta_1}{Z_1} = \frac{1}{R} + j(\omega_1 C - \frac{1}{\omega_1 L}) \quad (6)$$

다음 주파수  $f_2$ 의 신호를 인가한 경우를 생각해보자. 이 때, 측정된 임피던스를  $Z_2$ , 위상각을  $\theta_2$ 라 하면 임피던스와 위상

관계식은 식 (7)로 표시될 수 있다.

$$Z_2 \cos \theta_2 + jZ_2 \sin \theta_2 = \frac{1}{\frac{1}{R} + j(\omega_2 C - \frac{1}{\omega_2 L})} \quad (7)$$

식 (7)의 좌변 항을 유리화하여 실수부와 허수부로 표시하면 식 (8)을 얻는다.

$$\frac{\cos \theta_2}{Z_2} + j \frac{\sin \theta_2}{Z_2} = \frac{1}{R} + j(\omega_2 C - \frac{1}{\omega_2 L}) \quad (8)$$

식 (6)과 식 (8)로부터 실수부간의 등가관계를 이용하면 병렬회로의 저항  $R$ 은 식 (9)과 같이 얻어질 수 있다.

$$R = \frac{Z_1}{\cos \theta_1} \text{ or } \frac{Z_2}{\cos \theta_2} \quad (9)$$

식 (6)과 식(8)의 허수부간의 등가관계를 이용하면 식 (10)을 얻을 수 있다.

$$\frac{\sin \theta_1}{Z_1} = (\omega_1 C - \frac{1}{\omega_1 L}) \text{ and } \frac{\sin \theta_2}{Z_2} = (\omega_2 C - \frac{1}{\omega_2 L}) \quad (10)$$

식 (10)의  $f_1$ 관계식으로부터  $C$ 를 구하면 식 (11)과 같다.

$$C = \frac{Z_1 + \omega_1 L \sin \theta_1}{\omega_1^2 L Z_1} \quad (11)$$

식 (11)을 식 (10)의  $f_2$ 관계식에 대입하여  $L$ 에 관해 정리하면 병렬회로 인덕턴스  $L$ 에 관한 식 (12)를 얻는다.

$$L = \frac{(\omega_1^2 - \omega_2^2) Z_1 Z_2}{\omega_1 \omega_2^2 Z_2 \sin \theta_1 - \omega_1^2 \omega_2 Z_1 \sin \theta_2} \quad (12)$$

다음 식 (12)의  $L$ 값을 식 (11)에 대입함으로써  $C$ 값을 구하면 식 (13)으로 표시할 수 있다.

$$C = \frac{\omega_1^2 Z_2 \sin \theta_1 - \omega_1 \omega_2 Z_1 \sin \theta_2}{\omega_1 (\omega_1^2 - \omega_2^2) Z_1 Z_2} \quad (13)$$

4. 시뮬레이션 고찰

본 연구에서는 실장 인쇄회로기판상의 RLC 병렬회로의 각 구성요소의 성분값을 정확하게 측정, 분리하기 위한 RLC 병렬회로 검사기법을 제안하였다. 따라서 RLC 병렬회로의 각 R, L, C 값들을 설계치  $R'$ ,  $L'$ ,  $C'$ 와 동일한 값으로 설정하거나 또는 상이한 값으로 설정, 다양한 경우를 모의하면서 각각의 경우에 대해 제안된 검사전략을 적용, 추정값  $R^*$ ,  $L^*$ ,  $C^*$

를 구하여 설계값과 비교함으로써 그 추정결과가 정확하게 RLC 병렬회로나 구성요소의 적부를 확인할 수 있는지를 평가, 제안된 기법의 정확성을 검증한다.

4.1 시뮬레이션 절차

그림 6은 본 연구에서 제안된 R,L,C 병렬회로 검사 알고리즘의 유효성을 검증하기 위하여 설계된 시뮬레이션 절차를 보이는데 RLC 병렬회로 구성 절차, 가당회로 모의 절차, 위상검출 모의 절차, RLC 값 계산절차 등 총 4단계로 구성된다.

| RLC 병렬회로           | 가당회로모의       | 위상검출모의         | RLC 값 계산       | 적부판정         |
|--------------------|--------------|----------------|----------------|--------------|
| 병렬회로블록의 R,L,C 값 설정 | 가당오차 설정 및 발생 | 위상검출오차 설정 및 발생 | 위상검출오차 설정 및 발생 | 정상치와 비교 불량판정 |

그림 7 시뮬레이션 절차  
Fig. 7 Simulation procedure

STEP 1] RLC 병렬회로를 구성한다. 이때, 시뮬레이션을 위한 R, L, C 값을 설계 값 R', L', C' 값과 동일하거나 상이한 다양한 값으로 모의한다.

STEP 2] 가당회로를 모의한다. 앞에서 언급된 바와 같이, 3단자 가당회로는 검사시스템에 보편적으로 활용되는 기법이 기 때문에 가당이 기술적으로 충분히 실현가능하다는 가정 하에서 측정오차를 ±10%범위로 설정한다. 따라서 2개의 주파수 신호에 대한 RLC 병렬회로 임피던스 Z<sub>1</sub>과 Z<sub>2</sub>는 식 (14)과 식 (15)에 의해서 얻어진 값에 대해서 최대 ±10%의 측정오차가 반영된 값으로 모의된다.

$$Z_1 = \frac{1}{\sqrt{(1/R)^2 + (w_1 C - (1/w_1 L))^2}} \quad (14)$$

$$Z_2 = \frac{1}{\sqrt{(1/R)^2 + (w_2 C - (1/w_2 L))^2}} \quad (15)$$

STEP 3] 위상검출회로를 모의한다. 이때 θ<sub>1</sub>과 θ<sub>2</sub>에 대한 위상검출은 식 (16)과 식 (17)을 통해서 모의되는데, 그 허용오차는 4.2의 위상검출회로에 대해 1%범위내로 설정한다[18].

$$\theta_1 = \tan^{-1} \left\{ \frac{w_1 C - (1/w_1 L)}{(1/R)} \right\} \quad (16)$$

$$\theta_2 = \tan^{-1} \left\{ \frac{w_2 C - (1/w_2 L)}{(1/R)} \right\} \quad (17)$$

STEP 4] 4.3에 새롭게 제안된 식 (9), (12), (13)을 통해서 RLC 병렬회로의 각 구성요소 R, L 그리고 C 값을 계산한다. 끝으로, 적부를 판정한다. 이때 계산결과를 정상치와 비교하여 불량여부를 판별, RLC 병렬회로 구성요소 검출의 정확성을 확인하게 되는데 이때, 그 오차가 20%이내인 경우 적합으로 판정한다.

4.2 RLC병렬회로 구성요소 추정전략 검증모의

RLC병렬회로를 구성하는 각 구성요소에 대한 추정전략의 유효성을 확인하기 위하여 앞에서 언급된 시뮬레이션 절차에 근거하여 많은 경우를 모의하였으며 그 중 20개의 경우를 보인다. CASE 1-12]는 RLC의 각 구성요소가 설계대로 정확하게 계상입된 경우를, 반면에 CASE 13-17]은 1개의 구성요소가 오삽된 경우, CASE 18-19]는 두개의 구성요소가 오삽된 경우 그리고 CASE 20]은 3개의 구성요소 모두가 오삽된 경우를 모의한다.

표 1과 표 2에서 각 경우들에 대한 병렬회로 R, L, C 값들은 시뮬레이션 값 들을 나타낸다. 반면에 R', L', C'는 설계 값, R\*, L\*, C\*는 추정값들 표시한다. 표 1에서 모의 추정값들은 각 경우들에 대해 식 (14-17)에 의해서 얻어진 Z<sub>1</sub>, θ<sub>1</sub>, Z<sub>2</sub>, 그리고 θ<sub>2</sub> 값이다. 표 2에서 추정오차율 ε은 식 (18)로 표시되며, ε<sub>R</sub>, ε<sub>L</sub>, ε<sub>C</sub>는 각각 저항, 인덕터 그리고 커패시터에 대한 추정 오차율을 나타낸다.

$$\epsilon = ABS \left( \frac{R^* - R'}{R^*} \right) \times 100 [\%] \quad (18)$$

CASE 1-12] RLC 병렬회로블록의 각 구성요소 R, L, C가 설계값 R', L', C'와 동일한 값으로 정확하게 삽입된 경우를 모의한다. 모든 경우에 대해서 각 구성요소 R, L 그리고 C에 대한 추정오차 ε<sub>R</sub>, ε<sub>L</sub>, ε<sub>C</sub>가 모두 ±20[%]내에 속하기 때문에 각 병렬회로의 구성요소가 적합으로 판정된다.

표 1. 시뮬레이션 결과 I  
Table 1. Simulation results I

| CASE | 병렬회로 RLC 값 |       |        | 신호주파수               |                     | 모의추정값              |                |                    |                |
|------|------------|-------|--------|---------------------|---------------------|--------------------|----------------|--------------------|----------------|
|      | R(Ω)       | L(mH) | C(μF)  | f <sub>1</sub> (Hz) | f <sub>2</sub> (Hz) | Z <sub>1</sub> (Ω) | θ <sub>1</sub> | Z <sub>2</sub> (Ω) | θ <sub>2</sub> |
| 1    | 5000       | 1000  | 0.0220 | 1200                | 120                 | 4440               | 0.17           | 819                | -1.42          |
| 2    | 5000       | 1500  | 0.1110 | 1200                | 120                 | 1162               | 1.31           | 1297               | -1.34          |
| 3    | 2500       | 3574  | 0.2550 | 1200                | 120                 | 467                | 1.37           | 2480               | -0.42          |
| 4    | 10000      | 24    | 0.7550 | 1200                | 120                 | 4756               | 1.02           | 20                 | -1.57          |
| 5    | 7500       | 1400  | 0.0430 | 1200                | 120                 | 3393               | 1.05           | 1178               | -1.43          |
| 6    | 25000      | 560   | 0.0257 | 1200                | 120                 | 15271              | -0.83          | 454                | -1.56          |
| 7    | 75000      | 3870  | 0.0470 | 1200                | 120                 | 2811               | 1.53           | 3287               | -1.53          |
| 8    | 7000       | 250   | 0.0472 | 1200                | 120                 | 3983               | -0.89          | 200                | -1.55          |
| 9    | 2300       | 7300  | 0.2200 | 1200                | 120                 | 531                | 1.31           | 2376               | -0.04          |
| 10   | 500        | 2400  | 0.0780 | 1200                | 120                 | 435                | 0.26           | 504                | -0.24          |
| 11   | 4500       | 8500  | 0.2450 | 1200                | 120                 | 488                | 1.46           | 4709               | 0.13           |
| 12   | 275        | 325   | 0.2750 | 1200                | 120                 | 225                | 0.43           | 207                | -0.82          |
| 13   | 20         | 7300  | 0.2200 | 1200                | 120                 | 18                 | 0.03           | 22                 | 0.00           |
| 14   | 7500       | 400   | 0.2100 | 1200                | 120                 | 715                | 1.47           | 337                | -1.58          |
| 15   | 275        | 325   | 0.1005 | 1200                | 120                 | 246                | 0.10           | 201                | -0.84          |
| 16   | 1600       | 7300  | 0.2200 | 1200                | 120                 | 513                | 1.21           | 1653               | -0.03          |
| 17   | 2000       | 7300  | 0.2200 | 1200                | 120                 | 525                | 1.28           | 2068               | -0.03          |
| 18   | 1500       | 7300  | 0.1000 | 1200                | 120                 | 907                | 0.84           | 1604               | -0.16          |
| 19   | 1500       | 5000  | 0.2200 | 1200                | 120                 | 511                | 1.19           | 1534               | -0.15          |
| 20   | 1700       | 6200  | 0.1500 | 1200                | 120                 | 717                | 1.09           | 1726               | -0.17          |

CASE 13] RLC 병렬회로블록의 각 구성요소의 설계값이

각각  $R'=2300\Omega$ ,  $L'=7300\text{mH}$  그리고  $C'=0.22\mu\text{F}$ 로 설계되었으나 R이  $20\Omega$ 로 오삽된 경우를 모의한다. 제안된 검사전략에 근거하여 RLC 병렬회로의 구성요소에 대한 각 추정오차  $\epsilon_R$ ,  $\epsilon_L$ ,  $\epsilon_C$ 가 각각 12678, 9 그리고 10으로 얻어진다. 여기서, 저항 R의 추정오차가 12678[%]로 20[%]를 훨씬 초과하기 때문에 오삽되었음을 확인할 수 있다.

CASE 14] RLC 병렬회로블록의 각 구성요소 설계값이 각각  $R'=7500\Omega$ ,  $L'=7400\text{mH}$  그리고  $C'=0.21\mu\text{F}$ 로 설계되었으나 L이  $400\text{mH}$ 로 오삽된 경우를 모의한다. 제안된 검사전략에 근거하여 RLC 병렬회로의 구성요소에 대한 각 추정오차  $\epsilon_R$ ,  $\epsilon_L$ ,  $\epsilon_C$ 가 각각 5, 175 그리고 7로 얻어진다. 이때, 저항 L의 추정오차가 175[%]로 20[%]를 훨씬 초과하기 때문에 오삽되었음을 확인할 수 있다.

CASE 15] RLC 병렬회로블록의 각 구성요소 설계값이 각각  $R'=275\Omega$ ,  $L'=325\text{mH}$  그리고  $C'=0.275\mu\text{F}$ 로 설계되었으나 C가  $0.1\mu\text{F}$ 로 오삽된 경우를 모의한다. 제안된 검사전략에 근거하여 RLC 병렬회로의 구성요소에 대한 각 추정오차  $\epsilon_R$ ,  $\epsilon_L$ ,  $\epsilon_C$ 가 각각 11, 7 그리고 169로 얻어진다. 이 정보에서, 저항 C의 추정오차가 169[%]로 20[%]를 훨씬 초과하기 때문에 오삽되었음을 확인할 수 있다.

표 2. 시뮬레이션 결과 II

Table 2. Simulation results II

| CASE | 계산된 RLC 값 |      |        | 추정오차비  |       |       | 추정오차율( $\epsilon$ ) |              |              | 적합 여부 |
|------|-----------|------|--------|--------|-------|-------|---------------------|--------------|--------------|-------|
|      | R'        | L'   | C'     | R'/R*  | L'/L* | C'/C* | $\epsilon_R$        | $\epsilon_L$ | $\epsilon_C$ |       |
| 1    | 4501      | 1085 | 0.0212 | 1.11   | 0.92  | 1.04  | 11                  | 8            | 4            | 적     |
| 2    | 4568      | 1577 | 0.1216 | 1.09   | 0.95  | 0.91  | 9                   | 5            | 9            | 적     |
| 3    | 2376      | 3506 | 0.2835 | 1.05   | 1.02  | 0.90  | 5                   | 2            | 10           | 적     |
| 4    | 9103      | 26   | 0.7086 | 1.10   | 0.93  | 1.07  | 10                  | 7            | 7            | 적     |
| 5    | 6857      | 1518 | 0.0456 | 1.09   | 0.92  | 0.94  | 9                   | 8            | 6            | 적     |
| 6    | 22606     | 597  | 0.0231 | 1.11   | 0.94  | 1.11  | 11                  | 8            | 11           | 적     |
| 7    | 69843     | 3869 | 0.0517 | 1.07   | 1.00  | 0.91  | 7                   | 0            | 9            | 적     |
| 8    | 6336      | 264  | 0.0409 | 1.10   | 0.95  | 1.15  | 10                  | 5            | 15           | 적     |
| 9    | 2071      | 6643 | 0.2444 | 1.11   | 1.10  | 0.90  | 11                  | 10           | 10           | 적     |
| 10   | 450       | 2437 | 0.0859 | 1.11   | 0.98  | 0.91  | 11                  | 2            | 9            | 적     |
| 11   | 4304      | 7446 | 0.2725 | 1.05   | 1.14  | 0.90  | 5                   | 14           | 10           | 적     |
| 12   | 248       | 352  | 0.2961 | 1.11   | 0.92  | 0.93  | 11                  | 8            | 7            | 적     |
| 13   | 18        | 6667 | 0.2447 | 127.68 | 1.09  | 0.90  | 12668               | 9            | 10           | 부     |
| 14   | 7151      | 423  | 0.2261 | 1.05   | 18.50 | 0.93  | 5                   | 1750         | 7            | 부     |
| 15   | 248       | 350  | 0.1022 | 1.11   | 0.93  | 2.69  | 11                  | 7            | 169          | 부     |
| 16   | 1466      | 6629 | 0.2450 | 1.57   | 1.10  | 0.90  | 57                  | 10           | 10           | 부     |
| 17   | 1842      | 6631 | 0.2449 | 1.25   | 1.10  | 0.90  | 25                  | 10           | 10           | 부     |
| 18   | 1359      | 7239 | 0.1115 | 1.69   | 1.01  | 1.97  | 69                  | 1            | 97           | 부     |
| 19   | 1369      | 4716 | 0.2448 | 1.68   | 1.55  | 0.91  | 68                  | 55           | 9            | 부     |
| 20   | 1538      | 5914 | 0.1667 | 1.49   | 1.23  | 1.32  | 49                  | 23           | 32           | 부     |

CASE 15] RLC 병렬회로블록의 각 구성요소 설계값이 각각  $R'=275\Omega$ ,  $L'=325\text{mH}$  그리고  $C'=0.275\mu\text{F}$ 로 설계되었으나 C가  $0.1\mu\text{F}$ 로 오삽된 경우를 모의한다. 제안된 검사전략에 근거하여 RLC 병렬회로의 구성요소에 대한 각 추정오차  $\epsilon_R$ ,  $\epsilon_L$ ,  $\epsilon_C$ 가 각각 11, 7 그리고 169로 얻어진다. 이 정보에서, 저항 C의 추정오차가 169[%]로 20[%]를 훨씬 초과하기 때문에 오삽되었음을 확인할 수 있다.

CASE 16] RLC 병렬회로블록의 각 구성요소의 설계값이

각각  $R'=2300\Omega$ ,  $L'=7300\text{mH}$  그리고  $C'=0.22\mu\text{F}$ 로 설계되었으나 R이  $1600\Omega$ 로 오삽된 경우를 모의한다. 제안된 검사전략에 근거하여 RLC 병렬회로의 구성요소에 대한 각 추정오차  $\epsilon_R$ ,  $\epsilon_L$ ,  $\epsilon_C$ 가 각각 57, 10 그리고 10으로 얻어진다. 여기서, 저항 R의 추정오차가 57[%]로 20[%]를 훨씬 초과하기 때문에 오삽되었음을 확인할 수 있다.

CASE 17] RLC 병렬회로블록의 각 구성요소의 설계값이 각각  $R'=2300\Omega$ ,  $L'=7300\text{mH}$  그리고  $C'=0.22\mu\text{F}$ 로 설계되었으나 R이  $2000\Omega$ 로 오삽된 경우를 모의한다. 제안된 검사전략에 근거하여 RLC 병렬회로의 구성요소에 대한 각 추정오차  $\epsilon_R$ ,  $\epsilon_L$ ,  $\epsilon_C$ 가 각각 25, 10 그리고 10으로 얻어진다. 여기서, 저항 R의 추정오차가 25[%]로 20[%]를 약간 초과하기 때문에 오삽되었음을 확인할 수 있다. 따라서 약  $300\Omega$ 의 오차를 검출할 수 있음을 알 수 있다.

CASE 18] RLC 병렬회로블록의 각 구성요소의 설계값이 각각  $R'=2300\Omega$ ,  $L'=7300\text{mH}$  그리고  $C'=0.22\mu\text{F}$ 로 설계되었으나 두개의 구성요소 R가 C가 각각  $1500\Omega$ ,  $0.1\mu\text{F}$ 로 오삽된 경우를 모의한다. 제안된 검사전략에 근거하여 RLC 병렬회로의 구성요소에 대한 각 추정오차  $\epsilon_R$ ,  $\epsilon_L$ ,  $\epsilon_C$ 가 각각 69, 1 그리고 97로 얻어진다. 여기서, 저항 R과 C의 추정오차가 각각 69[%], 97[%]로 20[%]를 초과하기 때문에 오삽되었음을 확인할 수 있다.

CASE 19] RLC 병렬회로블록의 각 구성요소의 설계값이 각각  $R'=2300\Omega$ ,  $L'=7300\text{mH}$  그리고  $C'=0.22\mu\text{F}$ 로 설계되었으나 이 경우에는 두개의 구성요소 R가 L이 각각  $1500\Omega$ ,  $5000\text{mH}$ 로 오삽된 경우를 모의한다. 제안된 검사전략에 근거하여 RLC 병렬회로의 구성요소에 대한 각 추정오차  $\epsilon_R$ ,  $\epsilon_L$ ,  $\epsilon_C$ 가 각각 68, 59 그리고 9로 얻어진다. 여기서, 저항 R과 L의 추정오차가 각각 68[%], 59[%]로 20[%]를 초과하기 때문에 오삽되었음을 확인할 수 있다.

CASE 20] RLC 병렬회로블록의 각 구성요소의 설계값이 각각  $R'=2300\Omega$ ,  $L'=7300\text{mH}$  그리고  $C'=0.22\mu\text{F}$ 로 설계되었으나 세개의 구성요소 R, L 그리고 C가 각각  $1700\Omega$ ,  $6200\text{mH}$ , 그리고  $0.15\mu\text{F}$ 로 오삽된 경우를 모의한다. 제안된 검사전략에 근거하여 RLC 병렬회로의 구성요소에 대한 각 추정오차  $\epsilon_R$ ,  $\epsilon_L$ ,  $\epsilon_C$ 가 각각 49, 23 그리고 32로 얻어진다. 여기서, 저항 R, L 그리고 C의 추정오차가 각각 49[%], 23[%], 32[%]로 모두 20[%]를 초과하기 때문에 세 개의 구성요소가 모두 오삽되었음을 확인할 수 있다.

표 1과 표2에 보인 시뮬레이션 결과를 통해 제안된 알고리즘이 설계값과 모의값이 동일한 경우는 물론 RLC 병렬회로 중 1개의 구성요소, 2개의 구성요소 그리고 3개의 구성요소가 모두 상이한 경우에 대해서 정확하게 정상 또는 불량 상태를 검출할 수 있음을 확인할 수 있다.

5. 결론

본 연구에서는 부품이 실장된 인쇄회로기판상의 RLC 병렬회로로부터 R, L, C 값을 정확하게 분리, 측정함으로써 제품의 품질과 생산성을 제고할 수 있는 검사기법을 제안하였다. 제안된 검사기법은 먼저 검사대상 RLC 병렬회로를 가당기법을 이용하여 주변회로로부터 전기적으로 분리한 후, 2개의 다른 주파수 신호를 입력하여 측정되는 임피던스 크기와 위상

각을 이용하여 계산적으로 구할 수 있도록 하였다. 가당기법으로는 가장 널리 활용되고 있는 3단자 가당기법을 채택하였다. 그리고 위상검출회로로 실현 가능성과 측정오차를 확인하기 위해 위상검출회로를 설계, 실험적 고찰을 통해 측정의 정확도를 확인하였다. 제안된 검사전략의 유효성을 확인하기 위해 가상적인 R, L, C 병렬회로에 대해 RLC의 각 구성요소가 정상적으로 삽입된 12개의 경우와 R, L 또는 C가 오삽된 8개의 경우를 모의하였다. 시뮬레이션에서 제안된 알고리즘을 기반으로 설계값과 모의값이 동일한 경우, 구성요소 중 1개, 2개 또는 3개의 구성요소가 상이한 경우에 대해서 정확하게 구별할 수 있음을 보임으로써 제안된 알고리즘의 유효성을 확인할 수 있었다.

**감사의 글**

이 논문은 2005년도 남서울대학교 교내 연구비의 지원에 의하여 연구되었음.

**참 고 문 헌**

[1] Jon Turino, "Functional Testing's Place In Electronics Manufacturing", Evaluation Engineering, pp 58-61, September 1984.

[2] Jeff Hotchkiss, "The Roles of In-Circuit and Functional Board Test", Electronic Engineering", pp. 63-69, July 1979.

[3] K.A. Baney, "Functional Test : An Answer for SMT PCB's", ATE & Instrumentation Conference West, pp 251-254, 1989.

[4] Reynold, "In-Circuit McTesters ? or the Future of In-Circuit Test", Evaluation Engineering, pp 8-15, February 1987.

[5] David T. Crook, "Analog In-Circuit Component Measurements: Problems and Solutions", Hewlett-Packard Journal, pp 34-42 march 1979.

[6] Steve J Baker, "Analog-Component Faults Yield to In-Circuit Testing", GenRad journal pp 15-20.

[7] Peter Hansen, "Ensuring ASIC Testability at the Board Level Tools and Strategies", ATE & Instrumentation Conference, pp 33-43 1987.

[8] John J. Arena, "Calculating the Effective Pattern Rate for High-Speed Board Test Applications", IEEE Trans. Industrial Electroics, Vol. 36, No. 2, pp 164-174, May 1989.

[9] Ed O. Schiotzhauer, "User-Oriented Software for an Automatic Circuit-Board Tester", Hewlett-Packard Journal, pp 22-27, March 1979.

[10] Edward S. Hirgelt, "Knowledge Representation In an In-Circuit Test Program Generator", International Test Conference, pp 773-777, 1984.

[11] Kenneth Jessen and Mike Bullock, "Safeguarding Devices under Test", Electronics Manufacture & Test, pp 35-38, July/August 1985.

[14] Jon Turino, "Functional Testing's Place in Electronics Manufacturing", Evaluation Engineering, pp 58-62, Setember 1984.

[15] Tony Brown, "Lifting the defect detection burden", Electronics Manufacture & Test, pp 41-44, April 1985.

[16] 고윤석, "인공지능기법을 이용한 전자회로보드의 자동검사전략에 대한 연구", 전기학회논문지, 52권 12호, pp. 671-678 2003년 12월.

[17] 고윤석, "PSA 기법에 근거한 생산라인상의 디지털 회로 보드 검사전략에 대한 연구", 전기학회논문지, 53권 11호, pp. 768-775, 2004년 11월.

[18] 고윤석, 한길희, 이경호, 임철수의 1인, "전자회로 보드의 RLC 병렬회로 검사를 위한 위상검출회로 설계", 2002년도 대한전기학회 EMECS학회 춘계학술대회 논문집, 2002년 4월.

[19] 고윤석, "SSA 기법에 기반한 생산조립라인의 디지털 부품시장 PCB의 검사전략에 대한 연구", 전기학회논문지, 54권 4호, pp. 243-250, 2005년 4월.

[20] J. G. Graeme, Applications of Operational Amplifiers, McGraw-Hill Book Company

[21] F. W. Hughes, Op-Amp Handbook, Prentice Hall, Englewood Cliffs.

**저 자 소 개**



**고 윤 석 (高 鈞 錫)**

1984년 2월 광운대 공대 전기공학과 졸업.  
 1986년 2월 광운대 대학원 전기공학과 졸업(석사).  
 1996년 2월 광운대 대학원 전기공학과 졸업(박사).  
 1986년 3월~1996년 3월 한국전기연구소 선임연구원.  
 1996년 4월~1997년 2월 포스코 경영연구소 연구위원.  
 1997년 3월~현재 남서울대학교 전자정보통신공학부 부교수.