

Technology Computer-Aided Design과 결합된 SPICE를 통한 금속-강유전체-반도체 전계효과 트랜지스터의 전기적 특성 해석

김용태 · 심선일

한국과학기술연구원 반도체소자연구실, 서울 청량사서함 131, 130-650

Electrical analysis of Metal-Ferroelectric-Semiconductor Field-Effect Transistor with SPICE combined with Technology Computer-Aided Design

Yong Tae Kim and Sun Il Shim

Semiconductor Materials & Devices Lab., Korea Institute of Science & Technology (KIST),
P.O. Box 131, Cheongryang, Seoul, Korea, 130-650

초 록: 금속-강유전체-반도체 전계효과 트랜지스터 (MFS/MFISFET)의 동작 특성을 technology computer-aided design (TCAD)과 simulation program with integrated circuit emphasis (SPICE)를 결합하여 전산모사하는 방법을 제시하였다. 복잡한 강유전체의 동작 특성을 수치해석을 이용하여 해석한 다음, 이를 이용하여 금속-강유전체-반도체 구조에서 반도체 표면에 인가되는 표면 전위를 계산하였다. 계산된 TCAD 변수인 표면 전위를 전계효과 트랜지스터의 SPICE 모델에서 구한 표면 전위와 같다고 보고 게이트 전압에 따른 전류-전압 특성을 구할 수 있었다. 이와 같은 방법은 향후 MFS/MFISFET를 이용한 메모리소자의 집적회로 설계에 매우 유용하게 적용될 수 있을 것이다.

Abstract: A simulation method combined with the simulation program with integrated circuit emphasis (SPICE) and the technology computer-aided design (TCAD) has been proposed to estimate the electrical characteristics of the metal-ferroelectric-semiconductor field effect transistor (MFS/MFISFET). The complex behavior of the ferroelectric property was analyzed and surface potential of the channel region in the MFS gate structure was calculated with the numerical TCAD method. Since the calculated surface potential is equivalent with the surface potential obtained with the SPICE model of the conventional MOSFET, we can obtain the current-voltage characteristics of MFS/MFISFET corresponding to the applied gate bias. Therefore, the proposed method will be very useful for the design of the integrated circuits with MFS/MFISFET memory cell devices.

Keywords: MFSFET, TCAD, SPICE, modeling

1. 서 론

최근 강유전체 메모리 (FeRAM), 상변화 메모리 (PRAM), 자성메모리 (MRAM) 등이 차세대 비휘발성 메모리로서 대두되고 있음은 주지의 사실이다. 그 중 강유전체 메모리는 빠른 속도, 높은 내

구성, 적은 전력 소모 등의 특성으로 인하여 차세대 메모리들 중에서 가장 빠르게 실용화 되고 있는 소자이다. 강유전체 메모리는 두 가지의 형태가 있는데 하나는 강유전체 커패시터와 트랜지스터로 이루어진 형태이고 다른 하나는 강유전체 트랜지스터만으로 이루어진 형태이다. 강유전체 트

*Corresponding author
E-mail: ytkim@kist.re.kr

랜지스터 형태는 강유전체 물질을 트랜지스터의 게이트에 형성함으로써 게이트 자체가 정보 저장 역할을 하는 것이다. 이와 같은 소자는 비파괴 판독 특성에 의한 피로도의 저감과 작은 셀 사이즈 때문에 큰 관심을 끌고 있으나 강유전체 커패시터 + 트랜지스터 형태의 경우 이미 32 MB 강유전체 메모리가 개발되어 있는데 반해 아직까지 실용화 되지는 않고 있으며, 다양한 트랜지스터 구조 및 강유전체 트랜지스터의 특성연구가 개발이 진행되고 있다¹⁻³⁾.

따라서 새로운 소자의 개발과 이를 이용한 집적회로의 설계를 위해서는 그 동작을 미리 예측할 수 있는 전산모사기구가 필수적이며, 강유전체 커패시터 + 트랜지스터 형태의 강유전체 메모리에 대한 이론적인 모델과 등가회로 모델 등은 이미 제시되었다⁴⁾¹⁾. 그러나 강유전체 트랜지스터에 대한 이론과 등가회로 모델은 아직 일반화되어 있지 않다.

본 논문에서는 금속-강유전체-반도체 (MFS) 혹은 금속-강유전체-절연체-반도체 (MFIS) 전계효과 트랜지스터(FET)의 동작특성을 수치해석에 기반을 둔 TCAD를 통해 얻었다. TCAD 변수값을 simulation program with integrated circuit emphasis (SPICE)에 바탕을 둔 일반적인 MOSFET의 동작특성과 결합시킴으로써 MFS/MFISFET 메모리의 동작 특성을 예측하고 집적회로의 설계에 응용할 수 있는 방법을 제시하였다. 이 방법은 저자 등이 제시하였던 단일 트랜지스터 형태의 강유전체 메모리 등가회로를 이용한 회로의 설계에도 적용하면 보다 정확하게 소자의 물리적특성과 집적회로의 설계 및 검증에 이용할 수 있다¹²⁾.

2. 수치해석을 통한 강유전체 커패시터의 모델과 SPICE와의 결합

수치해석을 통한 분극-전계 (P-E) 특성과 게이트 전압 V_{GB} 와 실리콘 표면 전위 ϕ_s 와의 관계는 Miller 등이 제시한 수식과 변수들을 이용하였다⁴⁾.

Fig. 1은 본 연구에 사용된 MFISFET의 단면과 변수를 표시한 것이다. 그림에서 보듯이 3개의 유전체들이 실리콘과 게이트금속 사이에 존재한다. d_2 두께의 유전체는 스위칭이 되는 강유전체 층으로 구성되고 양쪽의 d_1 과 d_3 두께를 가지는 두 층은 스위칭이 되지 않는 유전체층이다. $\epsilon_1, \epsilon_2, \epsilon_3,$ 는

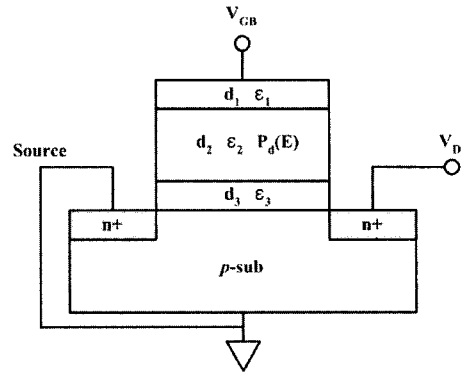


Fig. 1. Cross-sectional diagram of the MFSFET structure for simulation.

각각 층의 유전상수를 나타낸다.

일반적으로 금속-산화막-반도체 (MOS) 구조에서 게이트 전압 (V_{GB})과 채널영역의 실리콘 표면 전위 (ϕ_s) 사이의 관계식과 유사한 형태로 금속-MFISFET에서도 V_{GB} 와 ϕ_s 사이의 관계식을 구하면 게이트 전압에 따른 MFISFET의 동작을 묘사할 수 있게 된다. 본 논문에서는 ϕ_s 와 V_{GB} 사이의 관계식을 분극-전계 특성을 고려하여 아래와 같이 전개하였다. 아래의 전개된 식에 사용한 수식은 Miller의 수식들을 이용하였다⁴⁾.

$$V_{GB} = \phi - \frac{Q_c}{C_{stack}} - P_d(E_f) \frac{d_2}{\epsilon_0 \epsilon_2} \quad (1)$$

여기서 Q_c 는 실리콘 표면에 인가되는 전하량이고 C_{stack} 은 전체 정전용량, P_d 는 강유전체에 의해 인가되는 분극, E_f 는 스위칭되는 층에 인가되는 전계이다. ϵ_{si} 는 실리콘의 유전율로서 11.8이고 ϵ_0 는 유전 상수로서 8.854×10^{-14} F/cm, 전하량 q 는 1.6×10^{-19} C, 진성 캐리어 농도 N_s 는 1.5×10^{10} 이며 이들 값들은 다음과 같은 수식들로 표현된다.

$$C_{stack} = \left(\frac{d_1}{\epsilon_0 \epsilon_1} + \frac{d_2}{\epsilon_0 \epsilon_2} + \frac{d_3}{\epsilon_0 \epsilon_3} \right)^{-1} \quad (2)$$

$$E_f = \frac{-[Q_c + P_d(E_f)]}{\epsilon_0 \epsilon_2} \quad (3)$$

$$Q = \frac{\mp \sqrt{2q\epsilon_{si}N_a}}{\sqrt{\phi_t e^{-\phi_s/\phi_t} + \phi_s - \phi_t + e^{-2\phi_F/\phi_t} (\phi_t e^{\phi_s/\phi_t} - \phi_s - \phi_t)}} \quad (4)$$

여기서 페르미 전위 ϕ_F 와 열적 전위 ϕ_t 는

$$\phi_F = \phi_t \log\left(\frac{N_a}{N_i}\right) \quad (5)$$

$$\phi_t = \frac{kT}{q} \quad (6)$$

이고 N_a 는 실리콘 표면의 전하 밀도이다.

식 (1), (3), (4)는 분극을 강유전체에 걸리는 전계 함수 $P_d(E_f)$ 구하는데 사용되는데, $P_d(E_f)$ 를 구할 수 있으면 Fig. 1에 나타낸 MFISFET의 동작을 완전하게 기술할 수 있다.

따라서 본 논문에서는 복잡한 수치해석을 통해 구해진 분극의 특성을 통해 표면 전위를 구하고 이를 게이트 전압과 연결시킴으로써 MFISFET의 전류-전압 특성에 대한 SPICE 전산모사가 가능하도록 하였다^{4,5}. 이상적인 MFISFET는 쓰기 전압을 인가한 후 게이트에 별도의 전압을 가하지 않아도 드레인 전류의 흐름을 통해 저장된 정보를 읽을 수 있다. 그러나 실제로는 낮은 읽기 전압을 가해주게 된다. 본 연구에서는 1.0 V에서 2.5 V 사이의 다양한 읽기 전압을 인가하여 정보저장에 따른 전류-전압 특성을 살펴보았다. 따라서 먼저 위에서 구해진 표면전위-게이트 전압 관계에다 읽기 전압을 가해 주었을 때에 해당하는 표면 전위를 구하고, 이를 MOS구조의 표면 전위로 대입시켜 다시 그에 대응하는 게이트 전압을 구하였다. 일반적인 MOS구조에서 표면 전위는 다음의 식으로 표현된다¹³.

$$V_{GB} = V_{FB} + \phi_{si} + \gamma \sqrt{\phi_{si} + \phi_t} e^{(\phi_{si} - 2\phi_F)/\phi_t} \quad (7)$$

여기서 ϕ_{si} 는 MOS 구조에서 실리콘의 표면 전위 이고 body effect 상수 γ 는

$$\gamma = \frac{\sqrt{2q\epsilon_{si}\epsilon_0 N_a}}{C_i} \quad (8)$$

이다. 여기서 C_i 는 MOS 게이트의 정전용량이고 V_{FB} 는 계산되는 flat band 전압이다.

따라서 TCAD 수치해석으로 구해진 표면 전위와 일반적인 MOS구조의 표면 전위를 등가시킴으로써 MFIS구조에서 얻어지는 게이트 전압에 따른 표면 전위의 변화를 일반적인 MOSFET의 게이트

전압으로 바꾸어 줄 수 있다. 이를 통하여 MFISFET에 대한 쓰기와 지우기 상태에서의 전류-전압 특성 곡선을 MOSFET에서의 전류-전압 특성으로 표현할 수 있게 된다.

3. SPICE와의 결합 및 전산 모사 결과와 논의

수치해석에 의해 식 (1) - (6)을 이용하여 Fig. 2와 같이 표면전위를 구하였다. 표면 전위가 hysteresis loop (이력 특성)를 나타내는 것은 강유전체 물질의 분극 특성에 의해 형성되는 memory window (메모리 창)때문이며, 이는 제시된 수식을 통해 얻어진 표면전위가 강유전체의 분극특성을 잘 표현해 주고 있음을 알 수 있다.

실질적인 메모리 소자로서의 동작에 있어서 이상적인 경우라면 쓰기 전압 $+V_w$ 인가 후 게이트 전압을 가하지 않았을 때 문턱전압 이상의 표면 전위가 형성되어야 하지만 결과에서 보여지듯이 충분한 양의 반전 전하가 형성되지 못하는 낮은 표면 전위가 형성된 것을 알 수 있다. 따라서, 실질적인 동작에 있어서는 약간의 읽기 전압을 가해주어야 하는데 이 경우 분극은 그 이전의 쓰기 ($+V_w$)나 지우기 ($-V_w$) 상태에 읽기전압 (V_R) 영향을 받게 된다. 따라서 표면전위-게이트 전압 관계에서도 마찬가지로 특성을 나타내게 된다. $+V_w$ 전압을 가해준 후, 읽기 전압을 각각 1.0 V, 1.5 V, 2.0, 2.5 V를 가해주었을 때 이에 상응하는 표면 전위는 경우에는 각각 0.8, 0.85, 0.87, 0.89 V이고 $-V_w$

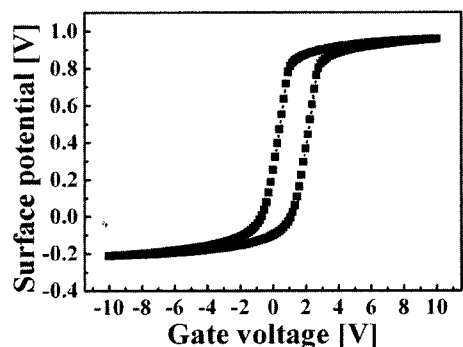


Fig. 2. Silicon surface potential as a function of the gate voltage of the MFISFET. Hysteresis loop shows the nature of the ferroelectric material.

전압을 가해 준 후에는 각각의 읽기전압 V_R 에 따른 표면전위는 0, 0.11, 0.37, 0.66 V였다.

여기서 구해진 표면 전위를 이용하여 MFISFET의 전류-전압 특성을 구할 수도 있으나 보다 편리한 방법은 구해진 표면 전위를 MOSFET에 대입시켜 가장 보편적인 SPICE 전산모사기구를 사용하여 표현하는 방법이 있다. 이는 또한 TCAD로 설계되고 계산된 결과를 회로에 결합시켜 집적회로를 구성하는데 직접 사용할 수 있게 되는 장점이 있다. 수치해석으로 구해진 결과를 MOSFET에 대입하기 위해서는 먼저 표면 전위에 대한 게이트 전압을 구해야 한다. 이 때 사용한 MOS 트랜지스터의 게이트 두께는 10 nm, 표면 전하 밀도는 $9 \times 10^{16} \text{ cm}^{-3}$, interface trap은 10^{-8} C/cm^2 으로 설정하였으며 이후 SPICE 전산모사를 위한 변수들은 level 49의 기본 변수들을 사용하였다. (1)-(6) 식을 이용하여 구한 강유전체 게이트 구조의 표면 전위와 이에 대응하는 MOSFET의 게이트 전압에 따른 표면 전위는 식 (7)을 이용하여 계산하였고 그 결과를 Fig. 3에 함께 표시하였다. 채워진 동그라미와 빈 동그라미는 각각 $+V_W$ 전압을 가한 후와 $-V_W$ 전압을 가한 후 읽기 전압을 1.0, 1.5, 2.0, 2.5 V를 가해주었을 때에 해당하는 MOSFET에서의 표면 전위와 게이트 전압이다. $-V_W$ 전압을 가한 후의 경우 읽기 전압을 2.5 V 정도까지 가해주어도 채널이 형성되기 위한 $2\phi_f (=0.75 \text{ V})$ 전압까지 미치지

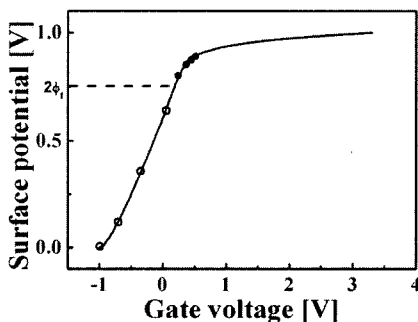


Fig. 3. Silicon surface potential as a function of the gate voltage of the MOSFET. The dark circles and open circles represent the surface potentials of the MFISFET after applying $+V_W$ (write signal) and $-V_W$ (erase signal), respectively (the gate voltage, which is the read signal, is fixed at 1.0, 1.5, 2.0, 2.5 V).

지 못한 0.66 V의 표면 전위를 가지며 이에 대응하는 MOSFET의 게이트 전압은 0.07 V이다. 이는 2.5 V의 읽기 전압이 가해졌을 때에도 지우기를 수행한 후에는 강유전체 메모리 트랜지스터가 여전히 꺼져 있는 상태를 유지함을 보여 준다. 반면에, $+V_W$ 전압을 가해준 후 읽기 전압을 가하면은 1 V의 읽기 전압에서 표면 전위가 0.8 V로 채널 영역의 강반전이 일어나 트랜지스터가 켜진 상태가 된다. 이에 대응하는 MOSFET의 게이트 전압은 0.25 V이다.

이상과 같은 결과를 바탕으로 일반적인 SPICE 방법으로 구할 수 없는 MFISFET의 전류-전압 특성 곡선을 SPICE를 이용하여 구할 수 있다. $-V_W$ 전압을 가한 후의 읽기 시에는 읽기 전압을 2.5 V 까지 가해주어도 거의 꺼져 있는 상태를 유지하기 때문에 전류가 흐르지 않는 것을 볼 수 있었다. $+V_W$ 전압을 가한 후 읽기 전압을 각각 1.0, 1.5, 2.0, 2.5 V를 가해주었을 때 Fig. 4와 같은 드레인 전류-드레인 전압 특성 곡선은 얻었다. 이 결과는 MFISFET의 읽기 및 쓰기에 따른 비휘발성 메모리의 동작특성을 잘 드러내고 있으며, 이를 이용하여 집적회로를 구성할 경우 쉽게 회로 전체에 대한 동작특성을 예측할 수 있게 된다.

일반적인 경우의 강유전체 게이트를 가지는 전계효과 트랜지스터의 동작은 사용된 강유전체의 분극 특성에 크게 좌우되는데 이는 강유전체 물질과 두께 등에 의해 매우 다양한 특성으로 보이게 된다. 강유전체 물질의 정확한 특성을 예측하기 위한 여러 이론적인 배경과 모델들이 제시되고 있

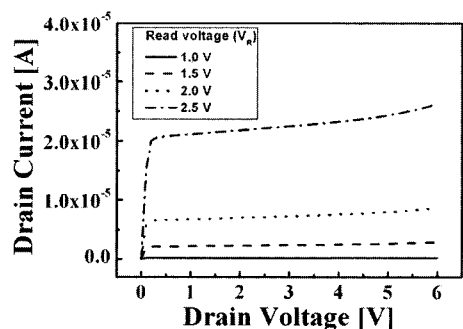


Fig. 4. Drain current vs. drain voltage of the MFISFET with the gate voltage (read signal) of 1.0, 1.5, 2.0, and 2.5 V.

는데 이들의 결과를 통하여 다양한 강유전체의 동작 특성을 묘사할 수 있다. 따라서, 여러 종류의 강유전체 물질의 특성을 TCAD를 이용하여 묘사하면 본 논문에서 제시된 방법을 통하여 이들을 게이트로 사용한 트랜지스터의 특성을 SPICE를 이용하여 쉽게 도출할 수 있다.

4. 결 론

강유전체의 분극특성에 대한 TCAD 수치 해석 방법을 이용하여 MFIS 게이트 채널영역의 표면 전위를 구하고 그에 대응하는 MOSFET의 표면전위와 게이트 전압에 따른 전류-전압 특성을 SPICE를 이용하여 전산모사하였다. 그 결과 복잡한 분극특성을 가지는 MFS/MFISFET에 대한 전기적 특성 해석방법을 집적회로 설계에 쉽게 이용할 수 있는 SPICE모델에 결합시킬 수 있게 됨으로써 보다 쉽게 MFS/MFISFET로 이루어진 고집적 회로에 대한 특성해석과 이를 이용한 회로의 설계가 가능할 수 있을 것이다.

참고문헌

1. Min-Kyu Choi, Byung-Gil Jeon, Nakwon Jang, Byung-Jin Min, Yoon-Jong Song, Sung Yung Lee, Hyun-Ho Kim, DingOJin Jung, Heung-Jin Joo, Kinam Kim, "A 0.25 μ m 3.0 V 1T1C Nonvolatile Ferroelectric RAM with Address Transistion Detector (ATD) and Current forcing Latch Sense Amplifier (CFLSA) Scheme", *ISSCC Digest of Technical Papers*, 162 (2002).
2. Yong Tae Kim and Dong Suk Shin "Memory window of Pt/SrBi₂Ta₂O₉/CeO₂/SiO₂/Si structure for metal ferroelectric insulator semiconductor field effect transistor", *Appl. Phys. Lett.*, 71(24), 3507 (1997).
3. Sun Il Shim, Young Suk Kwon, Seong-Il Kim, Yong Tae Kim, and Jung Ho Park, "Memory operation of Pt-SrBi₂Ta₂O₉-Y₂O₃-Si field-effect transistor with damage-free selective dry etching process", *Solid-State Electronics*, 49, 497 (2005)
4. S. L. Miller, and P. J. MacWhorter, "Physics of the ferroelectric nonvolatile memory field effect transistor", *J. Appl. Phys.*, 72 (12), 5999 (1992).
5. Hang-Ting Lue, Chien-Jang Wu, and Tseung-Yuen Tseng, "Device Modeling of Ferroelectric Memory Field-Effect Transistor (FeMFET)", 49(10), 1790 (2002).
6. Klaus Dragosit and Siegfried Selberherr, "Two-Dimensional Simulation of Ferroelectric Memory cells", *IEEE transactions on electron devices*, 48(2), 316 (2001).
7. Tatsuya Kamei, Eisuke Tokumitsy, and Hiroshi Ishiwara, "Numerical Analysis of Metal-Ferroelectric-semiconductor Field-Effect-Transistors (MFS-FETs) Considering Inhomogeneous Ferroelectric Polarization", *IEICE Trans. Electron.*, E81-C (4), 577 (1998).
8. Shuu'ichirou Yamamoto, Takumi Kato, and Hiroshi Ishiwara, "A Novel Simulation Program with Integrated Circuit Emphasis (SPICE) Model of Ferroelectric Capacitors Using Schmitt Trigger Circuit", *Jpn. J. Appl. Phys.*, 40 (4B), 2928 (2001).
9. A. Sheikholeslami, P. G. Gulak, H. Takauchi, H. Tamura, H. Yoshioka, and T. Tamura, "A Pulse-Based, Parallel-element Macromodel for Ferroelectric Capacitors", *IEEE Trans. Ultrason. Ferroelect. Freq. Contr.*, 47 (4), 784 (2000).
10. Tetsyto Tamura, Yoshihiro Arimoto, and Horishi Ishiwara, "A New circuit Simulation Model of Ferroelectric capacitors", *Jpn. J. Appl. Phys.*, 41 (4B), 2654 (2002).
11. Marc Ullmann, Holger Goebel, Heinz Hoenigsmid, and Thomas Haneder, "A BSIM3v3 and DFIM Based Ferroelectric Field Effect Transistor Model", *IEICE Trans. Electron.*, E83-C (8), 1324 (2000).
12. Sun Il Shim, Seong-Il Kim, Yong Tae Kim, and Jung Ho park, "Operation of single transistor type ferroelectric random access memory", *IEE Electronics Letters*, 40(22), 1397 (2004).
13. Yannis Tsvividis, "Operation and Modeling of the MOS Transistor, 2nd edition", Mcgraw-hill, Singapore (1999).