

논문 2005-42TC-7-5

# Fractional-N PLL (Phase-Locked Loop) 주파수 합성기 설계

## (Fractional-N PLL Frequency Synthesizer Design)

김 선 철\*, 원 희 석\*, 김 영 식\*\*

(Sun-Cheol Kim, Hee-Seok Won, and Young-Sik Kim)

### 요 약

본 논문에서는 900MHz 대역 중저속 무선 통신용 칩에 이용되는 3차  $\Delta\Sigma$  modulator를 사용한 Fractional-N PLL 주파수 합성기를 설계 및 제작하였다. 우수한 위상노이즈 특성을 얻기 위해 노이즈 특성이 좋은 LC VCO를 사용하였다. 그리고 고차시 간을 줄이기 위해서 Charge Pump의 펌핑 전류를 주파수 천이 값에 따라 조절할 수 있도록 제작하였고 PFD의 참조 주파수를 3MHz까지 높였다. 또한 참조 주파수를 높이는 동시에 PLL의 최소 주파수 천이 간격을 10kHz까지 줄일 수 있도록 하기 위하여 36/37 Fractional-N 분주기를 제작하였다. Fractional Spur를 줄이기 위해서 3차  $\Delta\Sigma$  modulator를 사용하였다. 그리고 VCO, Divider by 8 Prescaler, PFD, 및 Charge Pump는 0.25um CMOS공정으로 제작되었으며, 루프 필터는 외부 컴포넌트를 이용한 3차RC 필터로 제작되었다. 그리고 Fractional-N 분주기와 3차  $\Delta\Sigma$  modulator는 VHDL 코드로 작성되었으며, Xilinx Spartan2E을 사용한 FPGA 보드로 구현되었다. 측정결과 PLL의 출력 전력은 약 -11dBm이고, 위상노이즈는 100kHz offset 주파수에서 -77.75dBc/Hz이다. 최소 주파수 간격은 10kHz이고, 최대 주파수 천이는 10MHz이고, 최대 주파수 변이 조건에서 고찰시간은 약 800us이다.

### Abstract

This paper proposes a fractional-N phase-locked loop (PLL) frequency synthesizer using the 3rd order  $\Sigma$  modulator for 900MHz medium speed wireless link. The LC voltage-controlled oscillator (VCO) is used for the good phase noise property. To reduce the lock-in time, a charge pump has been developed to control the pumping current according to the frequency steps and the reference frequency is increased up to 3MHz. A 36/37 fractional-N divider is used to increase the reference frequency of the phase frequency detector (PFD) and to reduce the minimum frequency step simultaneously. A 3rd order  $\Delta\Sigma$  modulator has been developed to reduce the fractional spur. VCO, Divider by 8 Prescaler, PFD and Charge pump have been developed with 0.25um CMOS, and the fractional-N divider and the third order  $\Delta\Sigma$  modulator have been designed with the VHDL code, and they are implemented through the FPGA board of the Xilinx Spartan2E. The measured results show that the output power of the PLL is about -11dBm and the phase noise is -77.75dBc/Hz at 100kHz offset frequency. The minimum frequency step and the maximum lock-in time are 10kHz and around 800us for the maximum frequency change of 10MHz, respectively.

**Keywords :** Fractional-N, PLL, frequency synthesizer, 주파수 합성기, FPGA

## I. 서 론

최근 무선 통신 기술은 휴대폰, 노트북 등 많은 분야에서 응용되고 점차 확대되어 가고 있다. 주파수 합성기는 무선통신 시스템에서 수신기의 LO (local

oscillator) 신호, 주파수 및 위상 동기화를 위해 필요한 핵심 부품이다. 주파수 합성기는 주파수 합성 방식에 따라 DDFS(Direct Digital Frequency Synthesizer), 체 배기를 이용한 주파수 합성, PLL등 여러 종류가 있다<sup>[1]</sup>. 하지만 무선 이동통신용으로 사용하려면 이동성(portability)이 아주 중요하다. 이를 위해서 전력소모가 낮아야 하고, 주파수 합성기의 크기도 작아야 한다. 이러한 점을 고려할 때 주파수 합성기의 구조가 비교적 간단하여 파워소모가 적고 크기도 작은 PLL (phase-locked loop) 주파수 합성기가 무선통신용 시스템에 가

\* 학생회원, \*\* 정회원, 한동대학교 정보통신공학과  
(Dept. of Information Technology, Handong Global University)

※ 본 연구는 산업자원부의 지역혁신 인력양성사업의 연구결과로 수행되었음.

접수일자: 2004년11월18일, 수정완료일: 2005년7월11일

장 적절하다<sup>[1]</sup>. 기존에는 주로 SiGe나 bipolar 공정을 이용하여 제작되었으나, 공정 기술의 발전으로 인해 현재는 가격과 전력 소모 측면에서 우수한 CMOS 공정을 통해 개발되고 있다. 주파수 합성기의 주요 사양으로는 위상노이즈 그리고 고착시간, 최소 주파수 천이 간격 등이다. Fractional-N 주파수 합성기는 이전의 integer 주파수 합성기의 한계를 극복할 수 있는 방법으로서, 대역(bandwidth)과 주파수 해상도(frequency resolution) 간의 trade-off를 계속적으로 개선시킬 수 있는 연구가 이루어지고 있다.

본 연구에서는 좋은 위상노이즈를 얻기 위해 노이즈 특성이 상대적으로 좋은 LC VCO (voltage-controlled oscillator)를 사용하였으며, 고착시간 (lock-in time)을 줄이기 위해서 C/P (Charge Pump)의 전류를 주파수 천이 값에 따라 가변할 수 있도록 설계하였고, PFD (phase frequency detector)의 참조 주파수를 높이면서 PLL의 최소 주파수 간격(minimum frequency step)을 줄일 수 있도록 3차  $\Delta\Sigma$  modulator를 사용한 Fractional-N 분주기를 사용하였다.

본 논문은 II장에서는 Fractional-N 주파수 합성기의 구조와 각 구성요소에 대해 설명하고, III장에서는 제작된 주파수 합성기의 실험결과를 설명한다. 그리고 IV장에서 결론을 제시하였다.

## II. Fractional-N PLL 주파수 합성기

### 1. Fractional-N PLL 주파수 합성기의 구조

Fractional-N PLL 주파수 합성기는 기본적으로 VCO (voltage-controlled oscillator), prescaler, fractional-N divider, PFD (phase frequency detector), charge pump, loop filter 로 구성되어 있다<sup>[2][3]</sup>. 그림 1은 실제 구현된 fractional-N PLL 주파수 합성기의 블록도를 보여준다.

무선통신시스템에서 신호를 보내거나 받을 때 사용하는 LO(local oscillator) 신호의 주파수는 일반적으로 고주파(수백MHz~수GHz)를 사용한다. 깨끗한 LO 신호를 내어주기 위해서는 좋은 위상노이즈를 가지는 발진기가 필요하다. crystal 발진기를 사용하면 아주 깨끗한 신호를 얻을 수 있지만, LO 신호와 같은 높은 주파수를 crystal 발진기를 통해 얻을 수 없기 때문에 VCO를 사용한다. 하지만 일반적으로 VCO는 위상노이즈가 좋지 않아 그대로 사용하기에 적합하지 않다. 이로 인해 PLL과 같은 피드백(feedback) 시스템을 이용하여

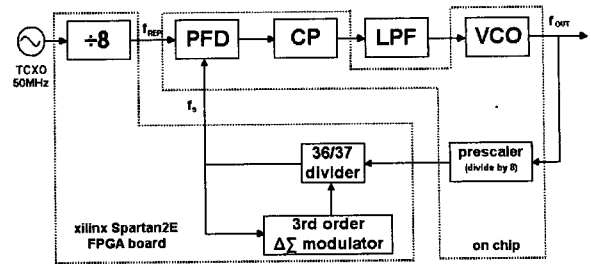


그림 1. Fractional-N 주파수 합성기의 블록도

Fig. 1. Block diagram of the fractional-N frequency synthesizer.

위상 잡음을 줄여야 한다. PLL 주파수 합성기에서 VCO에서 정확한 주파수 (좋은 위상노이즈)를 내어 주기 위해서는 비교 대상으로 정확한 주파수를 내어주는 발진기가 필요한데, 일반적으로 TCXO (Temperature Compensated X-Osc) 혹은 OCXO(Oven Controlled X-Osc)등의 발진기를 사용한다. 하지만 VCO의 출력 주파수가 crystal 발진기의 출력 주파수에 비해 훨씬 높기 때문에 두 주파수를 곧 바로 비교할 수 없다. VCO의 출력을 crystal 발진기와 비교하기 위해서는 VCO 출력 주파수를 분주하여 crystal 발진기와 비슷한 주파수가 나오도록 한다.

VCO의 출력을 분주하는데 사용하는 부품이 prescaler와 divider이다. VCO의 출력을 분주하여 나온 출력 주파수는 crystal 발진의 주파수와 비슷하여 서로 비교할 수 있으며 이 두 신호를 비교할 때 쓰이는 부품이 PFD이다. PFD의 역할은 두 신호를 받아서 두 신호 간의 위상 차이를 펄스(pulse)형태의 신호로 출력 두 개의 신호(up, down)를 내어 주며 두 신호의 펄스 width에 위상 차이에 대한 정보를 가지고 있다. 이 펄스에 담겨있는 정보를 전압형태로 바꾸어 VCO의 입력에 더하거나 빼서 VCO의 출력 주파수를 바꾸게 된다. 이렇게 변환하는 과정에서 사용되는 부품이 charge pump와 loop filter이다. charge pump는 PFD의 출력신호인 up, down 신호를 받아서 그 신호에 따라 전류를 공급하거나(up신호가 on될 때) 공급받게(down 신호가 on될 때) 된다. charge pump 다음에 loop filter가 연결되는데, loop filter를 아주 간단히 하나의 capacitor가 연결 것으로 생각할 수 있다. Charge pump에서 전류를 공급하게 되면 capacitor에 전하(charge)가 쌓여서 loop filter의 출력 전압이 올라가게 되고, charge pump에서 loop filter로부터 전류를 공급받아가게 되면 capacitor에 가지고 있던 전하(charge)가 빠져나가기 때문에 loop filter의 출력 전압이 내려가게 된다. 이 전압이 VCO의

조절 전압이며 이 전압이 변하면 VCO의 출력 주파수가 변하게 된다. 끊임없는 피드백으로 인해서 위상노이즈가 적은 신호를 만들어 줄 수 있게 된다.

2. PLL 주파수 합성기 기본구성요소들

가. VCO 및 prescaler

PLL의 특성 중 중요하게 고려해야할 것 중 하나가 위상노이즈이며 PLL의 위상노이즈는 대부분은 VCO에 의해 결정된다. VCO의 위상노이즈가 적은 값을 가지도록 설계하는 것이 중요하다. LC VCO에서 위상노이즈가 적은 값을 가지도록 하기 위해서는 능동소자의 1/f 노이즈와 LC 공진기의 손실을 최소화하여 Q-factor를 높여야한다<sup>[1]</sup>. 본 연구에서는 NMOS에 비해 1/f 노이즈 특성이 우수한 PMOS를 이용하여 VCO를 설계하였다<sup>[3]</sup>. 출력 버퍼는 인버터 구조를 이용하였다. VCO가 발전하려면 음수 저항 값을 가져야하기 때문에 M2, M3는 cross-coupled 구조로 연결되어 있다. 그리고 공진기의 Q-factor를 높이기 위해 외부 inductor를 사용하였다. VCO의 출력주파수의 범위는 조절전압 VC에 따라 880MHz~930MHz 을 가지도록 설계하였다.

또한 xilinx Spartan2E의 최대 동작 주파수는 약 200MHz이다. FPGA 보드에 200MHz보다 낮은 주파수의 신호를 넘겨주기 위해 분주비가 8인 prescaler를 사용하였다. 이 prescaler는 스위칭 노이즈를 감소시키기 위해서 source-coupled logic (SCL) 구조를 사용하였다(그림 3)<sup>[4]</sup>. FPGA 보드에 신호를 넘겨주기 위해 4개의 인버터를 연속적으로 연결하여 출력으로 내주었다.

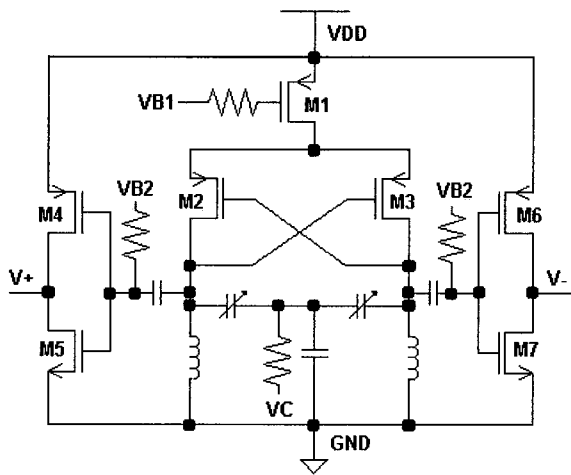


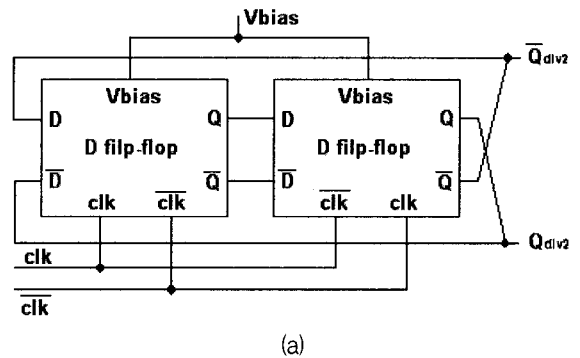
그림 2. LC VCO의 회로도  
Fig. 2. Schematic of the LC VCO.

나. Fractional-N 분주기

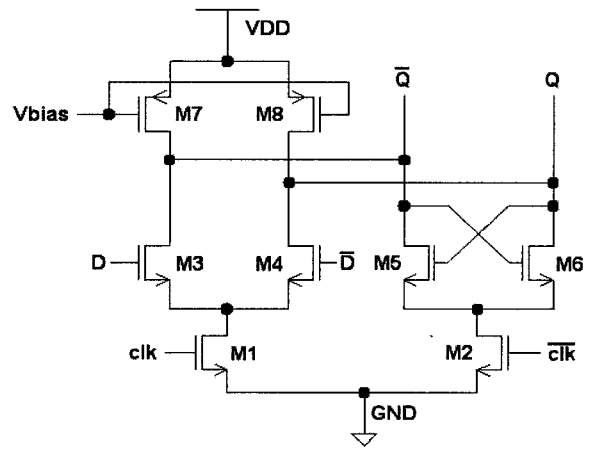
빠른 고착시간을 가지도록 위해서는 여러 방법이 있겠지만, 간단히 PFD의 참조 주파수를 올리면 고착시간을 줄일 수 있다. 분주비가 정수인 PLL에서는 PFD의 참조 주파수와 PLL의 최소 주파수 간격이 같은 값을 가지기 때문에 PFD의 참조 주파수가 증가하면 PLL의 최소 주파수 간격 역시 증가한다. PFD의 참조 주파수를 변경하지 않고 PLL의 최소 주파수 간격을 줄일 수 있는 방법은 fractional-N 분주기를 사용하는 것이다. Fractional-N 분주기는 36/37 분주기와 3차 ΔΣ modulator로 구성된다. Fractional-N 분주기의 분주비는 36으로 분주한 회수(M-K)와 37로 분주한 회수(K)를 기준으로 평균적으로 정의된다. VCO의 출력 주파수는 다음과 같다.

$$f_{vco} = (36 \cdot \frac{M-K}{M} + 37 \cdot \frac{K}{M}) \cdot f_{ref} \quad (1)$$

$$= (36 + \frac{K}{M}) \cdot f_{ref}$$



(a)



(b)

그림 3. (a)분주비 2인 회로의 블록도 (b)SCL구조를 사용한 D flip-flop 회로도

Fig. 3. (a)Block diagram of the divide-by-2 circuit (b)Schematic of the D flip-flop using source-coupled logic (SCL) structure.

$f_{vco}$ 는 VCO의 출력 주파수,  $f_{ref}$ 는 PFD의 참조 주파수,  $K$ 는  $\Delta\Sigma$  modulator의 입력,  $M$ 은 fractional-N 분주기의 주기이다. PLL의 최소 주파수 간격은  $f_{ref}/M$ 으로 주어진다. 3차  $\Delta\Sigma$  modulator를 사용하더라도 약간의 fractional spur가 발생하였다. 이러한 fractional spur를 줄이기 위해서는 더 높은 차수의  $\Delta\Sigma$  modulator가 필요하다. Fractional-N 분주기는 VHDL로 구현하였으며 xilinx Spartan2E FPGA 보드에 다운로드하여 실험하였다.

다. PFD 및 Charge Pump

PFD는 가장 일반적인 구조인 두 개의 D flipflop과

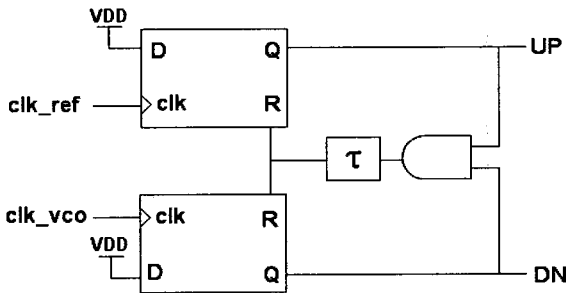


그림 4. PFD 블록도  
Fig. 4. Block diagram of the PFD.

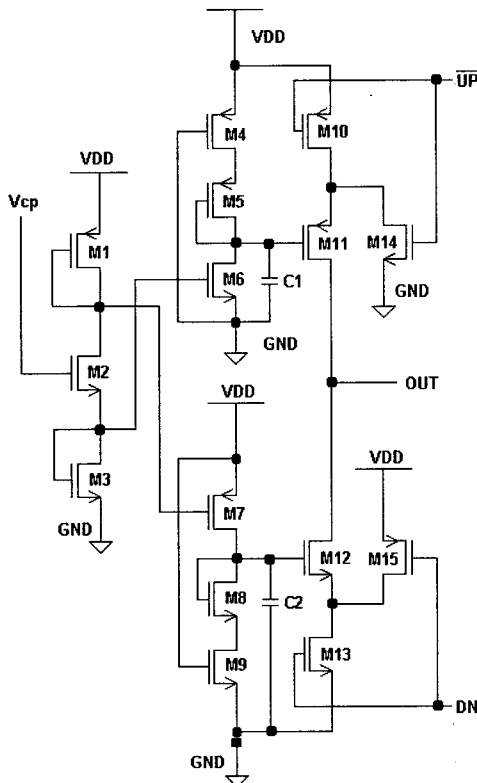


그림 5. Charge Pump 회로도  
Fig. 5. Schematic of the charge pump.

AND 게이트를 사용하여 설계하였다(그림 4)<sup>[1]</sup>. PFD의 참조 주파수는 외부 crystal 발진기의 주파수 50MHz를 분주비 16으로 분주하여 3.125MHz를 사용하였다.

Charge pump는 일반적인 구조에서 발생하는 glitch를 감소시키는 구조로 설계되었고 접지를 통해 건너오는 추가의 glitch를 감소시키기 위해 bypass capacitor (C1, C2)를 사용하였다(그림 5). charge pump의 공급 전류를 외부 조절 전압 Vcp를 통해 조절할 수 있도록 설계하였으며, 조절전압이 1.2에서 2.5V일때 10uA에서 2.4mA까지 조절할 수 있다<sup>[4]</sup>.

라. Loop Filter

3차 passive loop filter를 사용하였으며 그림 6은 PLL에 사용된 3차 passive loop filter의 구조를 보여준다<sup>[4]</sup>. Loop filter는 low-pass 특성을 가지기 때문에 PFD에 의해 발생하는 reference spur, fractional-N 분주기에 의해 발생하는 fractional spur와 같은 원하지 않는 신호를 억제시키는 역할을 한다. 이 loop filter는 PLL의 성능을 향상시키도록 여러 번의 실험을 통해 최적화 되었다.

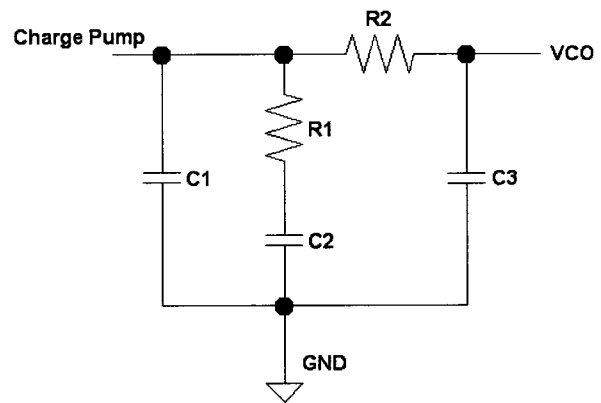


그림 6. 3차 passive loop filter  
Fig. 6. 3rd order passive loop filter.

III. 실험 결과

VCO, Divider by 8 prescaler, PFD, Charge pump는 0.25μm CMOS 공정으로 제작되었고, fractional-N 분주기는 Xilinx Spartan2E를 사용하는 FPGA 보드를 통해 구현되었다. loop filter는 외부 저항과 capacitor를 사용하여 3차 RC 필터로 구현하였다.

VCO의 tuning range는 조절 전압이 0.5에서 2.5일 때 898MHz에서 930MHz인 것을 그림 7에서 보여준다.

VCO의 출력은 differential 신호인데, differential 신호를 single 신호를 바꾸어주기 위해 ferrite balun을 사용하였으며 VCO 출력 전력은 -11dBm 로 측정되었다.

그림 8은 이 PLL의 위상노이즈 특성도 보여준다. 100kHz offset frequency 전력과 center frequency 전력의 차이가 -47.75 dB인 것을 확인 할 수 있다. PLL의 실제 위상 노이즈는 다음 식과 같이 구할 수 있다.

$$PN = -P_c + P_{off} - 10 \log(RB) \text{ [dBc/Hz]} \quad (2)$$

PN은 위상노이즈이고,  $P_c$ 는 center frequency의 전력값이고,  $P_{off}$ 는 offset frequency에서의 전력값이고, RB는 spectrum analyzer의 resolution bandwidth를 나타낸다. spectrum analyzer에서 resolution bandwidth (RB)가 1kHz임을 보여주며 위 식을 통해 구한 PLL의 위상노이즈는 100kHz offset frequency에서 -77.75 dBc/Hz임을 알 수 있다.

PLL의 고착시간은 PLL의 출력 주파수가 주기적으로

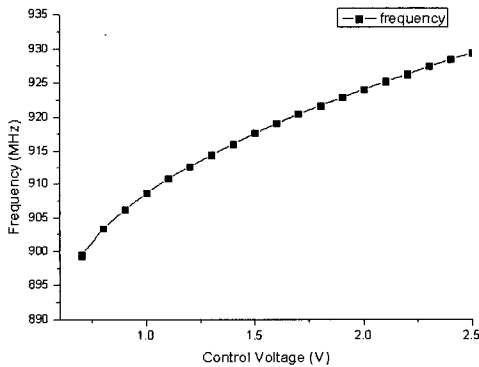


그림 7. 조절전압에 의한 VCO의 주파수 특성  
Fig. 7: Frequency characteristic of the VCO by the control voltage.

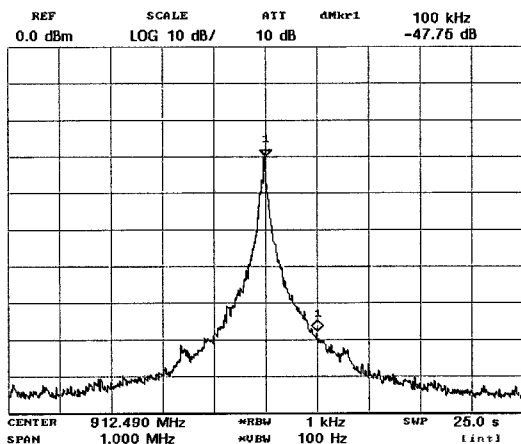


그림 8. PLL의 위상노이즈 특성  
Fig. 8. Phase noise property of the PLL.

바꾸도록 한 후, oscilloscope을 통해 확인하였다. 그림 9에서 PLL의 고착시간이 약 800us임을 보여주고 있다.

그림 10은 CMOS 공정으로 제작된 VCO, prescaler, PFD, Charge Pump의 레이아웃을 보여주고 있다.

표 1은 주파수 합성기의 특성을 요약적으로 보여준다.

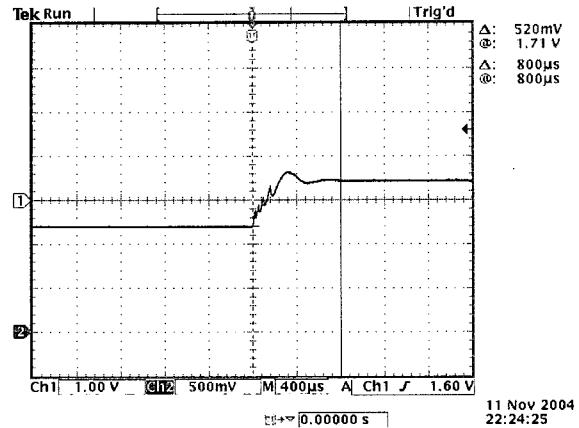


그림 9. PLL의 고착 시간  
Fig. 9. Lock-in time of the PLL.

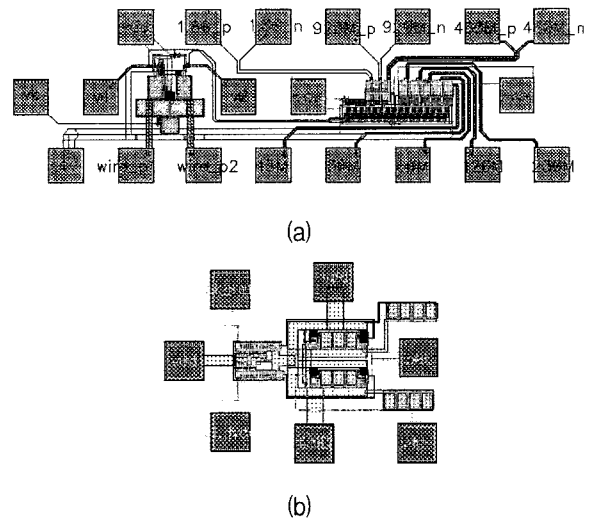


그림 10. (a)VCO 및 Prescaler 레이아웃 (b)PFD 및 Charge Pump 레이아웃  
Fig. 10. (a)Layout of the VCO and the prescaler (b) layout of the PFD and the charge pump.

표 1. 주파수 합성기의 특징  
Table 1. Summary of Synthesizer performance.

공정	Standard 0.25um CMOS
공급전압	2.5V
참조 주파수	3.125MHz
VCO gain	16MHz/V (898MHz~930MHz)
주파수 천이 간격	10kHz(최소), 10MHz(최대)
위상노이즈	-77.75dBc/Hz@100kHz offset
고착시간	< 800us

IV. 결 론

참 고 문 헌

본 논문에서는 900MHz대역 3차 DS-Modulator를 이용한 Fractional-N PLL 주파수 합성기를 설계 및 제작하였다. VCO, Divider by 8 prescaler, PFD, 및 Charge Pump를 0.25 $\mu$ m CMOS 공정을 이용하여 제작하였으며, 측정결과 주파수 합성기의 최종 출력 전력은 약 -11dBm정도이고, 위상노이즈는 100kHz offset 주파수에서 -77.75dBc/Hz를 가진다. 그리고 최소 주파수 간격(minimum frequency step)은 10kHz이고, 최대 주파수 변위는 10MHz이고, 고착시간은 최대 주파수 변위에서 약 800 $\mu$ s이다.

제작된 주파수 합성기는 C/P의 전류를 주파수의 천이에 따라 가변할 수 있으며, 3차  $\Delta\Sigma$  modulator를 사용한 Fractional-N 분주기를 통해 PFD의 참조 주파수를 높이면서 PLL의 최소 주파수 간격을 줄일 수 있었다.

그리고 루프 필터와 Fractional-N divider를 제외한 모든 부분이 CMOS로 집적되어 있어서 900MHz대역 고효율 무선송수신기에 적합하리라 판단된다.

[1] William F. Egan, *Frequency Synthesis by Phase Lock*, Wiley Inter-science, 1999.  
 [2] Tom A. D. Riley, Miles A. Copeland, Tad A. Kwasniewski, "Delta-Sigma Modulation in Fractional-N Frequency Synthesis," *IEEE J. Solid-State Circuits*, vol. 304, no. 5, pp.553-559, May 1993.  
 [3] J. H. Lee, S. C. Kim, K. S. Jin, Y. H. Kang, Y. H. Cho, and Y. S. Kim, "Fully Integrated 0.25- $\mu$ m CMOS System on a Chip for a 915MHz FSK Radio Transceiver," in *Asia-Pasific System On a Chip Conf.*, pp.638~642, Nov. 2003.  
 [4] Chih-Ming Hung and Kenneth K. O, "A Fully Integrated 1.5-V 5.5-GHz CMOS Phase-Locked Loop," *IEEE J. Solid-State Circuits*, vol. 37, no. 4, pp.521-525, April 2002.

저 자 소 개



김 선 철(학생회원)  
 2003년 한동대학교 전산전자공학부 학사 졸업.  
 2005년 한동대학교 정보통신공학과 석사 졸업.  
 <주관심분야 : PLL, RF/Analog>



김 영 식(정회원)  
 1993년 포항공과대학교 전자전기공학과 학사 졸업.  
 1995년 포항공과대학교 초고주파공학과 석사 졸업.  
 1999년 포항공과대학교 초고주파공학과 박사 졸업.

1999년~현재 한동대학교 전산전자공학부 조교수  
 <주관심분야 : RFIC설계, 무선통신용 모델설계>



원 희 석(학생회원)  
 2004년 한동대학교 전산전자공학부 학사 졸업.  
 2005년 한동대학교 정보통신공학과 재학.  
 <주관심분야 : 시스템설계, 신호처리>