

램프 입력에 대한 RC-class 연결선의 누화잡음을 고려한 지연시간 예측 기법

論 文
54C-7-1

A Simple Technique on Estimating Delay Time Considering Crosstalk Noise in RC-class Interconnects Under Saturated Ramp Input

金基英[†] · 吳暉美^{*} · 金錫潤^{**}
(Ki-Young Kim · Kyung-Mi Oh · Seok-Yoon Kim)

Abstract - This paper proposes an analytic method can estimate delay time considering crosstalk noise at an arbitrary node of RC-class interconnects under saturated ramp input using a simple closed-form expression. In the case of single interconnects, algebraic expression presented in existent research can estimate delay time under ramp input using delay time under step input, and we applied it to estimate delay time considering crosstalk noise. As the result, we can provide a intuitive analysis about signal integrity of circuits that include crosstalk noise reducing computational complexity significantly.

Key Words : Interconnects, Delay Metric, Timing, Ramp, Fast Analysis

1. 서 론

반도체 공정기술이 UDSM(ultra deep submicron) 시대로 접어들면서, 시스템 전체 지연시간에서의 연결선 지연시간의 비중이 게이트 지연시간의 비중을 압도하고 있다. 회로의 집적도를 높이기 위해서 $S(< 1)$ 배로 스케일링(scaling)을 하면 게이트의 채널 길이 역시 S 배 만큼 짧아지므로 게이트 지연시간은 감소하지만 반대로 연결선의 저항 성분은 S 배 만큼 증가하고 프링징 커패시턴스(fringing capacitance)와 결합 커패시턴스(coupling capacitance)의 증가로 인해 전체 커패시턴스 성분 역시 증가함에 따라, 연결선 지연시간은 증가하는 양상을 보이게 된다[1]. 위와 같은 이유로 회로 연결선 지연시간의 정확한 계산은 고속으로 동작하고 높은 집적도를 가지는 시스템의 설계에서 매우 중요하다.

최근에 칩 설계 과정 전반에서 중요한 과제로 부각되는 문제가 신호의 충실성(Signal Integrity)이다. 신호의 충실성을 위협하는 여러 잡음(noise) 중 하나인 누화잡음(crosstalk noise)은 인접한 연결선 사이에 결합 커패시터(coupling capacitor) 또는 결합 인덕터(coupling inductor) 등을 통해 지연 시간이나 논리 수준의 값에 영향을 주거나 받는 현상이 발생하는 것을 의미한다. 여기서 영향을 주는 쪽을 aggressor, 영향을 받는 쪽을 victim이라고 명명할 수 있

며, aggressor의 영향을 고려한 victim의 지연시간을 계산하는 것은 정확한 설계를 위한 검증 과정에서 매우 중요한 작업이라 할 수 있다.

본 논문에서는 램프 입력을 갖는 두 RC-class 연결선 사이에 결합 커패시턴스가 존재하는 경우, 단일 연결선에서의 램프 입력에 대한 지연 시간 계산식을 이용하여 누화잡음의 효과를 반영한 지연시간을 예측할 수 있는 기법을 제안하였다.

2. 단일연결선에서의 램프 입력에 대한 지연시간 계산식

rise time이 t_r 인 램프 입력을 갖는 RC-class 연결선에서 임의의 노드에서의 지연시간을 $t_{ramp}(t_r)$ 이라 하고 그 노드에서의 Elmore Delay를 T_{ED} 라 했을 때, 간단한 수식으로 이루어진 $t_{ramp} = f(t_r, t_{step}, T_{ED})$ 을 유도하여 램프 입력의 경우에 대한 지연시간을 별도의 계산 없이 해석적 방법으로 구하고자 하는 연구가 앞서 수행되었다[2]. 이 연구의 핵심은, 스텝 입력에 대한 지연시간만을 이용하여 램프 입력에 대한 지연시간을 간단한 대수식으로 예측할 수 있다는 것이다.

그림 1의 $t_{actual}(t_r)$ 이 램프 입력에 대한 지연시간의 실제 측정값이고, 이 과정을 근사하기 위해서 초기값이 0이고 수렴값이 1인 가장 간단한 형태의 지수함수 식인 $t_{exp}(t_r)$ 과, $t_{exp}(t_r) - t_{actual}(t_r)$ 의 근사값인 $\hat{t}_{diff}(t_r)$ 을 이용할 수 있다.

[†] 교신저자, 正會員 : 崇實大學 컴퓨터學科 博士課程
E-mail : kky@ic.ssu.ac.kr

^{*} 學生會員 : 崇實大學 컴퓨터學科 碩士課程

^{**} 正會員 : 崇實大學 컴퓨터學科 教授

接受日字 : 2005年 2月 25日

最終完了 : 2005年 5月 3日

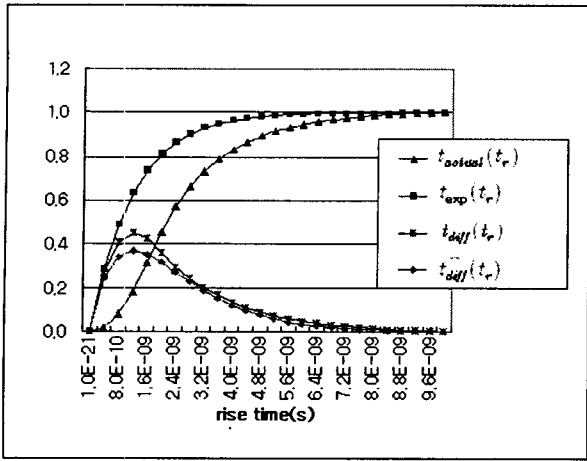


그림 1. $t_{actual}(t_r), t_{exp}(t_r), t_{diff}(t_r), \hat{t}_{diff}(t_r)$ 의 그래프

Fig. 1. $t_{actual}(t_r), t_{exp}(t_r), t_{diff}(t_r), \hat{t}_{diff}(t_r)$

$t_{ramp}(t_r)$ 이 $t_{actual}(t_r)$ 의 근사식이라고 하면, 식 (1)과 같이 정리할 수 있다.

$$\begin{aligned}
 t_{ramp}(t_r) &= t_{exp}(t_r) - \hat{t}_{diff}(t_r) \\
 &= t_{exp}(t_r) - t_r \cdot \frac{d}{dt_r} t_{exp}(t_r) \\
 &= (1 - e^{-\frac{t_r}{T_{ED}}}) - \left(\frac{t_r}{T_{ED}} e^{-\frac{t_r}{T_{ED}}} \right) \quad (1) \\
 &= 1 - \left(1 + \frac{t_r}{T_{ED}} \right) e^{-\frac{t_r}{T_{ED}}}
 \end{aligned}$$

식 (1)은 정규화된 형태이기 때문에, 초기값이 0이고 수렴값이 1인 그래프를 나타낸다. 그러나, 우리가 궁극적으로 얻고자 하는 그래프는 초기값이 t_{step} (스텝 입력에 대한 지연 시간)이고 수렴값이 T_{ED} 여야 하므로 그래프의 y축 상의 폭을 $(T_{ED} - t_{step})$ 로 scaling한 후, y축으로 t_{step} 만큼 대칭 이동 시켜야 한다. 그 결과, t_{ramp} 에 대한 간단한 수식을 얻어낼 수 있다(식 (2)).

$$\begin{aligned}
 t_{ramp}(t_r) &= \left(1 - \left(1 + \frac{t_r}{T_{ED}} \right) e^{-\frac{t_r}{T_{ED}}} \right) (T_{ED} - t_{step}) + t_{step} \\
 &= T_{ED} - \left(\left(1 + \frac{t_r}{T_{ED}} \right) e^{-\frac{t_r}{T_{ED}}} \right) (T_{ED} - t_{step}) \quad (2)
 \end{aligned}$$

3. 누화잡음의 효과를 고려한 지연시간 계산식

램프 입력을 갖는 두 RC-class 연결선 사이에 결합 커패시터(coupling capacitor)가 존재할 경우, victim의 임의의 노드에서의 지연시간 계산법을 제안하는 것이 본 장의 목표이다. 전체적인 접근 방법은 단일 RC-class 연결선의 경우와 같이 스텝 입력일 때의 지연시간을 구한 후, 그 값과 식 (2)

를 이용하는 것이다. 하지만, 결합 커패시터는 플로팅(floating) 커패시터이기 때문에, R값과 C값만을 이용한 간단한 대수식으로 누화잡음(crosstalk)이 발생한 회로를 해석하기 힘들다.

Kahng과 Muddu가 제안한 방법[3]에서는 aggressor와 victim을 각각 π 모형으로 축소한 후, 2개의 π 모형 사이에 결합 커패시터를 추가한 모형을 구성하여 전달함수를 유도하고 시간 영역(time domain)에서 지연시간을 예측할 수 있게 해준다. 하지만, 위와 같은 방법은 계산식만으로 지연시간을 얻을 수 있는 반면, 출력 노드에서의 지연시간만을 계산할 수 있을 뿐, 관심 있는 임의의 노드에서의 지연시간은 계산할 수 없으며, 출력 노드의 지연시간조차 오차가 작지 않음을 확인하였다. 결국, 임의의 노드에서의 누화잡음을 고려한 지연시간을 허용 가능한 오차 내에서 예측하기 위해서는 회로 모멘트 값을 이용해야 한다는 결론을 얻을 수 있다.

기존에 모멘트 값을 이용해서 t_{step} 을 구하는 방법들 중, 가장 본 연구의 방향에 적합한 방법을 선택하기 위해 성능 평가를 수행하였다. 회로의 모든 노드에서 가장 정확한 값을 근사하는 방법은 h-gamma[4]였고, 가장 계산의 복잡도가 낮은 것은 DM1(Delay Metric 1), DM2(Delay Metric 2), D2M(Delay via Two Moments) [5]이었다. h-gamma는 가장 정확하긴 하지만 계산의 복잡도가 높기 때문에, 지연시간 계산의 효율성과 시간 복잡도의 감소를 목적으로 하는 본 연구 방향과는 맞지 않기에 배제하였다. 또, DM1과 DM2는 far-end 노드(소스로부터 상대적으로 먼 노드) 쪽에서는 D2M과 비슷한 정확도를 가지지만 near-end 노드(소스로부터 상대적으로 가까운 노드) 쪽에서는 D2M의 정확도에 훨씬 미치지 못했다. 그러므로, t_{step} 을 구하기 위한 방법으로 1차 모멘트(m_1)와 2차 모멘트(m_2)만을 이용하는 D2M을 활용하기로 한다.

3.1 D2M

식 (3)은 Elmore Delay의 비관적인 해석을 개선하기 위해서 제안되었다.[6]

$$t_{step} = T_{ED} \ln(2) = -m_1 \ln(2) \quad (3)$$

여러 개의 RC-segment로 이루어진 회로에서 식 (3)을 적용하면, near-end 노드 쪽에서는 매우 overestimate하는 경향이 있고 far-end 노드 쪽에서는 약간 underestimate하는 경향이 있다. 이러한 경향을 해소하여 평균적으로 정확한 값을 예측하기 위해 경험적인 상수 r 을 도입하였다. 상수 $r (= -m_1 / \sqrt{m_2})$ 은 near-end 노드 쪽에서는 1보다 작은 값을 갖고 far-end 노드 쪽에서는 1보다 큰 값을 갖으며 하나의 RC-segment로 이루어진 회로에서는 정확히 1값을 갖는다. 즉, 이 경험적인 상수 r 을 이용하면 식 (3)의 잘못된 예측을 수정할 수 있게 된다. 상수 r 을 식 (3)에 삽입하면 식 (4)를 얻을 수 있고, 식 (4)가 바로 D2M이다.

$$t_{step} = -r m_1 \ln(2) = -\frac{m_1}{\sqrt{m_2}} (-m_1) \ln(2) = \frac{m_1^2}{\sqrt{m_2}} \ln(2) \quad (4)$$

3.2 스텝 입력일 때 누화잡음을 고려한 지연시간 계산식

누화 잡음을 고려한 지연시간의 예측이 어려운 이유는, 플로팅 커패시터의 존재 이외에 구동 소스가 하나가 아닌 두개라는 점에도 있다. 두 연결선이 각각의 소스를 가지고 있기 때문에, 두 소스의 천이방향에 따라 지연시간이 달라진다. 소스가 여러 개이면 각 소스가 관심 있는 노드에 미치는 영향이 여러 개의 전달함수로 표현되기 때문에, 식 (4)에 적용하기 위해서는 여러 개의 전달함수를 각 소스의 영향을 반영한 하나의 전달함수로 반드시 나타낼 수 있어야 한다. 이것을 위해서 본 연구에서는 중첩의 원리(Superposition Principle)를 활용하였다.

일단, 주파수 영역(frequency domain)에서 aggressor의 소스를 $V_a(s)$, victim의 소스를 $V_v(s)$, 지연시간을 계산하고자 하는 victim의 임의의 노드에서의 전압을 $V_o(s)$ 라고 정의하고 다음과 같이 정리할 수 있다.

$$H_a(s) = \frac{V_o(s)}{V_a(s)} \Big|_{V_v(s)=0} \quad (5)$$

$$H_v(s) = \frac{V_o(s)}{V_v(s)} \Big|_{V_a(s)=0}$$

$$H_o(s) = m_{a0} + m_{a1}s + m_{a2}s^2 \quad (6)$$

$$H_v(s) = m_{v0} + m_{v1}s + m_{v2}s^2$$

우리가 지연시간을 계산하고자 하는 victim의 주어진 노드에 대한 전달함수를 $H_o(s) = f_0 + f_1s + f_2s^2$ 라 하면, $H_o(s)$ 는 aggressor의 소스가 천이하는 방향에 따라 다음 3가지로 정리된다.

① aggressor의 소스가 victim의 소스와 반대 방향으로 천이할 때

$$H_o(s) = H_v(s) - H_a(s) = (m_{v0} - m_{a0}) + (m_{v1} - m_{a1})s + (m_{v2} - m_{a2})s^2 \quad (7)$$

② aggressor의 소스가 victim의 소스와 같은 방향으로 천이할 때

$$H_o(s) = H_v(s) + H_a(s) = (m_{v0} + m_{a0}) + (m_{v1} + m_{a1})s + (m_{v2} + m_{a2})s^2 \quad (8)$$

③ aggressor의 소스가 천이하지 않을 때

$$H_o(s) = H_v(s) = m_{v0} + m_{v1}s + m_{v2}s^2 \quad (9)$$

이렇게 해서 얻은 f_1 과 f_2 를 가지고 식 (4)에 대입하면, 스텝 입력일 때의 누화잡음으로 인한 지연시간을 계산할 수 있다.

$$t_{step} = \frac{f_1^2}{\sqrt{f_2}} \ln(2) \quad (10)$$

3.3 램프 입력일 때 누화잡음을 고려한 지연시간 계산식

식 (10)의 결과와 $T_{ED} = -f_1$ 을 식 (2)에 대입하면, 램프 입력일 때의 누화잡음을 고려한 지연시간 또한 쉽게 계산할 수 있다. 정리하면 1차모멘트와 2차모멘트 만으로 이루어진 t_{ramp} 식을 얻게 된다.

$$t_{ramp}(t_r) = T_{ED} - \left(\left(1 + \frac{t_r}{T_{ED}} \right) e^{-\frac{t_r}{T_{ED}}} \right) (T_{ED} - t_{step})$$

$$= -f_1 - \left(\left(1 - \frac{t_r}{f_1} \right) e^{\frac{t_r}{f_1}} \right) \left(-f_1 - \frac{f_1^2}{\sqrt{f_2}} \ln(2) \right) \quad (11)$$

$$= -f_1 + \left(\left(1 - \frac{t_r}{f_1} \right) e^{\frac{t_r}{f_1}} \right) \left(f_1 + \frac{f_1^2}{\sqrt{f_2}} \ln(2) \right)$$

4. 실험결과

연결선의 지연시간은 실험하는 회로의 토폴로지(topology)나 R과 C의 소자값에 따라 크게 달라진다. 그러므로, 실험 회로의 신뢰도를 보장하기 위해 최근의 지연시간에 관한 연구에서 실험 시 사용한 그림 2와 같은 회로 모형 [5][7]을 본 논문의 실험에 활용하였다. victim의 회로 모형에는 그림 2를, aggressor의 회로 모형은 그림 2에서 branch를 제거한 모형을 사용하였다. 커플링 커패시터의 값이 그라운드 커패시터의 값을 압도하는 현재의 회로 기술 동향을 반영하기 위해, 해당 노드의 그라운드 커패시터 값의 1.5배로 모형화 하였다.

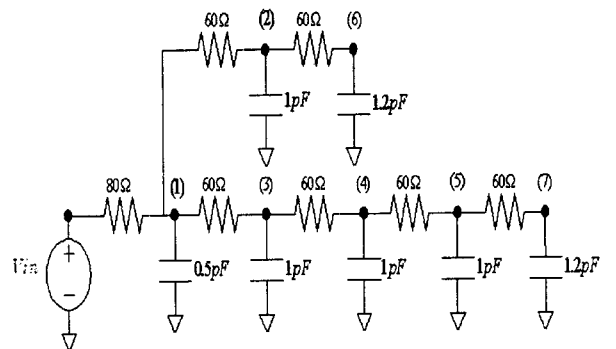


그림 2. RC-class 연결선 모형의 예
Fig. 2. An example 7-node RC circuit

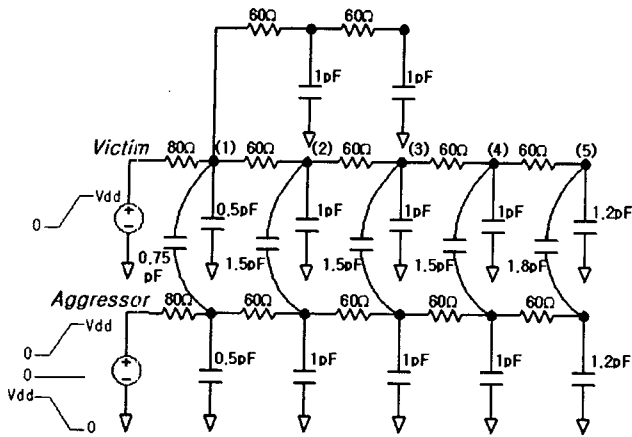


그림 3. 5개의 노드에 커플링 커패시터가 존재하는 RC-class 연결선

Fig. 3. RC circuit including 5-node coupling capacitance

실험에 사용한 그림 3 회로의 커플링 커패시터가 존재하는 victim의 5개 노드에서, aggressor 소스의 3가지 천이 상태에 따른 지연시간을 실험하였고, 이에 대한 결과를 표 1, 2, 3에 정리하였다. aggressor의 소스와 victim의 소스가 같은 방향으로 천이할 때 가장 정확한 예측을 하였고, aggressor의 소스가 천이하지 않을 때 가장 부정확한 예측을 하였다. 같은 방향으로 천이할 때는 2번 노드부터, 다른 방향으로 천이할 때는 3번 노드부터, aggressor가 천이하지 않을 때는 4번 노드부터 rise time의 전 구간에 걸쳐서 허용 가능한 수준의 오차를 제공하고 있다. 또한, far-end 노드 쪽으로 갈수록 정확도가 올라가고 near-end 노드 쪽으로 갈수록 정확도가 떨어짐을 확인할 수 있다.

5. 결 론

본 논문에서는, 두 RC-class 연결선 사이에 누화잡음이 발생한 경우에 램프 입력에 대한 임의의 노드에서의 지연시간을 간단한 대수식으로 계산할 수 있는 해석적 기법을 제안하였다. 단일 RC-class 연결선의 경우 스텝 입력에 대한 지연시간만을 이용해서 램프 입력에 대한 지연시간을 예측할 수 있게 하기 위해 기존의 연구에서 제시된 직관적인 대수식을, 누화잡음을 고려한 지연시간 계산에 적용하였다. 그 결과, 상대적으로 해석이 쉽지 않은 누화잡음을 포함한 회로에 대해서 낮은 계산 복잡도만으로 회로의 신호 충실성(Signal Integrity)에 대한 직관을 제공해줄 수 있었다.

본 논문에서는, 스텝 입력에 대한 지연시간을 계산하기 위하여 D2M을 사용하였으나 정확도가 더욱 높은 다른 Delay Metric을 적용한다면, 램프 입력에 대한 지연시간의 정확도 역시 높아질 것이다. 제안하는 계산식은 회로 설계 단계의 최적화 과정이나 신호의 충실성 보장을 위해서 수많은 반복적 계산을 통한 타이밍 검증에 해야 하는 설계 도구의 속도 향상에 기여할 것으로 기대된다.

표 1. 같은 방향으로 천이할 때, 노드별 지연시간 상대 오차 절대치(%): HSPICE 기준(그림 3 회로)

Table 1. Relative errors of delay time compared to HSPICE for each node in Figure 3 when two lines are switching in opposite directions.

Node	같은 방향으로 천이				
	1	2	3	4	5
0ns	56.9	5.9	3.5	4.6	4.2
200ps	59.8	7.4	2.7	4.1	3.8
400ps	55.2	10.7	1	3	3
600ps	39.6	13.9	1.1	1.6	1.9
800ps	33.3	15.7	3.1	0.2	0.8
1ns	30.3	14.8	4.8	0.9	0
1.5ns	26.1	11.7	5.3	2.3	1.1
2ns	22.4	11	5	2.2	1.1
3ns	15.4	9.7	5.6	3.2	2.2
4ns	10.3	7.9	5.5	3.9	3.1
5ns	7.1	6.1	4.9	3.9	3.4
6ns	5.1	4.8	4.2	3.6	3.3
7ns	3.8	3.7	3.5	3.2	3
8ns	3	3	2.9	2.7	2.6
9ns	2.4	2.4	2.4	2.3	2.3
10ns	1.9	2	2	2	2

표 2. 다른 방향으로 천이할 때, 노드별 지연시간 상대 오차 절대치(%): HSPICE 기준(그림 3 회로)

Table 2. Relative errors of delay time compared to HSPICE for each node in Figure 3 when two lines are switching in same directions.

Node	다른 방향으로 천이				
	1	2	3	4	5
0ns	82.3	17.6	2.7	0.7	1
200ps	82.2	17.7	2.7	0.8	1
400ps	81.7	18	2.9	0.8	1.1
600ps	80.3	18.4	3.1	1	1.2
800ps	77.4	18.9	3.3	1.1	1.3
1ns	72.6	19.3	3.6	1.3	1.4
1.5ns	55.9	20.4	4.5	1.8	1.7
2ns	47.4	20.9	5.4	2.3	2.1
3ns	39.9	19	6.8	3.1	2.6
4ns	35.6	15	7	3.4	2.7
5ns	31.8	12.8	6	3.1	2.3
6ns	28.1	11.4	4.8	2.3	1.5
7ns	24.5	10.5	4.1	1.6	0.7
8ns	21.2	9.7	3.8	1.3	0.4
9ns	18.3	8.9	3.6	1.2	0.2
10ns	15.7	8.1	3.4	1.1	0.2

표 3. aggressor가 천이하지 않을 때, 노드별 지연시간상대오차 절대치(%): HSPICE 기준(그림 3 회로)

Table 3. Relative errors of delay time compared to HSPICE for each node in Figure 3 when aggressor is static state.

Node t_r	aggressor가 천이하지 않을 때				
	1	2	3	4	5
0ns	70.2	24.1	13.1	9.1	7.7
200ps	70.9	24.4	13.2	9.2	7.7
400ps	71.4	25.2	13.7	9.5	8
600ps	68.7	26.3	14.2	9.9	8.3
800ps	58.8	27.3	14.9	10.3	8.6
1ns	51.8	28.2	15.5	10.8	9
1.5ns	45.6	28.8	16.9	11.9	9.9
2ns	44.3	26	17.5	12.6	10.6
3ns	42.5	23	15.7	12.3	10.6
4ns	38.6	22.1	14.1	10.6	9.1
5ns	33.6	20.9	13.5	9.8	8.1
6ns	28.7	19.4	12.8	9.3	7.7
7ns	24.2	17.5	12.1	8.9	7.4
8ns	20.4	15.6	11.2	8.4	7
9ns	17.2	13.7	10.2	7.9	6.7
10ns	14.5	12	9.2	7.3	6.2

감사의 글

본 연구는 숭실대학교 교내 연구비 지원으로 이루어졌습니다.

참고 문헌

[1] 김석윤, VLSI 시스템 회로 연결선의 모형화 및 해석, IDEC 교재개발시리즈 10, 시그마 프레스, 1999.
 [2] 김기영, 김승용, 김석윤, "램프 입력에 대한 RC-class 연결선의 지연시간 예측을 위한 해석적 연구", 대한전기학회 논문지 53C권 4호, pp.200-207, APR. 2004.
 [3] A. B. Kahng, S. Muddu and D. Vidhani, "Noise and Delay Uncertainty Studies for Coupled RC Interconnects", Proc. IEEE International ASIC/SOC Conference, Sep. 1999, pp. 3-8.
 [4] T. Lin, E. Acar, and L. T. Pileggi, "h-gamma: An RC delay mtric based on a gamma distribution approximation to the homogeneous response," in Proc. IEEE/ACM Int. Conf. Computer-Aided Design, Nov. 1998, pp.19-25.
 [5] C. J. Alpert, A. Devgan, and C. Kashyap, "RC Delay Metrics for Performance Optimization", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol 20, pp.571-582, May 2001.
 [6] E. Acar, A. Odabasioglu, M. Celik, and L. T. Pileggi,

"S2P: a stable 2-pole RC delay and coupling noise metric," in Proc. 9th Great Lakes Symposium on VLSI, March 1999, pp.60-63.

[7] C. V. Kashyap, C. J. Alpert, Frank Liu, and A. Devgan, "Closed Form Expressions for Extending Step Delay and Slew Metrics to Ramp Inputs", ACM/SIGDA 2003 International Symposium on Physical Design(ISPD'03), April. 2003.

저 자 소 개



김기영 (金基英)

1979년 10월 29일생. 2002년 숭실대 컴퓨터학부 졸업. 2004년 동 대학원 컴퓨터학과 석사졸업. 2004~현재 동 대학원 컴퓨터학과 박사과정. 주관심 분야는 설계 자동화, VLSI 회로해석 및 설계, 저전력 설계 기술, 소자 모형화

Tel : 02-813-0682

Fax : 02-821-0927

E-mail : kky@ic.ssu.ac.kr



오경미 (吳暎美)

1975년 5월 5일생. 2003년 한국방송통신대 컴퓨터학과 졸업. 2004년~현재 숭실대 컴퓨터학과 석사과정. 주관심 분야는 설계 자동화, VLSI 회로해석 및 설계
 Tel : 02-813-0682

Fax : 02-821-0927

E-mail : suelta@ic.ssu.ac.kr



김석윤 (金錫潤)

1958년 8월 12일생. 1980년 서울대 공대 전기공학과 학사, 1990년 University of Texas at Austin 전기, 컴퓨터학과 석사. 1993년 University of Texas at Austin 전기, 컴퓨터학과 박사. 1982년~1987년 한국전자통신연구소 연구원.1993년~1995년 Motorola Inc., Senior Staff Engineer. 1995년~현재 숭실대 컴퓨터학부 부교수. 주관심분야는 설계자동화, VLSI 회로해석 및 설계, 통신시스템

Tel : 02-820-0682

Fax : 02-822-3622

E-mail : ksy@comp.ssu.ac.kr