

## 방전 논리게이트 플라즈마 디스플레이 패널의 논리게이트 방전특성

(Discharge Characteristics of Logic Gate for Discharge Logic Gate  
Plasma Display Panel)

염정덕\*

(Jeong-Duk Ryeom)

### 요 약

본 연구는 새로 고안된 부정-논리곱 논리기능을 가지는 방전 논리 게이트 플라즈마 디스플레이 패널의 논리 게이트 방전특성을 해석한 것이다. 이 방전 논리 게이트는 방전 경로에 따른 전극사이의 전압을 제어하여 논리 출력을 유도한다. 실험결과 논리 게이트의 방전특성은 두 수직전극에 인가되는 전압들의 상호관계에 영향을 받는다는 것을 알았다. 그리고 대화면 PDP에의 적용 가능성을 검토하기 위하여 전극의 선저항에 의한 방전특성을 평가한 결과, 두 수직전극들의 선저항에 의한 전압강하가 논리 게이트의 방전에 미치는 영향은 미미한 것으로 추론되었다. 실험을 통해 방전 논리 게이트를 구성하는 각 전극들의 펄스전압과 전류제한저항의 최적값들을 구하였으며 49[V]의 최대동작마진을 얻었다.

### Abstract

In this research, the discharge characteristics of logic gate of the discharge logic gate plasma display panel with the NOT-AND logic function newly designed was analyzed. As for this discharge logic gate, a logical output is induced by controlling the voltage between the electrodes using the discharge path. From the experimental result, the discharge characteristics of logic gate is influenced by the interrelation of the voltages applying two vertical electrodes. To examine the application possibility to large screen PDP, the discharge characteristics by the line resistance of the electrode was evaluated. In result, it has been inferred that the influence which the drop of voltage by the line resistance of two vertical electrodes exerts on the discharge of the logic gate is minute. Through the experiment, the optimized values of the pulse voltages and the current limitation resistances of each electrode which composed the discharge logic gate were obtained and maximum operation margin of 49[V] was obtained.

Key Words : line resistance, logic gate, horizontal scanning, cost reduction, plasma display panel

\* 주저자 : 경주대학교 컴퓨터정보시스템공학부 조교수

Tel : 054-770-5290, Fax : 054-774-5295, E-mail : marine@kyongju.ac.kr

접수일자 : 2005년 8월 8일, 1차심사 : 2005년 8월 17일, 심사완료 : 2005년 8월 29일

### 1. 서론

플라즈마 디스플레이 패널(plasma display panel : PDP)은 현재 고품위TV(high definition television: HDTV) 방송의 시작과 더불어 가정용 디지털 TV 뿐만 아니라 지하철, 영화관, 공항 등 공공장소에서도 널리 사용되고 있는 대화면 평판 디스플레이이다.

PDP의 재료비 부분은 공정재료비와 회로 재료비로 크게 나눌 수가 있다. 대량 생산이라는 특성상 공정 재료비는 줄어든다. 그러나 회로 부분은 범용 부품들을 주로 사용하기 때문에 그 재료비의 감소 폭이 크지 않아 공정재료비에 비하여 상대적으로 비중이 증가하게 된다. 그러므로 PDP의 가격을 저감시키기 위해서는 회로 재료비를 낮추는 것이 필수적이다.

방전의 전기적 비선형성이 가지는 논리기능[1]을 이용하여 고전압 구동회로의 개수를 줄이고자하는 연구는 PDP가 연구, 개발된 이래 지속적으로 이루어져 왔다[2],[3]. 본 연구자는 현재 상용화 되어 있는 3전극 면방전 교류구동형 PDP[4]의 수평 주사 전극에 논리곱(AND) 기능을 부여한 새로운 전극결선 구조를 고안하여 고가의 수평주사용 구동회로의 개수를 종래의 1/10 이하로 줄이는 연구 결과를 발표하였다[5]. 이후 이 기술의 결점인 명암비(contrast ratio)저하문제를 개선하기 위하여 PDP의 주변부에 2개의 수직전극과 3개의 수평전극을 설치한 새로운 방전 AND 게이트(gate)를 고안하였다[6],[7]. 그리고 이 기술을 개선하여 3전극 면방전 PDP의 전극구조에 적용시킬 수 있는 방전 AND gate를 고안하고 새롭게 DC-AC 플로우팅(floating) 방전 개념을 제시한 연구결과를 발표하였다[8],[9]. 또한 지속적으로 개선연구를 수행하여 방전 AND 게이트에 부정 논리(NOT)를 새로이 추가하여 신뢰성 높은 방전 논리 게이트를 구현하였다[10].

본 연구는 앞에서 본인이 고안한 새로운 방전 논리 게이트 PDP의 실제 상품화 가능성을 타진하기 위하여 방전 NOT-AND 게이트의 방전 특성을 해석한 것이다. 본 연구에서는 방전 NOT-AND 게이트를 구성하는 각 전극들의 방전전압 특성 및 동작 마진에 대해 측정/평가하였고 또한 DC 방전에 삽입되는 전류제한 저항들에 의한 방전특성을 측정/평가

하여 대면적 PDP에의 적용 가능성을 검토하였다.

### 2. 방전 논리 게이트의 동작원리

그림 1은 새롭게 제안한 방전 논리 게이트 PDP(discharge logic gate PDP: DLG-PDP)의 전극 구조이다[10]. DLG-PDP는 영상정보가 표시되는 디스플레이 영역과 방전 논리 게이트(DLG)가 설치된 논리 게이트 영역으로 분리되어 있다. 논리 게이트 영역에는 세로 방향으로 전극 A와 전극 B를 설치하고 가로방향으로 전극 Ya와 전극 Ex를 설치한다. 이때 형성되는 방전은 ①, ②, ③의 3개가 되며 논리 게이트의 입력에 해당하는 방전이 ①, ②이고 출력에 해당하는 방전이 ③이다.

한편 디스플레이 영역은 종래의 3전극 면방전 교류 구동형 PDP의 전극구조[4]와 같다. 여기서 ④, ⑤는 DC-AC 플로우팅 방전이며 이 중 방전 ⑤가 PDP의 화면상에 표시될 화소를 선택하는 어드레스(address) 방전이 되고 방전 ⑥이 실제로 영상정보를 표시하는 표시발광 유지방전(sustain)이다[11].

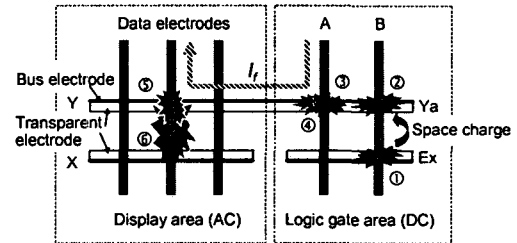


그림 1. 제안된 DLG-PDP의 전극구조  
Fig. 1. Electrodes structure of DLG-PDP proposed

그림 2의 (a)는 DLG-PDP의 동작원리를 설명하기 위한 등가회로이다. 최초로 전극 B에 양의 전압  $V_B$ 를 인가하고 전극 Ex에 음의 전압  $V_{Ex}$ 를 인가하면 방전 ①이 일어난다. 이때 전극 Ya에 음의 전압  $V_{Ya}$ 를 인가하면 방전 ①에 의해 발생된 공간전하의 영향으로 방전공간의 방전개시전압이 낮아지므로 방전 ②가 쉽게 일어난다. 방전 ②가 일어나면 전압  $V_A$ 가 인가되어도 전압강하에 의해 전극 A와 Ya 사이의 전압이 매우 낮아져 방전 ③이 일어나지 않는다.

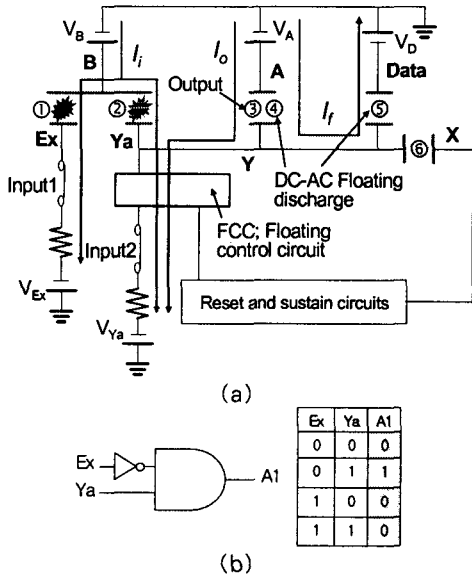


그림 2. DLG-PDP의 동작원리를 설명하기 위한 등가회로 및 진리표

(a) DLG-PDP의 등가회로  
(b) DLG의 진리표

Fig. 2. Equivalent circuit and truth table for explaining the operating principle of DLG-PDP

(a) Equivalent circuit of DLG-PDP  
(b) Truth Table of DLG

반면에 전압  $V_{Ex}$ 를 제거하면 방전 ①이 일어나지 않으므로 전극 Ya에 전압이 인가되어 있어도 방전 ②가 일어나지 않는다. 따라서 전압  $V_A$ 와  $V_{Ya}$ 의 합이 모두 전극 A와 Ya 사이에 걸리고 방전 ③이 일어난다. 즉 전극 Ex의 논리값이 0이고 전극 Ya의 논리값이 1인 경우에만 출력값이 1이 되므로 한쪽 입력에 NOT 논리를 가지는 논리 게이트가 된다. 이것이 DLG의 동작 원리이다. 그림 2의 (b)는 DLG를 논리소자로 표시한 것과 진리표이다.

출력방전 ③의 타이밍 직후에 플로우팅 제어회로를 사용하여 전극 Y를 플로우팅 상태로 만들면 전극 A의 전압  $V_A$ 와 데이터 전극의 전압  $V_D$ 에 의해 방전 ④와 ⑤로 이루어지는 플로우팅 방전이 유도되고 그 결과 어드레스방전 ⑤가 일어난다. 이 어드레스 방전으로 전극 Y와 X 사이의 sustain 방전 ⑥을 유도하는 과정은 상용화된 종래의 구동방식과 동일하다[11].

그림 3은 DLG를 구동하기 위한 고전압 펄스의 타

이밍도이다. 그림에서 보면 출력방전 ③은 방전 ②와 타이밍 상으로 일치하여  $V_{A1}$ 과  $V_{Ya}$  사이에서 일어나며 DC-AC 플로우팅 방전은  $V_{A2}$ 와  $V_D$  사이에서 일어난다. 그림에서 (a) 구간은 두 입력이 모두 ON인 경우로 방전 ①과 ②가 일어나며 이때 출력방전 ③은 일어나지 않는다. (b) 구간은 input1이 OFF이고 input2가 ON인 경우로 방전 ①과 ②가 일어나지 않고 출력방전 ③이 일어나며 이 방전으로 인해 DC-AC floating 방전 ④와 ⑤가 일어나는 것을 보여준다.

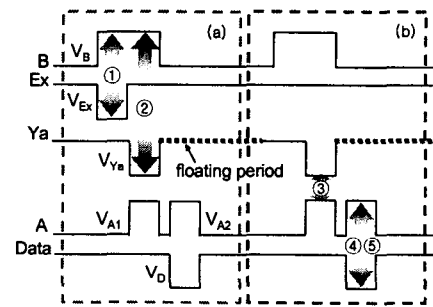


그림 3. DLG의 구동펄스 전압과 타이밍도  
Fig. 3. Voltage and timing chart of driving pulses for DLG

### 3. 실험 결과 및 고찰

#### 3.1 방전 전압 특성 실험

그림 4는 방전 논리 게이트 PDP의 특성실험에 사용한 구동 시스템의 블록 구성도이다. 실험에 사용한 패널은 대각선 크기 6인치의 실험용 패널이며 디스플레이 영역의 패널 구조는 60인치 HDTV급 PDP의 구조와 같고 패널 안에는  $Ne+4\%Xe$ 이 봉입되어 있다[12]. 컴퓨터를 사용하여 로직 제어부의 전계 프로그래머를 게이트 어레이(field programmable gate array : FPGA)에 펄스 타이밍을 프로그래밍하여 각 전극에 방전전압을 공급하는 고전압 FET 스위치들을 제어한다. 플로우팅 제어회로는 전극 Y와 Y의 구동회로 사이에 설치되어 필요시에 전극 Y를 전기적으로 접지나 다른 회로와 격리시킨다. DLG에 인가한 펄스의 타이밍은 그림 3과 동일하며 표시방전에 필요한 타이밍은 종래의 기술과 같다[11]. 그리

방전 논리게이트 플라즈마 디스플레이 패널의 논리게이트 방전특성

고 전극  $V_{Ex}$ 와  $V_{A1}$ 에는 수 [k $\Omega$ ]의 가변저항을 직렬로 연결하여 DC 방전전류를 제어하였다.

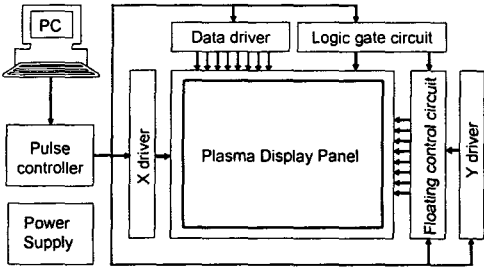


그림 4. DLG-PDP 구동 시스템의 블록 구성도  
Fig. 4. Schematic block diagram of DLG-PDP driving system

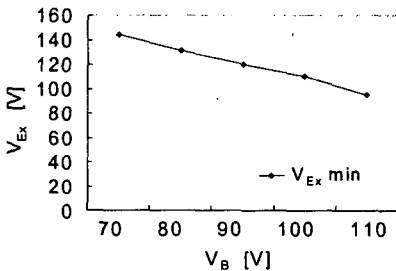


그림 5.  $V_B$ 와 방전개시전압  $V_{Ex}$ 와의 관계  
Fig. 5. Relation between  $V_B$  and discharge ignition voltage  $V_{Ex}$

그림 5는 단위 셀에서의 DC 방전특성을 측정된 것으로  $V_B$ 를 증가시켜가면서 방전 ①이 일어나는 최소전압  $V_{Ex}$ 를 측정된 것이다. 그림에서 보면  $V_B$ 가 증가함에 따라  $V_{Ex}$ 는 선형적으로 감소한다. 실험결과 B- $V_{Ex}$  전극간의 방전개시 전압은 평균 210[V]로 일정하므로 두 전극에 인가되는 펄스 전압들 중 어느 한쪽 전압은 일정하게 두고 나머지 전압만을 사용하여 방전을 제어할 수 있다.

그림 6은  $V_{Ex}$  및  $V_{A1}$ 의 변화에 따라서 논리 기능을 수행할 수 있는  $V_{Ya}$ 의 동작마진을 측정된 것이다. 여기서 DLG의 동작마진은 다음과 같이 정의된다.

$$\text{동작마진} = \text{최대전압} - \text{최소전압} \quad (1)$$

최소전압 : 방전 ①, ②가 없는 타이밍(input1=OFF, input2=ON, 그림 3의 (b)영역)에서 출력방전 ③이 개시되는 방전개시전압으로 방전 논리가 제

로 동작하는 최소전압

최대전압 : 방전 ①, ②가 일어난 타이밍(input1=ON, input2=ON, 그림 3의 (a)영역)에서 출력방전 ③이 개시하는 방전개시전압으로 방전 논리 기능을 상실하는 최소전압

실험결과  $V_{Ya}$ 와  $V_{A1}$ 에 의해 발생하는 출력방전 ③은  $V_{Ex}$ 의 크기(방전 ①의 강도)에는 상관이 없으며  $V_{A1}$ 이 어느 정도 이상 크면 출력방전 ③은 방전 ②의 여부에 관계없이 일정한 방전개시전압을 가져 동작마진이 없어진다. 본 실험에서 얻어진 DLG의 최대동작마진은  $V_{A1}=100[V]$  근방에서 평균 49[V]이다.

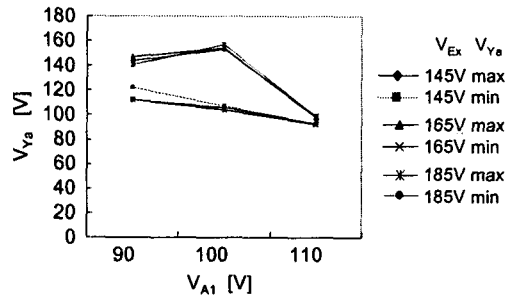


그림 6.  $V_{Ex}$ 와  $V_{A1}$ 의 변화에 의한  $V_{Ya}$ 의 동작마진  
Fig. 6. Operating margin of  $V_{Ya}$  by change in  $V_{Ex}$  and  $V_{A1}$

표 1은 DLG의 출력방전 ③을 결정하는  $V_{A1}$ 과 방전 ②를 결정하는  $V_B$ 의 변화에 따른  $V_{Ya}$ 의 동작마진을 측정된 것이다. 여기서  $V_{Ya}$ 의 최대전압 및 최소전압의 정의는 위에서 설명한 것과 동일하다.

각 단위 셀의 방전개시전압은 대략 210[V]근방이므로 (가)영역은  $V_{A1}$ -B사이의 전압이  $V_{A1}$ -A사이의 전압보다 먼저 방전개시전압에 이르러 먼저 방전 ②가 일어나 출력방전 ③이 정상적으로 일어나지 못하는 영역이고 (나)영역은  $V_{A1}$ 전압이 너무 낮아서 방전 ①에 의해 방전 ②가 유도되지 않아 방전 논리 기능이 상실되는 영역이다( $V_{Ya}$ 를 높이면 바로 max로 간다. 즉 min과 max 전압이 같다). 그러므로  $V_{A1}$ 전압은 항상 B전압 보다 높아야 한다고 추론할 수 있다.

그림 7은  $V_B$ 를 변화시키면서  $V_{Ya}$ 와  $V_{A1}$ 의 관계를 측정된 것이다.  $V_{A1}$ 은 방전 ①, ②가 없는 타이밍(그림 3의 (b)영역)에서 출력방전 ③이 개시되는 전압으

로 DLG가 제대로 동작하는 최소전압이다.

실험결과에서  $V_{Ya}$ 를 증가시키면 A1-Ya간 방전개시전압은 일정하므로  $V_{A1}$ 은 점점 감소한다. 그러나  $V_{A1}$ 이  $V_B$  부근까지 낮아지면  $V_{A1}$ 이 점차 높아지는 것을 알 수 있다.

한편  $V_B$ 가 증가하면  $V_{A1}$ 이 감소했다가 증가하는 전환점이 점점 낮은  $V_{Ya}$  쪽으로 이동하였다. 그리고  $V_{Ya}=220[V]-V_B$  근방에 이르면  $V_{Ya}$ 가 증가하여도  $V_{A1}$ 은 일정하게 되며  $V_{A1}=V_B+30[V]$  정도이었다. 이로부터  $V_{A1}$ 과  $V_B$ 은 논리 게이트의 방전에 상호 영향을 주는 것으로 보이며 이 부분은 추후 논리적으로 해석이 되어야 할 것으로 사료된다.

실험결과들로부터 DLG의 각 전극에 인가하는 전압들을 최적화하였다. 전압들은 최대한 낮은 쪽이 회로의 신뢰도를 높이는 데 도움이 되고 방전 ②는 방전 ①의 강도에 무관하므로 [8]  $V_B=70[V]$ ,  $V_{Ex}=145[V]$ ,  $V_{A1}=100[V]$  일 때 동작마진( $V_{Ya}$ )은 100~140[V] 정도로 평가된다.

표 1.  $V_{A1}$ 과  $V_B$ 의 변화에 의한  $V_{Ya}$ 의 동작특성  
Table 1. Operating characteristics of  $V_{Ya}$  by change in  $V_{A1}$  and  $V_B$

$V_{A1}$	90V		100V		110V		120V		130V		140V		150V	
	min	max	min	max	min	max	min	max	min	max	min	max	min	max
$V_B$	70V		125	146	114	143	110	131	(4) 논리 기능 상실					
	80V		113		136	103	129							
	90V		89		122	92	124							
	100V		이 출력방전 불가		86		110	72						
	110V						73		99	64	114	50	59	

$V_{Ex} = 145V$

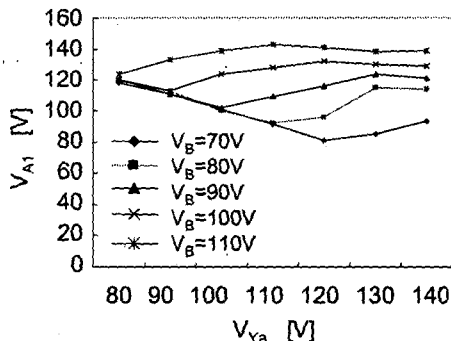


그림 7.  $V_{Ya}$ ,  $V_B$ 의 변화에 따른 출력방전의 개시전압  $V_{A1}$   
Fig. 7. Ignition voltage  $V_{A1}$  of output discharge by change in  $V_{Ya}$  and  $V_B$

### 3.2 한류저항 의존도 평가 실험

DLG-PDP는 두개의 수직전극 A, B를 가지고 있다. 40인치 이상의 대화면 PDP에 본 DLG를 적용할 경우, 최상위 및 최하위 수평주사 전극 사이에서 전극 A, B의 길이 차이가 1[m] 이상 날 수가 있다. 이 경우 전극 A, B의 선저항에 의한 전압강하가 논리 게이트의 DC 방전특성에 어떤 영향을 미치는지 알 필요가 있다. 실험용 패널은 전극 A, B가 모두 data 전극과 같이 은(Ag)으로 되어 있으며 이 전극들의 선저항을 측정하여 본 결과 약 50[Ω/m]이었다.

본 실험에서는 소면적 패널로 대면적 패널의 선저항 영향을 간접적으로 평가하기 위하여 DLG의 각 전극에 5개의 방전전류 제어용 가변저항  $R_{Ex}$ ,  $R_{Ya}$ ,  $R_B$ ,  $R_{A1}$ , 그리고  $R_{A2}$ 를 인위적으로 삽입하여 각각의 저항값에 따른 방전특성을 고찰하였으며 그림 8은 그 결선도이다.

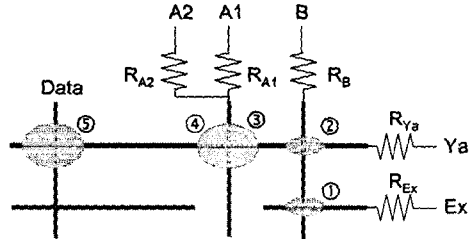


그림 8. 실험을 위한 DLG-PDP의 저항 결선도  
Fig. 8. Electrodes connection diagram of DLG-PDP for experiment

그림 9는 단위 셀의 방전특성을 평가하기 위하여  $R_B$ 와  $R_{Ex}$ 에 의한 방전 ①의 방전개시전압  $V_{Ex}$ 를 측정하는 것이다.  $R_{Ex}$ 와  $R_B$ 의 합이 방전전류를 제한하는 역할을 하므로  $R_B \ll R_{Ex}$ 로 저항값을 설정하면  $R_B$ 의 변화는 방전개시전압의 변화에 거의 영향을 미치지 않는다. 그러므로  $R_{Ex}$ 의 변화만으로 방전특성을 실험할 수 있다. 실험결과 방전 ①의 방전개시전압은  $R_{Ex}$ 의 증가에 따라 0.5[V/kΩ]의 미미한 기울기로 선형적으로 증가한다. 방전 ①은 방전강도에 관계없이 방전이 일어나지만 하면 방전 ②가 일어나므로 [8] 방전전류 및  $R_B$ 의 영향을 최소화하는 측면에서  $R_{Ex}=15[kΩ]$ 을 선정하였다.

방전 논리게이트 플라즈마 디스플레이 패널의 논리게이트 방전특성

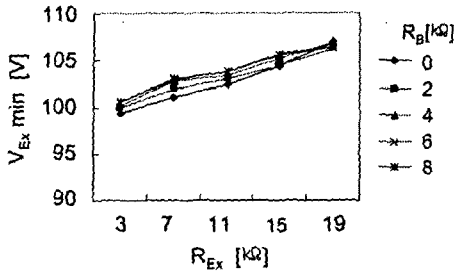


그림 9.  $R_{Ex}$ ,  $R_B$ 의 변화와 방전개시전압  $V_{Ex}$ 의 관계  
Fig. 9. Relation between change in  $R_{Ex}$  and  $R_B$  and discharge ignition voltage  $V_{Ex}$

그림 10은  $R_{A1}$  및  $R_{Ya}$ 와 출력방전 ③의 동작마진과의 관계를 측정하는 것이다.  $V_{Ya}$ 의 최소, 최대전압의 정의는 전술한 식 (1)의 동작마진의 정의와 동일하다. 이 실험에서도 역시  $R_{A1} \ll R_{Ya}$ 로 저항값을 설정하여  $R_{Ya}$ 의 변화에 따른 방전특성만을 측정하였다. 실험결과 방전개시전압 역시 약 1.6[V/kΩ]의 기울기로 미미하게 선형적으로 증가하였다. 한편  $V_{Ya}$ 의 최대전압은 저항이 낮은 영역에서는  $R_{Ya}$ 의 증가에 따라  $V_{Ya}$ 가 급격히 증가하나  $R_{Ya}=7[k]$  이후는 미미하게 증가한다. 낮은  $R_{Ya}$  영역에서는  $R_{A1}$ 가 방전에 미치는 영향이 커져서 위에서 서술한 A, B 전압의 상호영향이 나타나는 것으로 보이며 이는 앞에서도 언급하였듯이 좀 더 세밀히 해석해 보아야 할 것으로 사료된다. 여기서도 역시 방전전류 및  $R_{A1}$ 의 영향을 최소화하기 위하여  $R_{Ya}=9[kΩ]$ 로 결정하였다. 이때  $V_{Ya}$ 의 동작마진은 80[V]이다.

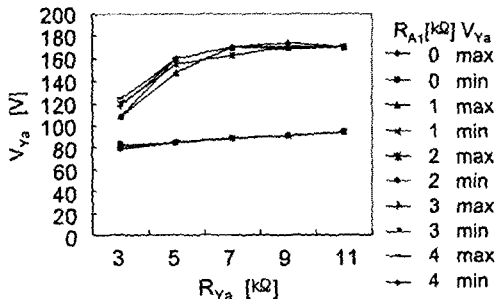


그림 10.  $R_{A1}$ ,  $R_{Ya}$ 의 변화에 따른 출력방전전압  $V_{Ya}$ 의 동작마진  
Fig. 10. Operating margin of output discharge voltage  $V_{Ya}$  by change in  $R_{A1}$  and  $R_{Ya}$

그림 11은  $R_{A1}$  및  $R_B$ 와 출력방전 ③의 동작마진

과의 관계를 측정하는 것이다.  $R_{Ex}$ 와  $R_{Ya}$ 의 값이 15[kΩ]과 9[kΩ]으로  $R_{A1}$  보다 매우 크므로  $R_{A1}$ 의 변화에 의한 출력방전의 영향은 거의 없다. 또한 출력방전의 최소전압의 변화는 방전 ①, ②가 없을 때의 방전이므로  $R_B$ 와 관련이 없어 일정하다. 한편 최대전압은  $R_B$ 가 증가할수록 감소하였다. 이것 역시 두 개의 수직전극 A, B의 전압들 간 상호영향이 나타나는 것으로 생각된다. 실험결과에서 동작마진을 충분히 확보하기 위해서  $R_B$ 는 작을수록 좋으며  $R_B=1[kΩ]$ 에서도 40[V] 이상 동작마진이 확보되었다. 40인치 이상 대면적 PDP를 가정해도 수직전극의 최대 선저항은 1[kΩ] 이하일 것이므로 B전극의 선저항에 의한 마진 감소는 미미할 것으로 예상된다.

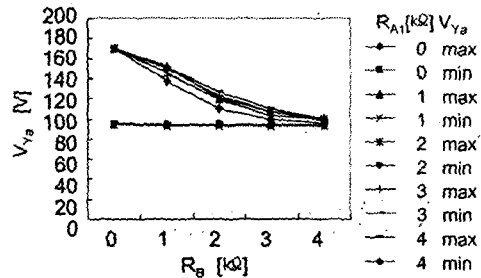


그림 11.  $R_{A1}$ ,  $R_B$ 의 변화에 따른 출력방전전압  $V_{Ya}$ 의 동작마진  
Fig. 11. Operating margin of output discharge voltage  $V_{Ya}$  by change in  $R_{A1}$  and  $R_B$

어드레스 방전은 DC-AC 플로우팅 방전의 교류측 방전이므로 벽전하에 의해서 방전이 제어된다. 그러나 플로우팅 방전의 직류측 방전에 대해서는 저항 의존 특성을 평가할 필요가 있다. 그림 12는 인위적으로 삽입한 저항인  $R_{A2}$ 와 어드레스 방전의 동작마진의 관계를 측정하는 것이다. Data 전압의 동작마진의 정의는 다음과 같다.

최소전압 : 플로우팅 방전에 의해 sustain 방전이 발생되는 최초의 data 전압

최대전압 : 플로우팅 방전 없이 데이터 전압만으로 어드레스 방전이 일어나 sustain 방전이 발생되는 최초의 data 전압

역시 최소방전전압은  $R_{A2}$ 가 증가함에 따라 선형적으로 다소 증가한다. 그러나 최대전압은  $R_{A2}$ 와 관련이 없어 일정하므로  $R_{A2}$ 가 증가할수록 동작마진

이 다소 좁아진다. 그러나 최소의 경우에도 60[V]의 동작마진이 확보된다. 그리고 전극 A의 선저항 역시 전술한 바와 같이 1[kΩ] 미만이므로 방전 논리 게이트에 미치는 영향이 미미하다고 볼 수 있다.

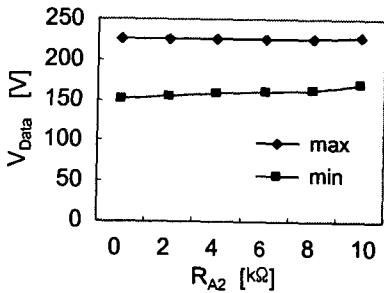


그림 12. RA2의 변화와 어드레스방전의 동작 마진과의 관계

Fig. 12. Relation between operating margin of address discharge and change in RA2

결론적으로 전극의 물질에 따라 다소 차이는 있으나, 수평전극의 한류저항값이 수직전극의 선저항에 비해 매우 크므로 두 개의 수직전극 A, B가 가지는 선저항이 DLG의 동작에 미치는 영향은 미미할 것으로 추론된다.

#### 4. 결 론

실험결과 제안된 방전 논리 게이트의 방전 특성은 두개의 수직전극 A와 B에 인가하는 전압들의 상대적인 크기에 밀접한 관계가 있다는 것을 알았다. 실험을 바탕으로 각 전극들의 최적 전압을 도출하였으며 49[V]의 최대동작마진을 확보하였다. 또한 각 전극의 전류제한저항에 의한 방전특성을 측정된 결과 논리 게이트의 방전에 영향을 미치는 저항값은 수 [kΩ] 이상이고 대면적 PDP를 가정한 전극 A와 B의 최대 선저항 값은 1[kΩ] 이하이므로 선저항에 의한 전압강하가 방전 논리 게이트의 동작에 미치는 영향은 미미한 것으로 추론되었다.

새롭게 제안된 방전 논리 게이트 PDP는 논리 게이트의 동작마진이 넓고 방전특성이 안정되어 신뢰성이 개선되었다. 그러나 두 수직전극 A, B에 인가되는 전압들의 상호 관계는 좀더 세밀히 규명될 필요가 있으며 향후 방전 논리 게이트를 구성하는 전

극들의 재질, 형상등에 대한 연구가 필요할 것으로 사료된다.

#### References

- (1) S. Mikoshiba, "The latest technology of plasma display," ED research, 1996, Chap.7, pp.140-141 (in Japanese).
- (2) Jerry D Schermerhorn et al., "Discharge-Logic Drive Schemes," Proc. of the SID Vol.16/2 Second Quarter pp.81-85, 1975.
- (3) Larry F Weber et al., "A New Gas Discharge Logic Technigue that Reduces Circuit Complexity for AC Plasma Display Panels," Conf. Record of IDRC, pp. 502-505, Kobe, Japan, 1983.
- (4) T. Shinoda, et. al. "Improvement of Luminance and Luminous Efficiency of Surface-Discharge Color ac PDP," Digest of SID, pp.724-727, 1991.
- (5) M. Ishii, Jeongduk Ryeom et al., "Reducing the Number of Scan Drivers in AC PDPs by an Order of Magnitude Using Gas-Discharge AND Logic," Digest of SID, pp. 283-286, 1998.
- (6) J. Ryeom, Y. C. Jung, "A Study on the New Discharge Logic Device for the Plasma Display Panels," J of KIEE, Vol.16, No.1, pp.13-19, 2002. (in Korean)
- (7) J. Ryeom, "A Study on the New Discharge AND Gate and Drive Scheme for the Cost Down of the PDPs," J of KIEE Vo.52, No.6, pp.267-273, 2003. (in Korean)
- (8) J. Ryeom, "Optimization on the Characteristics of DC Discharge Cell in the AND Gate PDPs," J of KIEE, Vol.18, No.3, pp.34-39, 2004. (in Korean)
- (9) J. Ryeom, "A Study on the Characteristics of Floating Discharge in the AND Gate FDP," J of KIEE, Vol.18, No.4, pp.22-27, 2004. (in Korean)
- (10) J. Ryeom, "An Improvement of the Gas Discharge Structure of the AND Gate FDP," J of KIEE, Vol.18, No.5, pp.42-47, 2004 (in Korean)
- (11) S. kanggu, et. al., "A 31-in.-Diagonal Full-Color Surface-Discharge ac Plasma Display Panel," Digest of SID, pp.713-716, 1992.
- (12) M. H. park, "60-in. Full-color AC Plasma Display panel with 1365×768," Digest of SID, pp.475-477. 2000.

#### ◇ 저자소개 ◇

##### 염정덕 (廉正德)

1960년 5월 14일생. 1987년 서울대학교 전기공학과 졸업. 1989년 동 대학원 전기공학과 석사. 1992년 동 대학원 전기공학과 박사. 1992~1995년 LG전자(주) 영상미디어연구소 선임연구원. 1996년 일본 전기·통신 대학 외국인연구원. 1997~1999년 삼성SDI(주) 기술본부 선임연구원. 2000년~현재 경주대학교 컴퓨터정보 시스템공학부 조교수.