

Varistor의 ALT(Accelerated Life Testing) 설계 및 주 고장모드 분석

장우성* · 이준혁* · 이관훈** · 오영환*

* 광운대학교 전자통신과 통신망연구실, ** 전자부품연구원 신뢰성평가센터

A Study for Accelerated Life Testing and Failure Analysis of Chip Varistor

Woo-Sung Chang* · Jun-Hyuk Lee* · Kwan-Hun Lee** · Young-Hwan Oh*

*Dept. of Industrial Engineering, Kyung Hee University
**Reliability & Failure Analysis Center, KETI

Abstract

General chip SMD parts(chip resistance, chip capacitor, chip varistor etc.) are very wide used electronics parts for IT units. But, failure modes are indistinct for these chip parts. In factory and field the failure modes are recognized to accidental failure mode caused by potential defect.

In this paper used chip varistor ALT(Accelerate Life Test) test for verify general failure modes in chip SMD parts . Also the results are useful for general chip SMD ALT tests.

Key words : Varistor, Accelerate Life Testing, Failure mode

1. 서 론

일반적인 칩부품(칩저항, 칩캐패시터, 칩배리스터 등)은 현재 IT단말기 등에 폭넓게 사용되는 가장 대표적인 전자부품이다. 이러한 칩부품에 대한 고장모드는 아직까지 잘 알려져 있지 않았으며, 제조 공정 및 필드에서의 고장은 제품에 포함된 잠재적 불량에 우발 고장 형태로 나타나는 것으로 알려져 있다.

본 논문에서는 일반적인 칩부품(SMD부품)의 고장 모드를 확인하고자 칩배리스터를 사용하여 가속수명시험을 실시하였다. 또한, 시험결과를 바탕으로 고장모드를 분석하였다. 가속수명시험 설계는 유사한 칩부품의 시험 시 참조할 수 있을 것이다.

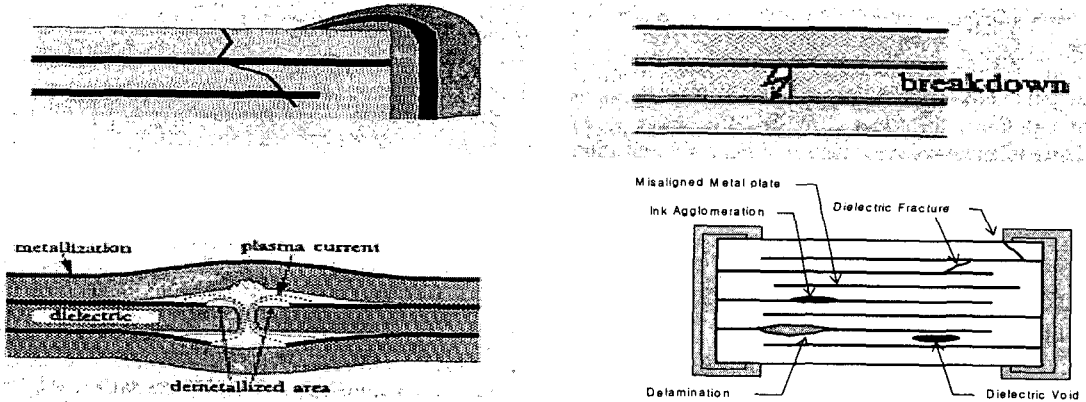
2. 칩 부품의 주 고장모드 분석

2.1 칩 부품의 구성

다수의 세라믹 층으로 구성된 일반적인 칩부품의 바디는 Ag 또는 Pd-Ag metalization 층에 의해 구분된다. 부품의 전극은 Ag 또는 Ag/Ni/ SnPb로 되어 있으며, 이것은 사용 환경에 따라 변경된다. 전극의 형성은 스크린프린팅이나 디핑(Dipping) 또는 전기도금의 공정을 이용하여 형성된다. 리드제품인 경우는 금속 리드선에 솔더링이 되며, 에폭시계 레진코팅된 캡슐로 된 것도 있다.

2.2 칩 부품의 주 고장원인

최근에는 절연 세라믹 기판위에 전도체 페이스트와 페라이트 층을 교대로 위치시키는 Thick-film screening 기술을 이용한 칩 부품이 많이 사용되고 있다. 이러한 제품의 고장 모드와 메커니즘은 일반적인 칩저항이나 칩캐패시터 등 SMD제품에서 나타나는 고장형태와 거의 유사하다.



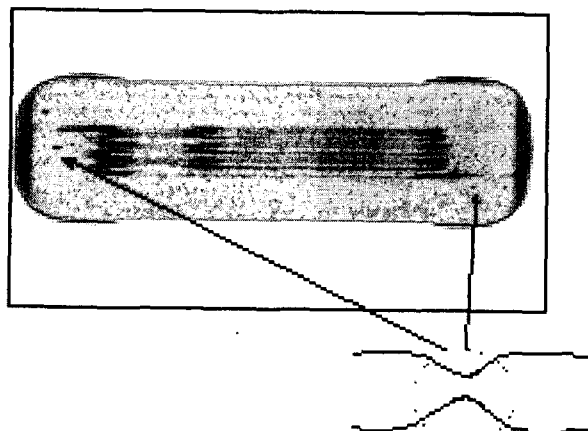
<그림 1> 일반적 다층 칩(Multilayer Chip) 부품의 고장형태

즉, 칩 부품의 내부 결함에 의한 고장은 주로 작동 인가 전류 및 고온 스트레스 영향을 많이 받으며, 유형별 원인은 다음과 같다.

전자기기용 칩 부품의 주 고장모드 및 고장메카니즘은 다음과 같은 원인에 의해 내부단선이 주 고장모드이다. 이는 마모 및 열화에 의한 고장이 아닌 제조 공정의 불량(결함)이 내(외)부의 환경요인에 의해서 우발고장 형태로 나타날 수 있음을 암시한다.

2.2.1 내부전극선 폭 불균일

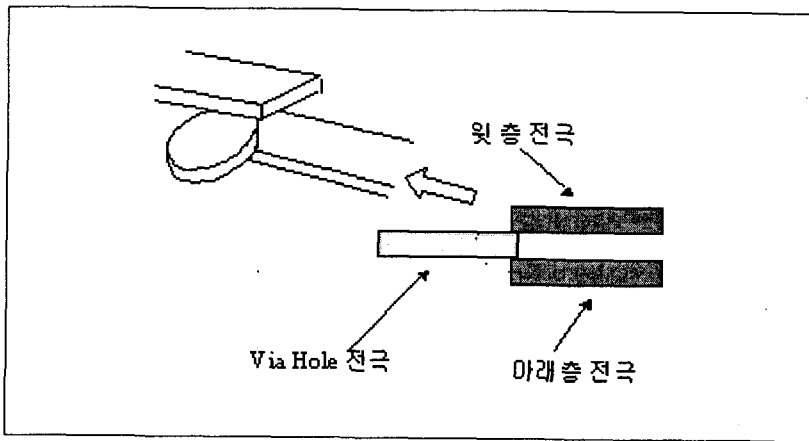
고장 메카니즘은 전류가 내부 불균일한 단면을 흐를때 고열이 발생하며, 고온에 의해서 우발적인 단선이 주로 발생한다. 식 (1)에서 단면적 A 가 작아지면 저항 R 이 비례해서 커지고, 따라서 내부전극의 특정부분에서 고열이 발생하여 전극이 단선되는 고장이 주로 발생한다.



<그림 2> 내부전극 불균일 결함

2.2.2 내부전극 정렬(Alignment) 불량

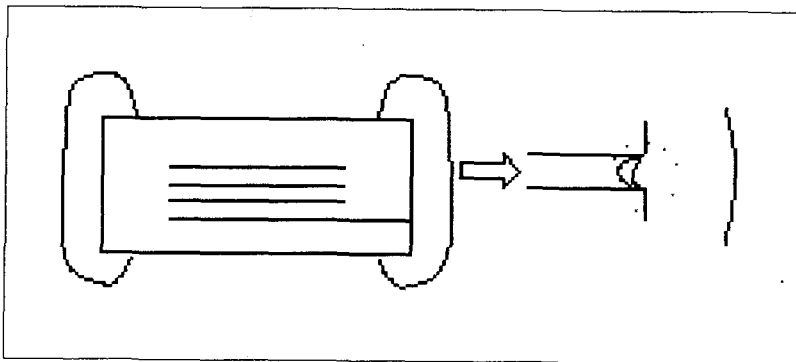
고장 메카니즘은 전류가 <그림 3>과 같이 상, 하전극의 정렬이 불량하여 저항이 높아지고 장기간 사용시 고열에 의한 단선고장이 발생한다.



<그림 3> 내부전극 정렬(Alignment) 불량 결함

2.2.3 내·외부 전극 연결 불량

고장 메카니즘은 전류가 <그림 4>과 같이 내·외부 전극 연결이 불량하여 저항이 높아지고 장기간 사용시 고열에 의한 단선고장이 발생한다.



<그림 4> 내·외부 전극 연결 불량 결함

즉, 제조 공정 중 불균일한 단면 전극에 전류가 흐를 때 열발생 모드는 식 (1)에서 단면적 A 가 작아지면 저항 R 이 비례해서 커지고, 따라서 칩 부품의 특정부분에서 고열이 발생하여 내부전극이 단선되는 우발고장이 주로 발생한다.

$$R = \rho \frac{l}{A} \quad (1)$$

내부 전극 저항값

종합적으로 칩부품의 주 고장은 제조 공정 중의 잠재적 불량 부분이 존재하고, 이 잠재 불량 부분이 내(외)부의 스트레스에 의해서 고장으로 연결되는 우발고장 모드를 보일 수 있다. 따라서 본 논문에서는 칩부품(칩배리스터)의 가속 수명시험을 통하여 고장형태를 관찰한다. 또한, 고장 분포가 우발고장 분포 형식의 지수분포를 따르는지 또는 기타 분포를 따르는지를 분석한다.

3. 가속 수명시험 설계

3.1 가속시험이론 및 종류

가속수명시험(ALT)은 제품의 수명에 큰 영향을 미치는 변수(전압, 온도, 진동 압력 등)를 가속변수로 택하여 이러한 가속변수의 값(스트레스 수준)을 실제 사용조건 보다 열악한 수준으로 시험하여 빠른 기간 내에 제품의 고장자료를 얻고, 이를 실제 사용조건으로 외삽(Extrapolation)하여 사용조건에서의 수명관련 품질 특성치를 평가하는 방법이다.

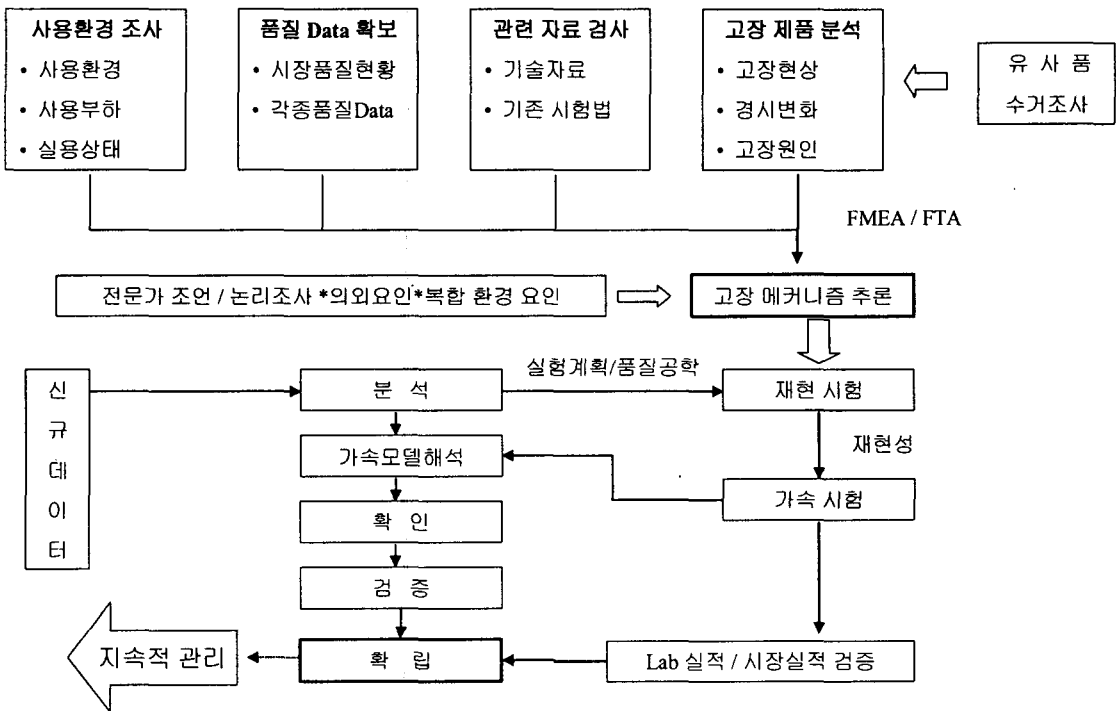
가속수명시험 방법(종류)에는 일정한 가속수명시험(constant stress ALT : CS-ALT)과 계단형 가속수명시험(step stress ALT : SS-ALT), 그리고 점진적 스트레스 가속수명시험(progressive stress ALT)이 있다. 첫 번째로 Constant Stress ALT는 몇 개의 스트레스 수준을 선택하여 각 스트레스 수준에 적합한 시험품 수량을 할당하여 시험하는 방식이다. 두 번째로 Step Stress ALT 경우 모든 시험품을 낮은 단계의 스트레스 수준에서 시작하여 일정시간이 지난 후 (또는 일전 수의 고장 발생 후) 고장 나지 않은 전 제품을 보다 높은 단계의 스트레스 수준으로 시험한다. 마지막 Progressive Stress ALT는 스트레스 수준을 시간에 따라 연속적으로 증가시키는 시험이다. 대부분의 경우 시간에 따라 선형적으로 증가하는 램프형 가속수명시험(Ramp Stress ALT : RS=ALT)을 많이 이용한다. 이 경우 최적 가속시험 설계 논문들은 다음과 같이 있다{CS-ALT : Nelson(1990), Meeker & Escobar(1993), SS-ALT : Nelson(1990), Shaked & Singpurwalla(1983), Bai & Kim(1993), RS-ALT : Nelson(1990)}.

논문의 주요 내용은 제품 수명이 대수 수명분포((log lifetime distribution)를 따르는 경우의 기존 논문에 대한 소개 및 와이블 분포를 따르는 경우의 CS-ALT와 SS-ALT의 최적설계를 정량적으로 비교하였다. 참고로 Nelson 논문의 특징은 7~8개 수준의 스트레스

수준을 설정하고 있고, 시험 결과 data를 그래프로 표기 시 기울기의 유사성(평행성)을 검사함으로써 각 스트레스 수준에서의 가속성 여부를 점검한다. 그리고 중간 스트레스 수준에서 가장 많은 고장 data를 얻을 수 있다.

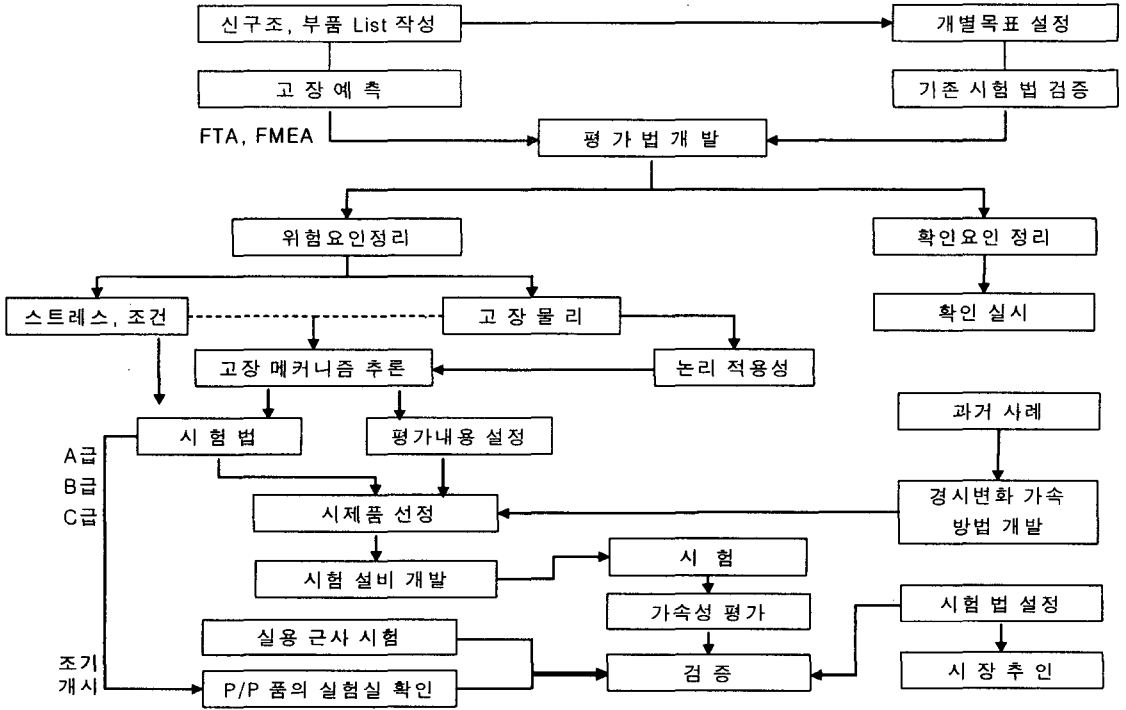
3.2 가속수명시험 설계

가속시험 설계에 대한 일반적인 절차를 보면, 미국이나 일본 등의 선진 기업에서는 전자부품의 가속시험을 설계하는 절차를 다음 <그림 5>과 같이 제시하고 있다.

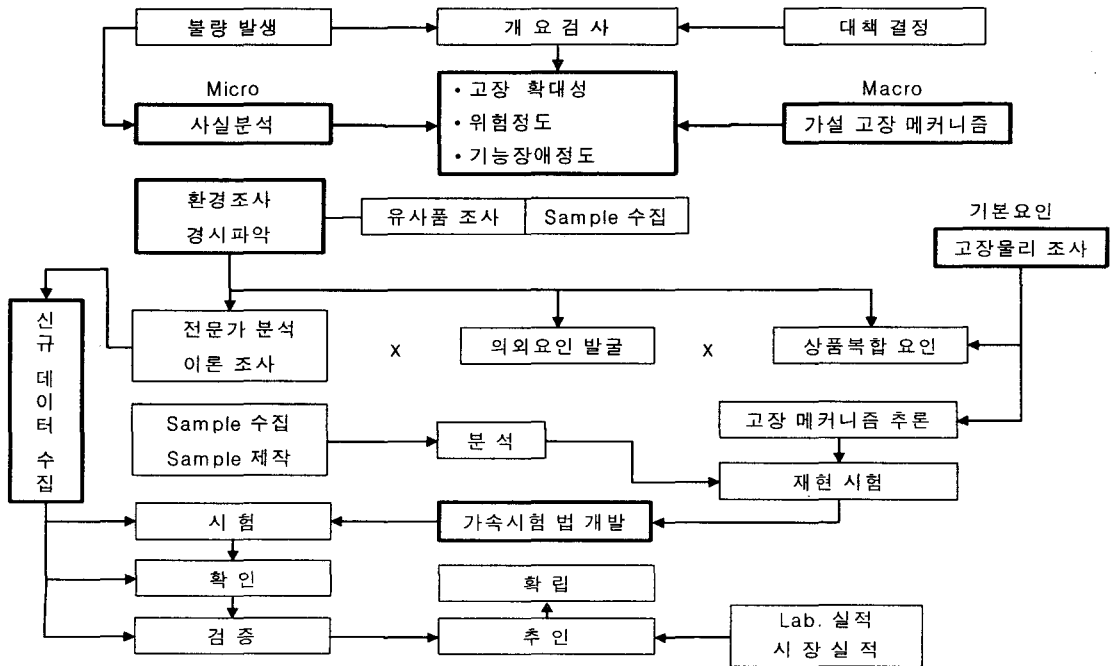


<그림 5> 가속시험 개발 프로세스

<그림 5>는 일반적인 가속시험 개발 프로세스에 대한 절차이다. 그러나 가속시험은 제품 설계단계에서 사용되는 경우도 있고, 시장에 출하된 제품의 고장을 재현하기 위한 경우도 발생할 수 있다. <그림 6>은 설계단계에서의 가속시험 개발 프로세스를 나타낸 것이고, <그림 7>은 고장재현을 위한 가속시험 개발 프로세스를 나타낸 것이다.



<그림 6> 설계단계에서의 가속시험 개발 Process



<그림 7> 고장재현을 위한 가속시험 개발

일반적으로 시험품의 신뢰성을 예측하기 위하여 우선 고장물리에 기초한 FMEA를 실시하여 중요한 고장모드와 메커니즘을 설정하고, 그들에 대한 적절한 가속시험을 실시하여야 한다는 것이다. 이와 같은 가속시험을 설계하기 위하여 우선적으로 필요한 것은 적절한 시험방법의 선택이다. 이를 위하여 NASA등에서 개발된 2-level QFD가 많이 쓰이고 있으며, 본 논문에서는 이론 및 현장조사결과를 바탕으로 다음과 같이 시험방법을 설계하였다.

3.3 스트레스 수준의 선정

시험법이 결정되면 가속할 스트레스의 수준을 결정하여야 한다. 스트레스 수준은 목적인 고장모드, 고장메커니즘이 아닌 다른 것이 발생하지 않도록 공학적 분석을 실시하여 결정하여야 한다. 스트레스 수준을 결정하는 방법으로는 최적설계와 실용적설계가 많이 활용된다.

최적설계(optimal plan)인 경우 통계적 효율성은 높지만 모수와 스트레스 관계식의 적정성 여부에 대한 검토가 불가능하며, 저 스트레스 수준이 높아서 외삽(Extrapolation in stress)의 효과가 클 경우가 있다. 따라서 통상적으로 두 스트레스 사이의 시험이 설계된다. 또 다른 하나인 실용적계획(practical or compromise plan)은 최적설계에 비하여 통계적 효율성이 떨어지는 단점이 있다. 예를 들어 실용적설계인 경우 스트레스 수준은 고(S_3)와 저(S_1), 중간스트레스(S_2)에서 시험 실시된다.

중간 스트레스(S_2)는 다음과 같다.

$$S_2 = \frac{S_1 + S_3}{2} = \frac{1 + S_1}{2}$$

3.4 시료수 결정

가속시험에서 중요한 결정사항 중의 하나가 시료의 수이다. 여건이 허락한다면 시료의 수는 많을수록 좋다. 그러나 이는 현실적으로 어려운 부분이 있으며, 실제 설계에서는 목표 신뢰성 수준, 시험장비의 능력, 수명분포 모형, 시험 스트레스의 수준, 시험기간 등을 감안하여 결정할 수밖에 없다. 기계 분야의 신뢰성을 주로 연구한 O'Connor는 부품의 경우 30개 이상, 시스템의 경우 5개 이상을 추천하고 있다. 현실적으로는 부품은 10개 이상, 서브시스템은 5개 이상 (가격이 비싼 경우에는 4개 이상), 시스템의 경우에는 1에서 10까지 등으로 결정하는 경험적인 rule을 이용하는 것이 보통이다.

Meeker와 Hahn은 수명이 대수정규분포나 와이블 분포를 따르고, 수명과 스트레스의

관계가 대수선형이고, 3수준의 시험인 경우 이른바 '4 : 2 : 1'의 시료 배분법칙을 제안하였다. 이 방법은 낮은 스트레스 수준을 최적화하는 방법으로, 현실적으로 매우 유용한 방법으로 알려져 있다. 본 연구에서는 칩 배리스터의 저온계 소성온도(1,000°C) 및 웨이브 솔더링 온도(230°C)를 감안하여 이보다 낮은 온도에서 최고시험온도 S_h 를 145°C, 최저시험온도 S_l 을 105°C로 하고, 중간 시험온도(S_m)는 $(S_l + S_h) / 2$ 를 적용하여 125°C로 설정하였다.

시험품의 할당은 <표 1> 가속시험조건과 같이 저, 중간, 고스트레스에서 4 : 2 : 1의 비율로 시험제품이 할당 되는 실용적 계획(Meeker와 Hahn-1985)을 준용하여 105°C, 125°C, 145°C에 각각 40개, 20개, 10개를 할당하였다. 시험온도의 결정은 배리스터관련 신뢰성 논문과 선진 제조사의 신뢰성 시험규격에서 실시하고 있는 온도를 검토하여 설정하였다.

본 ALT시험 설계의 기본 가정은 다음과 같다.

- 각 시험품의 수명은 서로 통계적으로 독립이라고 가정 한다.
- 평균수명과 (변환된)스트레스 $X(1/T)$ 는 서로 선형적인 관계이다(T : 시험온도)

즉, $\mu(X) = Y_0 - Y_1X$ 로서

최소제곱추정의 절편과 기울기(Y_0, Y_1), 수명분포의 표준편차(s)는 시험 데이터로부터 추정한다.

<표 1> 가속시험조건

시험조건	시료 수	특성측정시간(h)
105°C	40	초기, 300, 600, 900
125°C	20	초기, 300, 600, 900
145°C	10	초기, 300, 600, 900

3.5 고장데이터의 해석

가속시험을 실시하여 얻어진 데이터를 분석하기 위하여 고장시간에 대한 분포, 스트레스 그리고 수명과의 관계식이 필요하다. 전자에 대하여는 지수분포, 대수정규분포, 와이블 분포, 극한치 분포 등이 주로 사용되나, 이들 분포들이 가지고 있는 모수 (특성수명이나 매디안 수명)가 아레니우스 모형과 같은 관계식을 따른다고 가정하고 데이터를 해석하는데, 모수를 추정하기 위한 방법으로는 최우추정법이나 최소제곱추정법 등이 주로 이용된다.

4. ALT 시험결과

4.1 시험품 규격 및 측정 조건

시험품으로 사용한 국내·외 3개 업체의 제품에 대하여 <표 2>에 같이 측정조건 및 규격을 나타내었다.

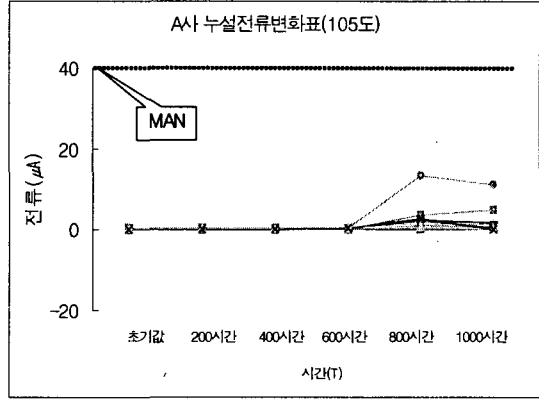
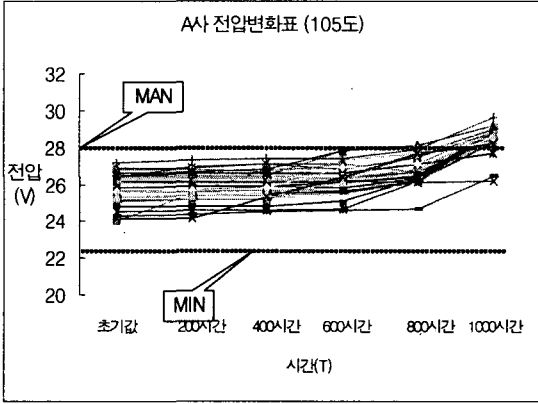
<표 2> 측정조건 및 시험품 규격

회사	Varistor Voltage		Leakage Current	MAX Clamping V	MAX Transient Energy	Typical Capacitance
국내·외 A,B,C사	(V : 1mA DC)		(Vdc)	(Vc at 2A)	(J)	(pF : 0.5Vrms)
	MIN	MAX	< 50 μ A	8/20 μ s	10/1000 μ s	1Mhz
	21.5	28.0	18(14Vrms)	40	0.1	220

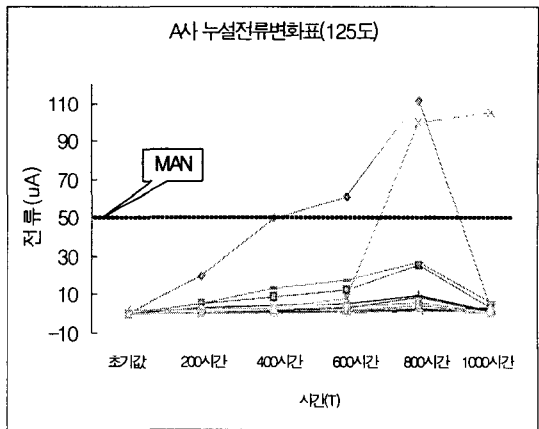
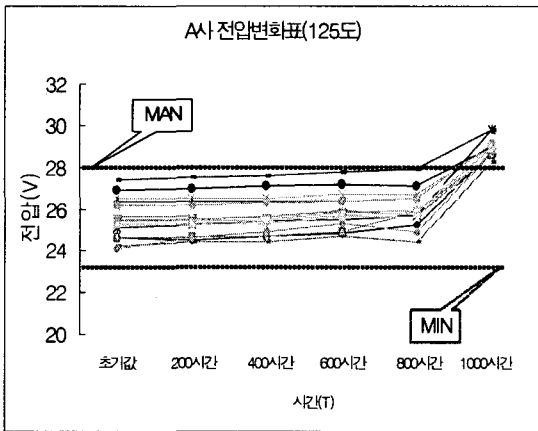
4.2 사용장비 및 결과 Data 그래프

칩배리스터를 측정하기 위해서는 여러 가지 장비가 필요하다. 장비는 전자부품연구원(KETI)의 신뢰성평가센터에 비치하고 있는 향온향습시험기(ACS 340C), High Voltage Source Meter(Keithley 2410)등의 장비를 사용하였다. 또한 자체 제작한 지그 및 보드를 사용하였다.

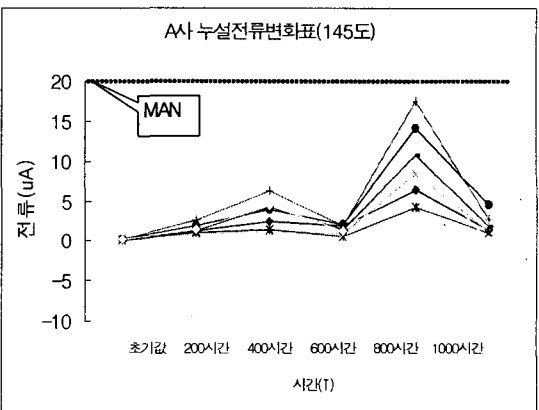
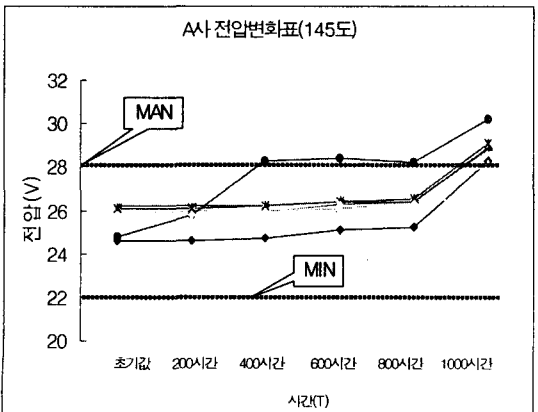
아래 결과는 국외(A사) 업체의 칩배리스터를 시험한 결과이다. 온도는 3조건에서 설정 온도를 인가한 상태에서 전압은 정격전압을 인가하였다. 다음 그래프들은 위 조건에서 A사의 전압과 누설전류에 대한 결과 그래프이다.



<그림 8> 국외(A사)의 칩배리스터 전압 및 누설전류(105°C)

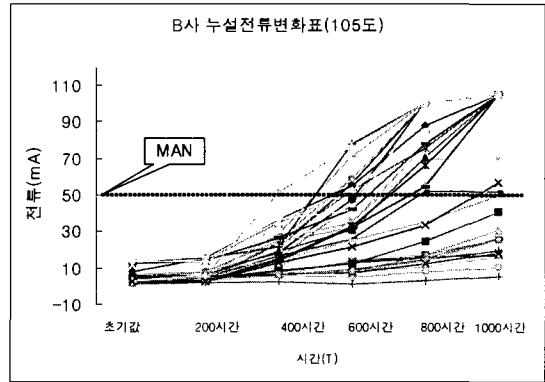
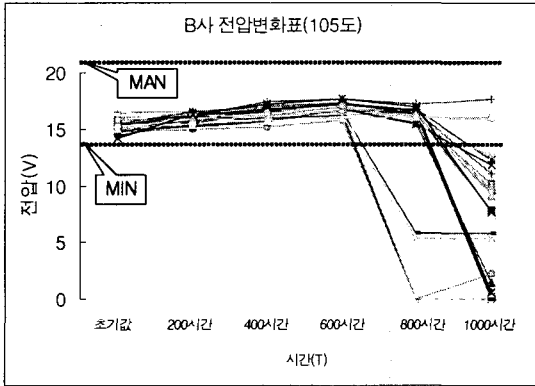


<그림 9> 국외(A사)의 칩배리스터 전압 및 누설전류(125°C)

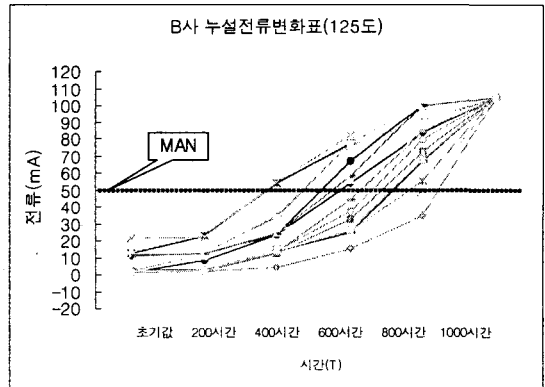
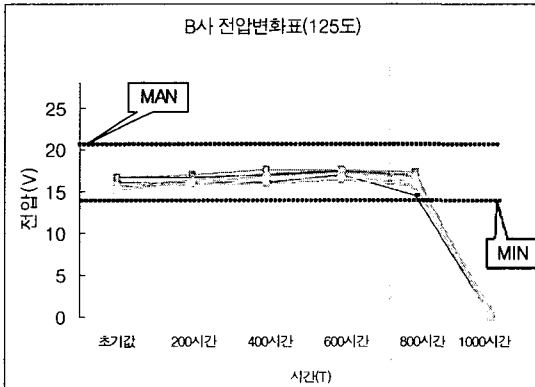


<그림 10> 국외(A사)의 칩배리스터 전압 및 누설전류(145°C)

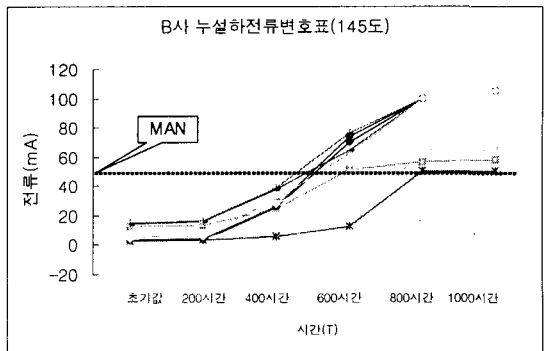
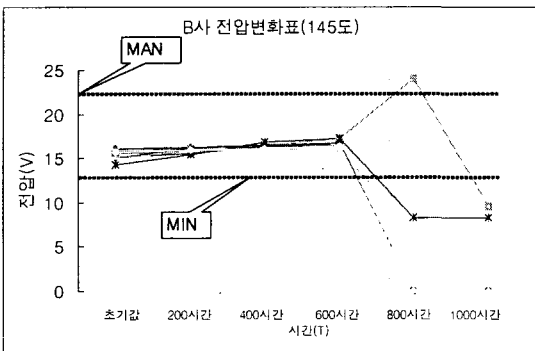
국내 업체(B사 C사)의 칩배리스터에 대한 시험결과는 아래 그림 <그림 11>에서 <그림 16>까지 정리하였다.



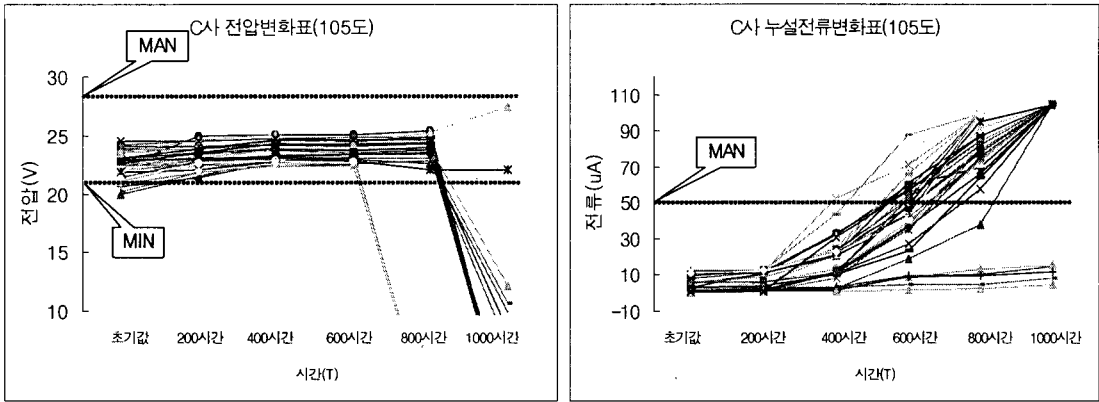
<그림 11> 국내(B사) 칩배리스터 전압 및 누설전류(105°C)



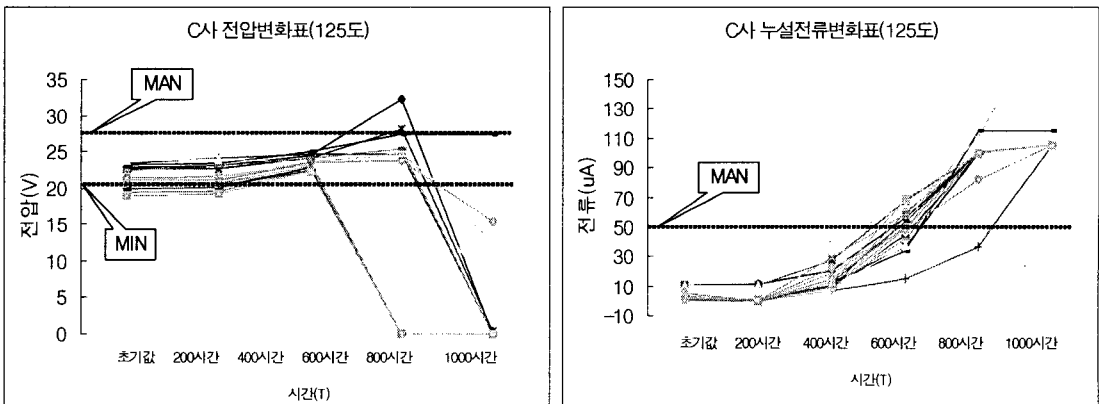
<그림 12> 국내(B사) 칩배리스터 전압 및 누설전류(125°C)



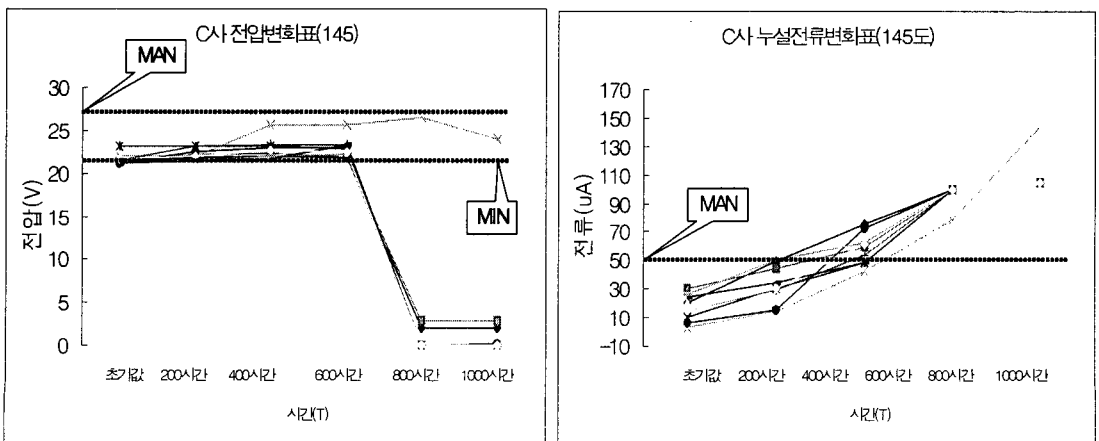
<그림 13> 국내(B사) 칩배리스터 전압 및 누설전류(145°C)



<그림 14> 국내(C사) 칩배리스터 전압 및 누설전류(105°C)



<그림 15> 국내(C사) 칩배리스터 전압 및 누설전류(125°C)

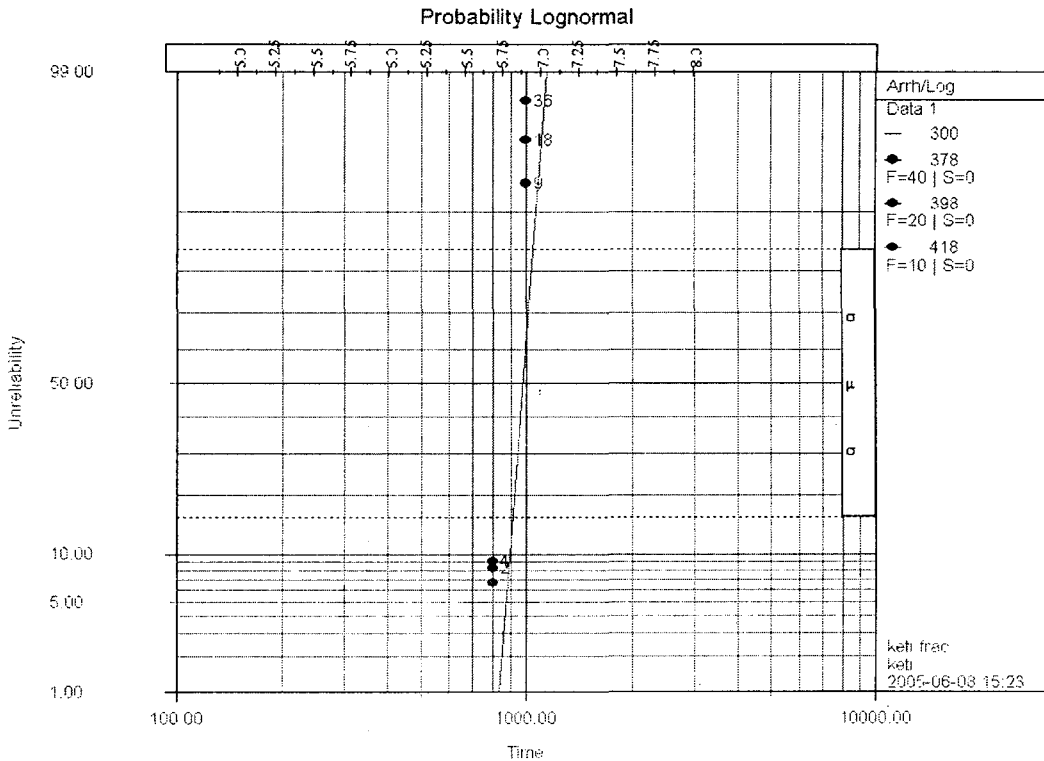


<그림 16> 국내(C사) 칩배리스터 전압 및 누설전류(145°C)

5. 가속수명시험 분석결과

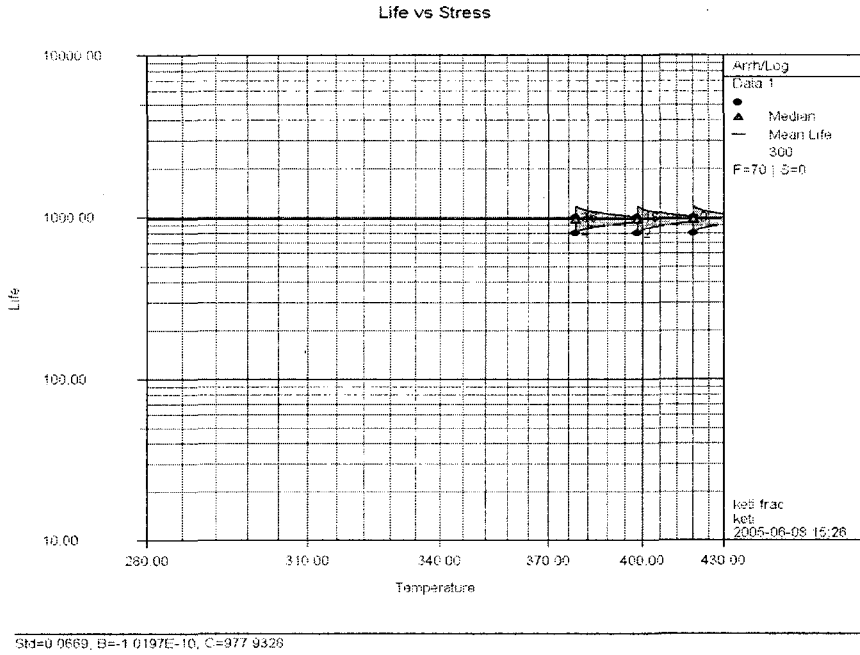
위 시험 결과를 바탕으로 하여 확률분포(Probability Distribution)와 가속계수(Acceleration Factor)를 분석한 결과는 아래 <그림 17>에서 <그림 24>에 그래프 분석 결과를 보였다. 3개 업체의 수명 계수는 알헤니우스(Arrhenius) 모형을 이용하여 통계적으로 정상사용조건 30℃에서의 평균 가동시간 하루 2시간(시험품은 주로 휴대폰에 장착됨) 정도의 부하를 가정하여 예측한 결과다.

국의 A업체를 보면 $Beta = 6.694E-02$, $B = 1.02E-10$, $C = 977.93$. Mean Life = 1,1761.518(h)이다. 확률분포(Probability Distribution)와 가속계수(Acceleration Factor) 및 수명분포(Life Distribution)를 분석한 결과는 다음과 같다.



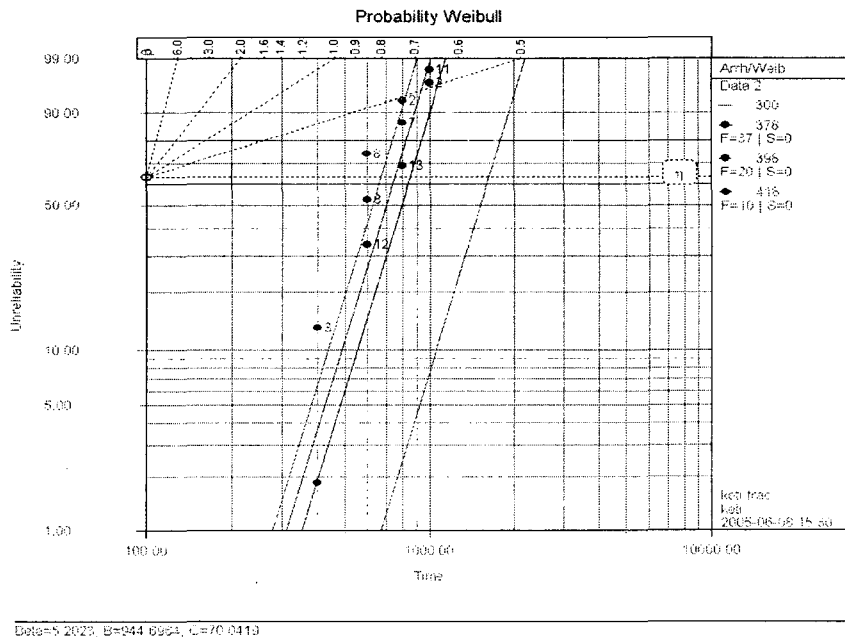
Std=0.0669, B=-1.0197E-10, C=977.9328

<그림 17> 확률분포(Probability Distribution)

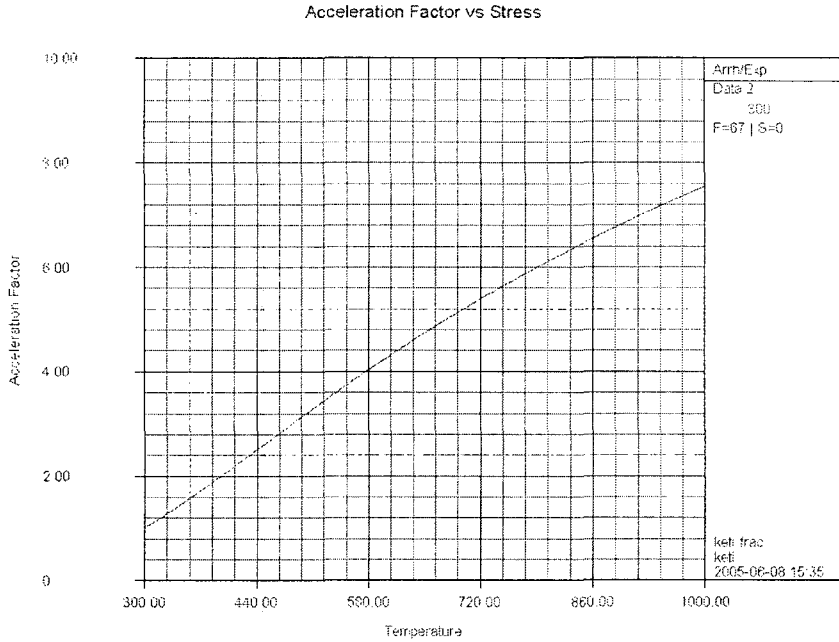


<그림 18> 수명분포(Mean Life)

또한 국내 B업체의 경우 $Beta = 5.2023$, $B = 944.6964$, $C = 70.0419$, Mean Life = 1,8031.92(h)이다.

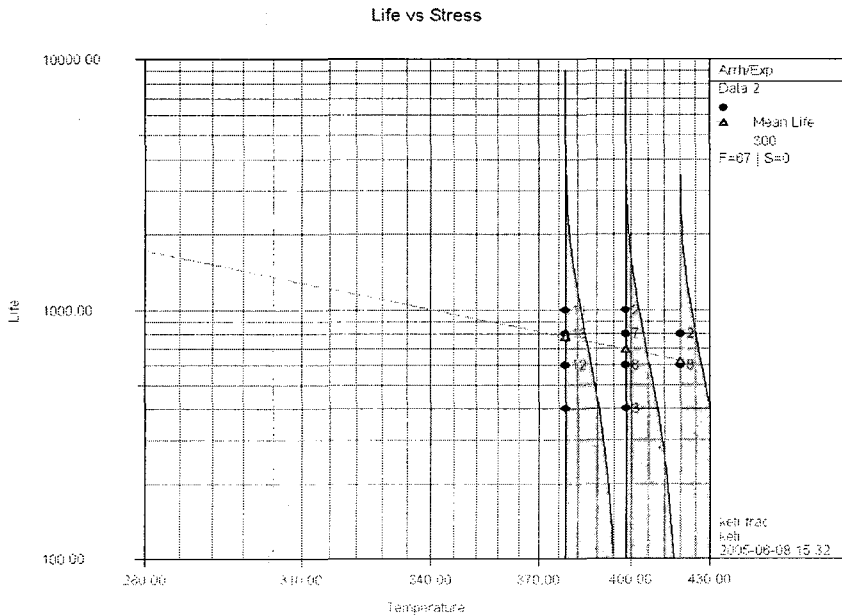


<그림 19> 확률분포(Probability Distribution)



B=866.1601, C=78.8240

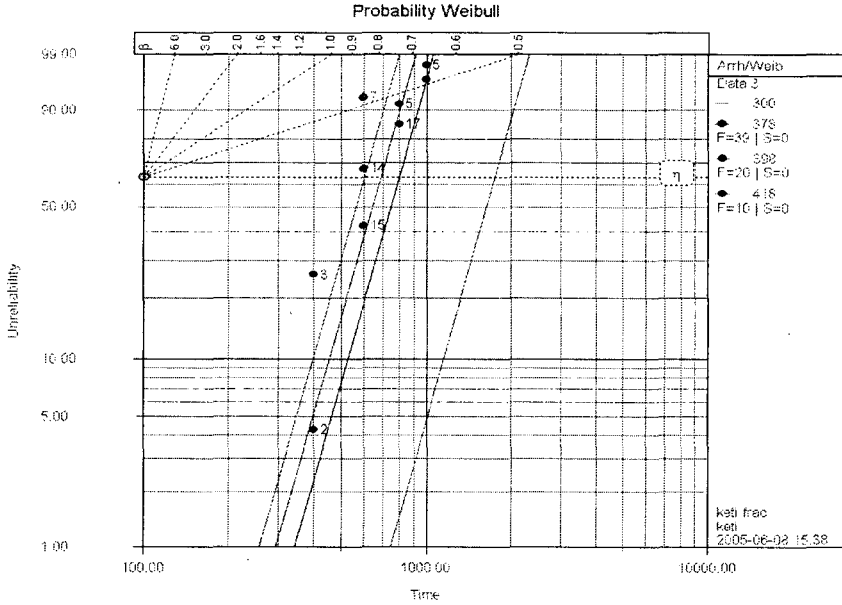
<그림 20> 가속고장분포(Acceleration Factor)



B=866.1601, C=78.8240

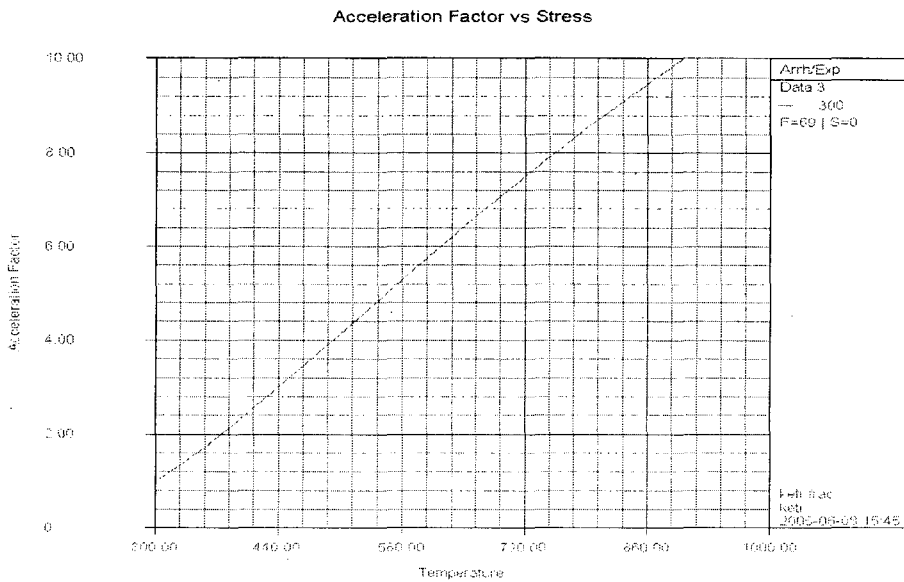
<그림 21> 수명분포(Mean Life)

마지막으로 국내 C업체의 경우를 보면 다음과 같다. $\beta = 5.4012$, $B = 1135.1050$, $C = 39.79$ Mean Life = 19367.366(h)임을 알 수 있다.



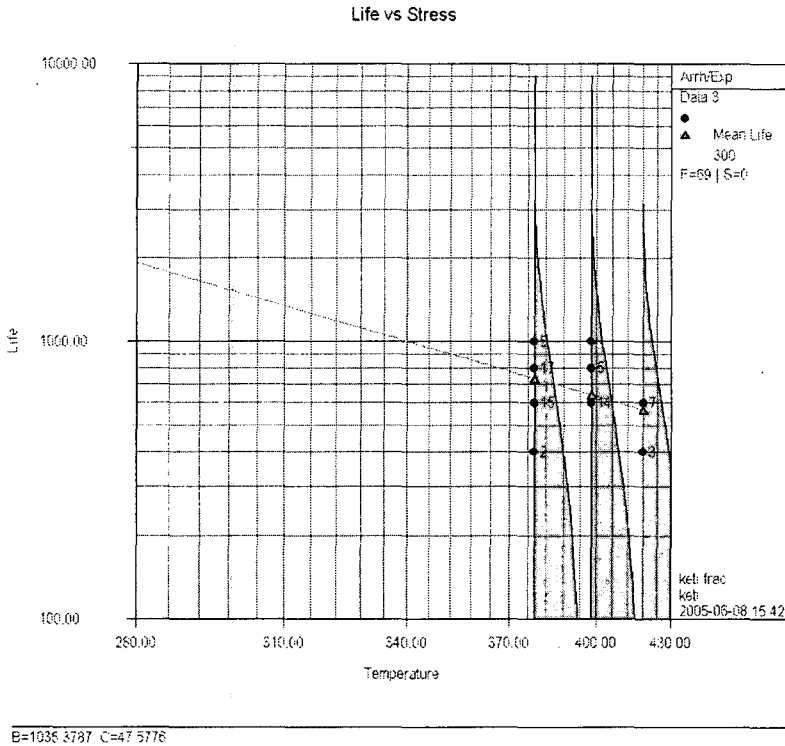
$\beta = 5.4012$, $B = 1135.1050$, $C = 39.7934$

<그림 22> 확률분포(Probability Distribution)



$B = 1055.3797$, $C = 47.5776$

<그림 23> 가속고장분포(Acceleration Factor)



<그림 24> 수명분포(Mean Life)

6. 시험결과 종합 및 이후 과제

본 연구에서는 일반적인 칩부품의 주 고장 형태는 제조 공정 중의 잠재적 불량(결함)이 존재하고, 이 잠재 불량이 내(외)부의 스트레스에 의한 우발고장 형태로 나타남을 가정하였다. 주된 고장 원인은 불균일한 내부전극 및 전극 연결부에 임계치 이상의 스트레스(전류, 온도)가 인가될 경우로 가정하였다. 주 고장분포함수를 우발적인 지수분포로 가정하였다.

또한, 이를 증명하기 위하여 칩제품(칩배리스터)에 대하여 가속수명시험을 설계하고 결과를 분석하였다. 시험결과는 칩배리스터에 의한 가속수명시험결과는 앞에서 가정한 내용과는 상반된 결과를 보이고 있다. 즉, 고장분포는 열화고장 형태를 보이고 있다. 이는 배리스터의 경우 작동조건이 정격전압(V)이고 흐르는 전류(누설전류)가 μA 정도로 매우 작은 것이 원인으로 분석되었다. 즉, 칩배리스터의 가속시험 결과는 가정으로 설정한 잠재적 불량인 한계전류 이상에서 고열에 의한 내부전극 단선의 우발고장 현상과 다른 형태의 고장

현상을 보이고 있음을 알 수 있다.

가속수명시험을 통하여 칩배리스터의 주 고장모드와 고장분포 등을 국내·외 업체의 제품에 대해서 비교 평가하였다, 또한, 시험 방법은 유사 칩부품의 시험 시 참조할 수 있을 것이다.

이후 과제는 통계적인 분석 외에 고장 물리에 따른 비파괴분석 및 파괴분석에 의하여 물리적인 고장원인을 더 연구해야한다. 또한, 위에서 언급한 정격전류에 의한 일반적인 칩부품의 고장모드를 확인하기 위한 추가 시험이 필요할 것으로 사료된다.

참 고 문 헌

- [1] M.S. Castro & C.M. Aldao(1996), "Different Degradation Processes in ZnO Varistors," Ceramic International 22 , 49-43.
- [2] M. Bartowiak, M.G. Comber, G.D. Mahan(1999), "Failure Modes and Energy Absorption Capability of ZnO Varistors," IEEE Trans. Power Delivery, Vol 14, No.1
- [3] K.G. Ringler, Peter Kirkby, C.C. Erven(1997), "The Energy Absorption Capability and Time to Failure of Varistors Used in Station-Class Metal Oxide Surge Arresters," IEEE Trans. on Power Delivery, Vol 12, p203 - 212.
- [4] J.C. Montenegro and J.L. Ramirez(1995), "Degradation of Zinc Oxide Varistors," IEEE.
- [5] Hui-feng Li, Shi-liang Wang&Yu-chun Xu(1993), "Degradation of ZnO Varistor and Its Dielectric Relaxation," Annual Report Conference on Electrical Insulation and Dielectric Phenomena, IEEE.
- [6] M.R. Meshkatoddini, A. Loubiere and A. Bui(1995), "Ageing study of ZnO-Based Varistors in Transformer Oil," IEEE 5th International Conference on Conduction and Breakdown in Solid Dielectrics, p498 - 500.
- [7] M.D. Huda, R. Puyane, M.A. Baradie(1998), M.S.J. Hashmi, "Failure Modeling for ZnO Varistors," J. of Materials Processing Technology, 77, 273-277.