

논문 2005-42TC-6-3

동기 시스템에서의 Clock Monitoring Logic 제안

(A Clock Monitoring Logic Suggestion at the Synchronous System)

윤 주 영*

(Joo-Yeong Yoon)

요 약

동기방식 System에서는 모든 하위 Block에서 동일한 시간정보를 유지하는 것이 중요하다. 대부분의 기능들이 기준 Clock 에 동기된 시간정보를 가지고 구현되므로 시간정보가 틀려지면 System에 치명적인 영향이 미치게 된다. 그러므로, 중요 Block 에서는 이러한 시간정보/Clock Signal의 정상 수신여부를 점검하는 부분이 꼭 필요하다. 본 논문에서는 Clock Signal을 점검하는 방법을 살펴보면서 발생할 수 있는 문제점에 대해 논하고 대안을 제시하고자 한다.

Abstract

It is important that we maintain the synchronous time-information with each other in the synchronous system. The most functions in the synchronous system need the time-information. If we have the wrong time-information, the system would operate incorrectly. So, we need to check if the time-information is correct or not in the important block of the synchronous system. In this paper, we will discuss how to check the clock signal and find some problem of it. Then, we will suggest the alternative plan.

Keywords : Clock, Signal, Monitoring, Logic

I. 서 론

동기 시스템은 여러 가지가 있겠지만, 본 논문에서는 동기방식 이동 통신 시스템의 기지국을 예로 다루고자 한다.

국내의 이동통신시스템 방식은 동기방식 CDMA 로 각 기지국은 GPS(Global Positioning System)로부터 동일한 시간정보를 수신하고 이를 이용하여 시스템이 운영되므로 시간정보에 이상이 있다면 시스템에 막대한

영향이 미치게 된다. 그러므로, 기지국에서는 시간정보의 정상유무를 살피는 것이 무엇보다도 중요하다.

본 논문에서는 이러한 시간정보의 정상유무를 검사하는 방법에 대해 살펴보고자 한다.

II. 동기 시스템에서의 Clock Signal Monitoring Logic

1. 이동통신시스템에서의 Clock Signal

그림 1에 기지국에서 Clock Signal의 흐름을 간략히 나타내었다. 기지국에서는 GPS 수신부로부터 1차적으

* 정회원, 서울통신기술(주), 통신시스템연구소
(SEOUL COMMTECH CO., LTD.)
접수일자: 2004년9월30일, 수정완료일: 2005년6월17일

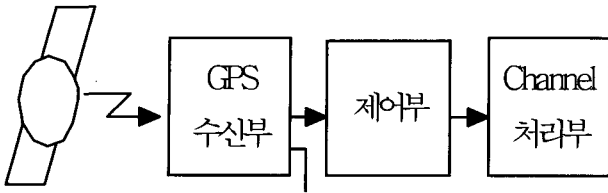


그림 1. Clock 전송 Path
Fig. 1. Clock Transmission Path.

로 필요한 Clock Signal들이 생성되어 이를 필요로 하는 Block으로 공급된다. 이를 수신한 Block에서는 Clock의 정상여부를 확인하고, 수신한 Clock을 이용하여 동기를 맞춘 새로운 Clock Signal을 생성하여 사용한다.

동기방식이므로 시간정보 오류발생은 통신 장애의 직접적인 요인이 된다. 그러므로, GPS에 동기된 Clock Signal을 사용하는 Block에서는 수신된 Clock Signal의 정상여부를 확인하는 것이 중요하다.

2. Clock Monitoring 방식

GPS 와 동기된 Clock Signal을 사용하는 Block에서는 수신된 Clock Signal을 대상으로 정상 수신 여부를 검사하게 된다. 제어부 및 필요로 하는 Block에서는 Clock Signal을 수신하는데, Block의 중요도에 따라서 1 Clock 주기에 이상이 있을 시 Alarm을 발생시키거나, 2 Clock 주기에 이상이 있을 시 Alarm을 발생시킨다.

Clock Signal이 수신되면 일반적으로 EPLD (Electronic Programmable Logic Device)로 입력되고 여기에서 Clock Signal의 정상 수신 여부를 판별함과 동시에 필요한 Clock Signal을 생성하게 된다.

그림 2에 Clock Monitoring Logic에 대한 사용 예를 단편적으로 나타내었다.

Clock Signal 수신부에서는 외부로부터 수신되는 Clock Signal (CLK_GPS)보다 2배 정도 빠른 Reference Clock Signal (CLK_EPLD)을 사용하여 Monitoring 한다.

기본적인 논리는, 2배 정도 빠른 Clock Signal (CLK_EPLD)이 3번 Rising-edge 상태에 도달하는 동안 검사하고자 하는 Clock Signal(CLK_GPS)은 적어도 한 번 High 상태에서 Low 상태로 또는 Low 상태에서 High 상태로 변화한다는 것이다.

Clock Signal을 사용하는 Block의 기능에 따라 Clock Signal에 이상이 있을 때 복원하는 능력이 상이한데 그

```

PROCESS (RESETALL,CLK_EPLD)
BEGIN
IF (RESETALL = '0') THEN
  CHKBIT0 <= '0';
  CHKBIT1 <= '0';
  CHKBIT2 <= '0';
ELSIF (CLK_EPLD'EVENT AND CLK_EPLD = '1')THEN
  CHKBIT0 <= CLK_GPS;
  CHKBIT1 <= CHKBIT0;
  CHKBIT2 <= CHKBIT1;
END IF;
END PROCESS ;

PROCESS (RESETALL, CLK_EPLD)
BEGIN
IF RESETALL = '0' THEN
  ALARM <= '0';
ELSIF(CLK_EPLD'EVENT AND CLK_EPLD = '1')THEN
  IF (CHKBIT0 AND CHKBIT1 AND CHKBIT2) = '1'
  THEN
    ALARM <= '1';
  ELSIF (CHKBIT0 OR CHKBIT1 OR CHKBIT2) = '0'
  THEN
    ALARM <= '1';
  ELSE
    ALARM <= '0';
  END IF;
END IF;
END PROCESS ;
  
```

그림 2. Clock Monitoring Logic(1).
Fig. 2. Clock Monitoring Logic(1).

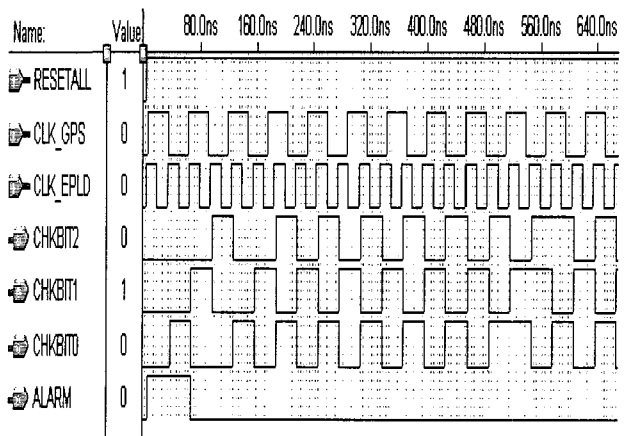


그림 3. Clock Monitoring Logic Simulation(1).
Fig. 3. Clock Monitoring Logic Simulation(1).

림 2의 예문에서는 1 Clock 주기 동안 Clock Signal에 문제가 있다면 Alarm을 띄우도록 하고 있다. 검사 규격을 완화시키고자 한다면 변수(CHKBIT0~2)의 개수를 늘리면 된다.

그림 3에 Simulation 결과화면을 나타내었다.

3. 그림 2. Clock Monitoring Logic의 문제점

앞서 Clock Signal을 Monitoring 하기 위해 수신되는 Clock Signal보다 2배정도 빠른 Reference Clock Signal을 사용한다고 하였다. 2배정도 빠르다면 수신 Clock Signal의 1 Clock 주기 동안 Reference Clock Signal은 2 Clock 주기 정도 자리 잡게 된다.

그림 3의 CLK_GPS Signal은 Duty-cycle이 50%이다. 그러나, 실제 수신되는 Clock Signal의 Duty-cycle은 $50 \pm 10\%$ 정도이다.

일반적으로 기지국에서 Clock Signal을 수신하여 사용 시 Rising-edge 또는 Falling-edge를 사용하므로 Duty-cycle 에는 크게 영향을 받지 않는다.

Clock Signal의 Duty-cycle을 60%로 하여 Simulation한 결과를 그림 4에 나타내었다.

그림 4에서는 파란색 지침선 부근에서 Alarm Signal이 발생되는 것이 확인된다.

Clock Signal은 규격에 맞게 수신되지만 Alarm이 발생된다. 이것은 허위 Alarm으로 기지국 운영에 바로 영

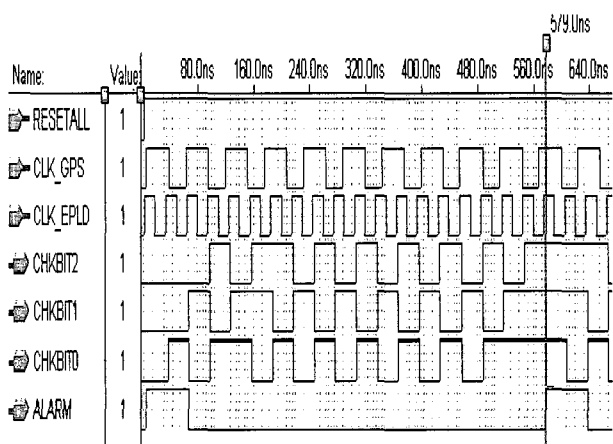


그림 4. Clock Monitoring Logic Simulation(2).
Fig. 4. Clock Monitor Logic Simulation(2).

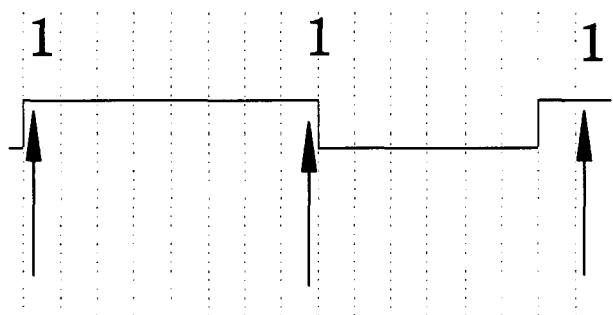


그림 5. Clock Monitoring Logic Simulation(3).
Fig. 5. Clock Monitor Logic Simulation(3).

향이 미치지지는 않으나 Alarm 체계의 신빙성을 떨어뜨리게 되어 시스템 운영에 있어서 확실성을 저해한다.

이와 같은 현상이 발생하는 원인은 Duty-cycle에 대해 고려되지 않았기 때문이다.

그림 5에서도 알 수 있듯이 주기가 긴 Signal의 반주기 안에 주기가 작은 Signal의 한 주기가 들어가게 되면 Clock Monitoring Logic에서는 그림 5와 같이 Monitoring 시점에 연속적으로 High 또는 Low가 되는 부분이 생기게 되고 Logic에서는 Signal이 없다고 간주하여 Alarm을 발생시키게 된다.

4. Clock Monitor Logic 대안 제시

그림 2의 Clock Monitoring Logic에서는 Reference Clock Signal이 Rising-edge가 될 때에만 수신 Clock Signal을 Monitoring 하면서 Signal의 정상 수신 여부를 확인하였기 때문에 Duty-cycle 관련된 시간차에 의해 Clock Signal의 정상 수신 여부 파악이 잘못되어 허위 Alarm을 발생시켰다.

다음에 제시하는 대안들은 이러한 Duty-cycle 차이에 대해 고려되었다. 대안들에서 사용하는 논리는 Reference Clock Signal을 사용하여 정해진 시간 동안에 검사하려는 Clock Signal의 상태변화가 있었는가를 점검하는 것이다.

가. 대안 1

그림 6에 대안1에 대한 내용을 나타내었다. 외부로부터 수신되는 CLK_GPS Signal이 Rising-edge가 될 때마다 CNT_GPS의 값을 증가시킨다. Reference Signal이 Rising-edge가 될 때마다 COUNT 값을 증가시키면서 2번째 Rising-edge 마다 CNT_GPS의 값을 보면서 직전 값 보다 증가했는지를 검사한다. 만일 CLK_GPS Signal이 1 Clock 주기 이상 수신되지 않았다면 CNT_GPS 값과 CNT_GPS3 값이 같아져서 Alarm을 발생시킬 것이다.

예문에서는 COUNT 값이 "01" 일 때 비교하고, 또 변수 CNT_GPS2~3이 사용되고 있다.

COUNT 비교 값과 CNT_GPS2~X 개수를 조정하면 Clock Signal의 검사 규격을 변화시킬 수 있다.

그림 7에 Simulation 결과를 나타내었다. 수신Clock Signal의 Duty-cycle을 조정하여도 기본 논리에는 이상이 없고, 수신 Clock Signal의 1 Clock 주기 동안 이상

```

PROCESS (RESET,CLK_GPS)
BEGIN
IF(RESET = '0') THEN
    CNT_GPS <= "00";
ELSIF(CLK_GPS'EVENT AND CLK_GPS = '1')THEN
    CNT_GPS <= CNT_GPS + '1' ;
END IF;
END PROCESS ;

PROCESS (RESET,CLK_EPLD)
BEGIN
IF RESET = '0' THEN
    COUNT <= "00";
    CNT_GPS2 <= "00";
    CNT_GPS3 <= "00";
    ALARM <= '0';
ELSIF(CLK_EPLD'EVENT AND CLK_EPLD = '1')THEN
    COUNT <= COUNT + '1';
    CNT_GPS2 <= CNT_GPS;
    CNT_GPS3 <= CNT_GPS2;
    IF COUNT = "01" THEN
        IF CNT_GPS = CNT_GPS3 THEN
            ALARM <= '1';
        ELSE
            ALARM <= '0';
        END IF;
        COUNT <= "00";
    END IF;
END IF;
END PROCESS;
    
```

그림 6. 대안 1 Clock Monitoring Logic
 Fig. 6. Clock Monitoring Logic for an alternative plan 1.

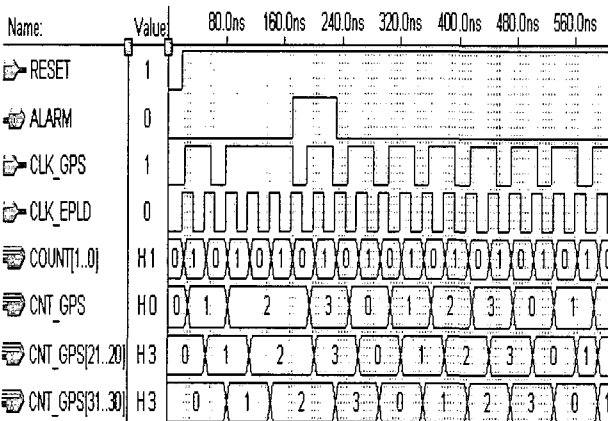


그림 7. 대안 1 Simulation.
 Fig. 7. Simulation of an alternative plan 1.

이 있을 시 Alarm을 발생시키고 있다.

나. 대안 2

그림 8에 대안 2에 대한 내용을 나타내었다.
 Reference Clock Signal(CLK_EPLD)이 Rising-edge

```

PROCESS (RESET,CLK_EPLD)
BEGIN
IF (RESET = '0' OR CHK_GPS = '1' ) THEN
    CNT_EPLD <= "000";
    RESET_CNT <= '1';
ELSIF(CLK_EPLD'EVENT AND CLK_EPLD = '1')THEN
    IF CNT_EPLD = "010" THEN
        ALARM <= '1';
    ELSE
        ALARM <= '0';
    END IF;
    CNT_EPLD <= CNT_EPLD + 1;
    RESET_CNT <= '0';
END IF;
END PROCESS ;

PROCESS(RESET,CLK_GPS,RESET_CNT)
BEGIN
IF(RESET = '0' OR RESET_CNT = '1') THEN
    CHK_GPS <= '0';
ELSIF(CLK_GPS'EVENT AND CLK_GPS = '1') THEN
    CHK_GPS <= '1';
END IF;
END PROCESS;
    
```

그림 8. 대안 2 Clock Monitoring Logic
 Fig. 8. Clock Monitoring Logic for an alternative plan 2.

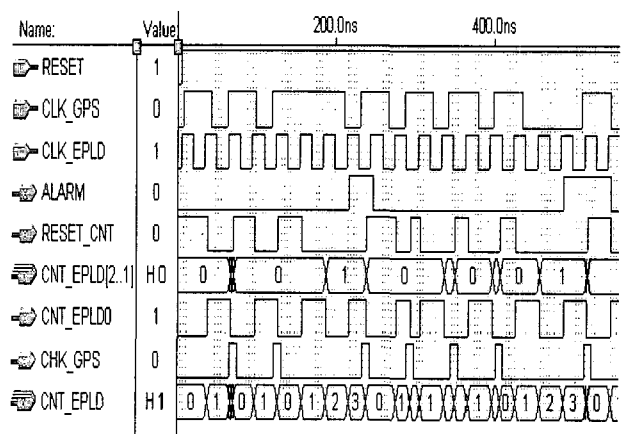


그림 9. 대안 2 Simulation.
 Fig. 9. Simulation of an alternative plan 2.

가 될 때마다 CNT_EPLD 값을 증가시키고, 이와 별개로 외부로부터 Clock Signal(CLK_GPS)이 수신될 때마다 CNT_EPLD 값을 초기화시킨다. Reference Clock Signal과 외부 수신 Clock Signal의 속도차이를 감안하여 CNT_EPLD 값이 최대로 증가할 수 있는 값을 정한

다. 그림 8에서는 이 최대 증가 값이 1 이다. 외부 수신 Clock Signal이 1 Clock 주기 이상 수신되지 않으면 CNT_EPLD 값은 1보다 커질 것이고 이때 Alarm이 발생한다.

CNT_EPLD 의 비교 값("010")값을 조정하면 수신 Clock Signal의 Alarm 발생 규격을 조정할 수 있다.

그림 9에 Simulation 결과를 나타내었다. 대안1과 마찬가지로 Duty-cycle에 무관하게 기본 논리에 벗어나지 않고 동작하고 있다.

다. 대안 1과 2 비교

ALTERA 사 MAX+II Tool을 이용하여 Compile 한 결과 중 자원사용에 대한 결과를 비교하여 보면 다음과 같다. Compile 시 Device는 EPM7032AELC44-4를 동일하게 적용하였다.

Clock Signal Monitoring Logic에 추가하여 여러 내용이 EPLD로 구현될 시 자원사용량에는 변화가 생기겠지만 표 1의 내용으로 보면 대안2에 대한 자원사용이 더 효율적임을 알 수 있다.

표 1. 자원 사용 비교

Table 1. Comparison between an alternative plan 1 and 2.

	Logic Cells	I/O Pins	Shareable Expanders	External Interconnect
대안1	9/32	5/32	2/32	9/72
대안2	6/32	6/32	2/32	6/72

라. 응용

앞서 제시한 예 및 대안들은 모두 Clock Signal 의 수신 여부만을 점검하였다.

대안1의 내용을 응용하면 Clock Signal의 수신 여부 뿐만 아니라 주파수 성분도 함께 점검할 수 있다.

그림 6에서 일정 시간(COUNT = "01") 마다 CNT_GPS 값을 보면서 값이 증가하는가를 보았다. 여기에서 기준 시간 값인 "01"를 매우 크게 하고, 이 시간 동안 CNT_GPS 값을 계속 증가시킨다. 정상적으로 Clock Signal(CLK_GPS)이 수신되고, 앞서 정한 시간 동안 CNT_GPS 값이 증가할 수 있는 값의 범위를 계산하여 정하고, 만일 CNT_GPS 값 검사 시 정한 값의 범위를 벗어난다면, 수신 Clock Signal에 문제가 있는 것이다.

정한 값보다 작다면 Clock Signal이 한 동안 누락되었거나 주파수가 느려진 것이고, 크다면 Glitch 성분이 있거나 주파수가 빨라진 것이라고 볼 수 있다.

III. 결 론

동기 시스템에서 Clock Signal은 매우 중요한 요소이므로 Clock Signal의 정상여부 확인은 무엇보다도 필요하다.

GPS Clock에 동기된 Clock Signal을 사용하거나 분배하여 주는 중요 Block에서는 수신된 Clock Signal을 점검하는 Logic을 꼭 포함하고 있다.

Clock Signal을 Monitoring하는 Logic은 여러 방법이 있겠지만, 본론의 그림 2에서의 예시 또는 이와 유사한 논리로 Signal을 검사하는 Logic에서는 허위 Alarm을 발생시킬 수 있다.

본 논문에서는 이렇게 문제점을 유발시킬 수 있는 Logic에 대하여 대안을 제시하였고, 이를 적용할 시 시스템을 보다 안정적으로 운영할 수 있다.

참 고 문 헌

- [1] HP59551 and HP58503A GPS Receivers Operating and Programing Guide <1998>, <HP>
- [2] MAX7000A Programmable Logic Device Data Sheet <September 2003,ver4.5>, <ALTERA>
- [3] CDMA2000 BSS CECA EPLD 설명서 <September 2001> <SEC,오테환>

— 저 자 소 개 —



윤 주 영(정회원)
2001년 한국항공대학교
항공통신정보공학과 학사 졸업.
<주관심분야 : BaseBand 신호처리>