

Zero Shrinkage LTCC 및 Embedded Passive 기술

글 _ 문제도 II 에이디엠티 주식회사
jdmun@ltcc-m.com

1. 서 론

현대의 정보화 사회에서 디스플레이, 이동통신, 메카트로닉스등 여러분야에서 괄목할만한 기술발전이 진행되어지고 있다. 꿈의 디스플레이라고 불리던 벽걸이 TV가 이미 상용화되어 가정용 수요가 점차 높아지고 있으며 PDP, LCD 등이 이러한 시장에서 경합을 벌이고 있으며 SED (Surface Emission Display) 및 OLED 기술의 발전은 기존의 평판 디스플레이 시장에 더욱 치열한 기술 경쟁을 예고하고 있다. LED를 이용한 LED lamp 및 LCD back light에 적용하는 기술, DMB (Digital Multi-Media Broadcasting)의 상용화, Watch phone 개발, 이동통신기 분야에서 더 얇고 다기능의 휴대폰의 기술 진보등 여러분야에서 새로운 기술의 발전이 더욱 가속화되어 진행되어지고있고 이를 뒷받침하는 package 기술은 3-D package, Wafer level package, SoP (System-On-a-Package)¹⁾ 기술 등 다양한 소자 기술에 대응된 패키지 기술에 대한 요구가 점점 높아지고 있다.

패키지 레벨에서 시스템을 구현하려는 SoP 기술은 SoC (System-On-a-Chip) 기술과 경합이 되어지는 부분도 있으나 상호 보완이 되어지는 영역도 존재하며 그 기술을 구현하는 기판재료에 따라 박막재료로 구현하는 방법, 적층 세라믹을 이용하는 방법, Organic 재료를 이용하여 구현하는 방법으로 나눌수 있다. 이러한 기술중에 적층세라믹을 이용하는 기술로 사용되어지는 LTCC (Low Temperature Cofired Ceramic) 기술은 지난 80년대 초반부터 주목을 받은 기술로서 기존의 HTCC (High

Temperature Cofired Ceramic) 전극 재료가 갖는 높은 저항에 의한 도체 손실에(conductor loss) 비하여 낮은 도체손실 및 낮은 유전체 손실등의 특징을 가지고 있으며 초기 의료 및 군수용에서 90년대 말 이동통신기술의 발달 및 시장 확대에 따라 이동통신 부품에의 적용 및 자동차 전장등으로의 응용등으로 그 적용범위를 넓히고 있으며 이 기술이 갖는 Embedded passive 구현 기술로 인하여 많은 연구와 관심이 모아지고 있는 분야이다.

현재 LTCC의 기술적 발전 추이를 살펴보면²⁾ Circuit density를 높이기 위한 fine patterning 기술, via 크기의 최소화, 높은 GHz 영역에서의 RF 특성 평가 및 구현, 보다 정밀한 shrinkage 조정 등의 노력들이 지속적으로 진행되어지고 있다. 본 기술해설에서는 이러한 LTCC 기술 분야에서 수율 향상, 원가절감 및 특성 향상등을 이끌수 있는 Zero shrinkage LTCC 기술에 대하여 살펴보고 SoP 기술을 구현하는 핵심 기술인 Embedded passive 기술에 관하여 논한다.

2. Zero-shrinkage LTCC 기술

적층형 세라믹 기판의 소성시 소성중 분말 사이의 공간을 여러 소성 기구에 (확산, viscous flow) 의하여 공간을 채우면서 X-, Y-, Z-방향으로 수축이 일어나게된다. 이때 이러한 수축율을 조절하여 일정한 수축율을 유지하면서 디자인한 회로 패턴을 정확히 조절하는 것이 적층형 기판 양산에 있어서 중요하게 관리되어져야하는 항목이다. Table 1에 일반적으로 알려진 상용화된 그린시트 시스템

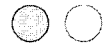


Table 1. 상용화된 Green Sheet 특성치

Property	951 ⁽¹⁾	943 ⁽¹⁾	A6M ⁽²⁾	A6-B ⁽²⁾	T8800 ⁽³⁾	CT 700 ⁽⁴⁾	T2000 ⁽⁵⁾	GCS78 ⁽⁶⁾
Available fired thickness (Mils)	3.8, 5.6, 8.5	4.5	3.7, 7.4	3.3, 6.7	3.5-15	3.6, 5.7, 7.9	3.8	
Dielectric constant	7.8	7.5	5.9	6.5	7.2	7.9	9.1	7.8
Loss tangent	0.15%	< 0.1%	<0.2%	<0.5%	<0.2%	<0.2%	<0.3%	<0.3%
Insertion loss (dB/in) @ 10GHz		0.12	0.18	<0.35	<0.5			
Flexural strength (kpsi)	28.3	17.1	17.1	17.1	40.6		36	40
CTE (ppm/C)	5.9	6	7.5	9-10	6	6.7	5.6	5.2
Shrinkage								
X, Y	13+/-0.2%	9.5+/-0.3%	15+/-0.2%	14.5+/-0.2%	12+/-0.2%	15+/-0.2%	10.90%	13.2+/-0.3%
Z	15+/-0.5%	10.3+/-0.5%	25+/-0.5%	35+/-0.5%	14+/-0.5%	25+/-0.5%	14.70%	15+/-0.2%

(1) Du Pont (2) Ferro green sheet (3) EMCA (4) Heraeus (5) Motorola (6) NEC

의 특성치에 관하여 정리하였다. Table 1 에 나타난 바와 같이 실제 Shrinkage는 기본적으로 어느 정도 범위의 tolerance를 가지고 있으며 주어진 circuit pattern/density 및 via density 에도 영향을 받게 되므로 실제 생산시는 이에 대한 고려도 함께 이루어져야 하며 이러한 shrinkage 차이는 기판의 크기가 커짐에 따라 그 변화량이 더 커지게 되므로 이러한 shrinkage 조절이 더욱 중요하게 된다. 이에 반하여 일반적인 LTCC의 경우와 비교하여 Zero-shrinkage로 수축거동을 보이는 경우는 그 수축을 편차가 크지않고 소성시 기판 크기의 감소가 없게 되어 그에 따른 제조원가 개선 및 양산성 향상에 도움을 주게된다.

Zero-shrinkage LTCC 는 소성중에 X-, Y- 방향으로의 소성을 억제하는 구속력을 줌으로써 소성이 Z 방향으로만 일어나게 만들어 zero-shrinkage를 구현하는 것이다. 이러한 구속력을 주는 방법으로는 금속기판을 사용하여 수축을 막아주는 LTCC-M (Low Temperature Cofired Ceramic on Metal) 구조를 이용하는 것, 소성시 위아래 층에 (Top/bottom plane) X-, Y- 방향으로 소성을 억제하여주는 희생층 Inert layer를 사용하여 소성시키거나 압력을 가하여 X-, Y- 방향으로의 소성을 억제하는 방법, 조성조절을 통한 자체 구속에 의한 내부 Inert layer를 이용하여 제작하는 것으로 크게 3 가지 부류로 나눌수있다.

2.1 LTCC-M (Low Temperature Cofired Ceramic on Metal) 기술

LTCC-M 구조는 그린시트와 금속 기판을 함께 적층하여 동시소성을 시킴으로써 금속기판에 의하여 그린시트 소성중에 소성을 X-, Y- 방향으로 억제함으로써 zero-

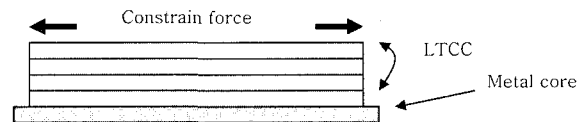


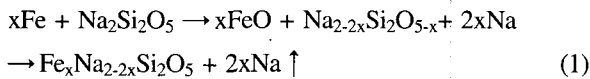
Fig. 1. LTCC-M 구조에 의한 모듈.

shrinkage를 구현하게 된다. Fig. 1에 LTCC-M 구조를 도식적으로 나타내었다.

이 방법에서 Zero-shrinkage를 구현하기 위하여는 금속 기판과 LTCC 부분이 소성과정 중에 결합이 이루어져야만 그 결합력이 실제로 glass-ceramic 부분의 X-, Y- 방향으로의 소성을 억제함으로써 zero-shrinkage를 구현하게 된다.

일반적으로 이종 물질간의 결합중, 금속/세라믹 접합에서는 기계적인 결합, 열역학적인 반응에 의한 결합 등 여러가지 기구에 의하여 결합이 되어지고 있다. Ceramic의 경우는 내부원자간 결합 방식에 따라 이온성 결합, 공유성 결합등으로 나눌수 있는데 금속과의 결합은 이러한 내부 원자 배열 특성을 갖는 세라믹 재료의 내부 구조에 의하여 금속이 세라믹과 원자간 거리만큼 근접하게되면 금속 내부에서의 electron distribution의 변화 및 이에 따른 원자간 결합을 통하여 결합이 이루어진다. 이에 반하여 LTCC-M 구조에서 실제 적용되어질 금속/glass 혹은 금속/glass-ceramic 의 접합은 금속 표면의 oxide를 사이에 두고 금속과 금속 산화물, 그리고 금속 산화물과 glass 성분사이의 결합으로 결합이 이루어지게되는데 금속 표면의 산화물을 glass에서 충분한 용해도를 갖고 용해가 되어지면서 그에 따른 chemical bonding이 glass와 이루어지게 된다.

Fig. 2에 모델 시스템으로 $\text{Na}_2\text{Si}_2\text{O}_5$ 및 Fe 시스템에 관하여 도시하였다. 초기 계면에서는 산화물을 경계로 금속과 유리성분으로 구성되어 있다. 계면에서의 산화물이 유리 성분에 의하여 완전히 고용 되어지면 금속과 유리 사이에 계면이 형성되어지게 되고 지속적인 접합이 이루어지기 위하여는 Redox 반응에 의하여 금속기판이 산화되어 산화물 층을 만들고 유리성분 중에 일부를 환원시키는 반응을 일으켜 새로운 산화막을 형성시켜야한다.³⁾



위의 반응을 유도하기 위하여 소성중의 산소분압등을 조절하여 반응이 진행되어지는 방향으로 유도하여야한다. 만약 위의 유리 성분중에 미량의 CoO 가 존재하게 되면 Fig. 3에 도시된 것과 같이 국부적인 산염기 반응이 성립되어 FeCo 화합물을 형성하면서 glass 내부에 dendrite 형태의 결정 성장이 이루어져 금속-glass 결합력이 더욱 증가하게 된다.

위에 열거한 여러 접합 기구들이 적용되어질 수 있는 조성과 공정 조건에 의하여 금속기판과 LTCC 부분에서

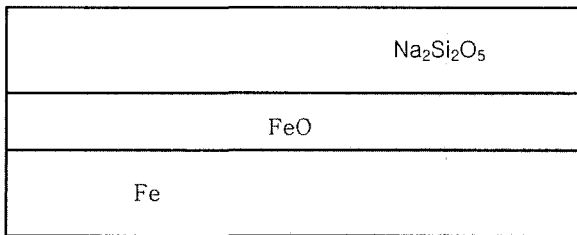


Fig. 2. 금속/glass 계면 (FeO 층 존재).

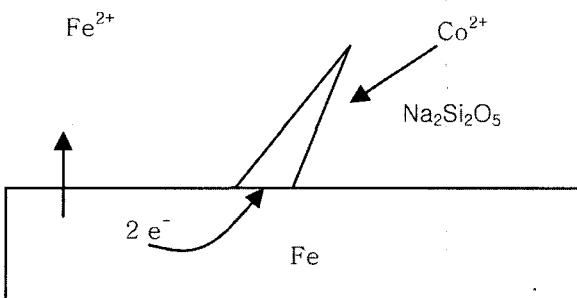


Fig. 3. Redox reaction (FeO 층이 완전히 유리층에 고용된 경우).

결합이 이루어져 실제 소성시 Zero-shrinkage LTCC-M 구조를 완성시킬 수 있게 된다.

LTCC-M 구조에서 가장 중요하게 고려되어야할 사항은 LTCC와 금속 기판 사이의 열팽창 계수 차이이다. 금속기판과 Glass-ceramic 층이 긴 관상구조를 갖는다고 (Fig. 4) 가정하면, 실제 열팽창 계수 차이에 의하여 LTCC-M 기판은 다음과 같은 열응력을 받게 된다.

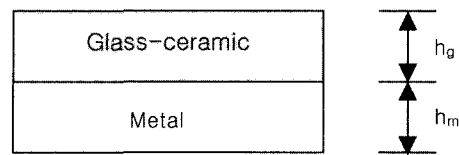


Fig. 4. 금속과 glass-ceramic 접합.

$$\sigma_g = (\alpha_g - \alpha_m) \Delta T / \{ (1 - \nu_g) / E_g + (h_g / h_m) (1 - \nu_m) / E_m \} \quad (2)$$

$$\sigma_m = (\alpha_g - \alpha_m) \Delta T / \{ (1 - \nu_m) / E_m + (h_m / h_g) (1 - \nu_g) / E_g \} \quad (3)$$

$$\Delta T = T_{\text{high}} - T_{\text{low}}$$

σ_g : Stress in the glass-ceramic

σ_m : Stress in the metal

α_g : Coefficient of thermal expansion of glass-ceramic

α_m : Coefficient of thermal expansion of metal

E_g : Young's modulus of glass-ceramic

E_m : Young's modulus of metal

ν_g : Poisson's ratio of glass-ceramic

ν_m : Poisson's ratio of metal

이러한 금속기판과 LTCC 부분의 열팽창 계수차이는 위의 응력에 의하여 기판전체에 영향을 미치며 이러한 응력에 의하여 기판의 휨 (Camber) 현상을 야기시키거나 그 값이 큰 경우는 금속과 glass-ceramic 기판의 계면 혹은 glass-ceramic 기판 자체에 균열을 유도할 수도 있다. 따라서 LTCC 조성 설계에 있어서 금속기판과의 열팽창 계수를 사용될 조건에 맞는 camber level을 갖도록 조성 설계를 하여야한다. Fig. 5에 LTCC 조성 중 filler 성분의 상대적 성분비를 조절하여 열팽창 계수가 조정된 여러 시스템의 열팽창 계수를 나타내었다.

금속기판으로 사용되어질 수 있는 금속종류로는 Kovar, Ni42 Alloy,⁴⁾ 스테인레스 스틸, Cu/Mo/Cu, Ti, Cr 등을

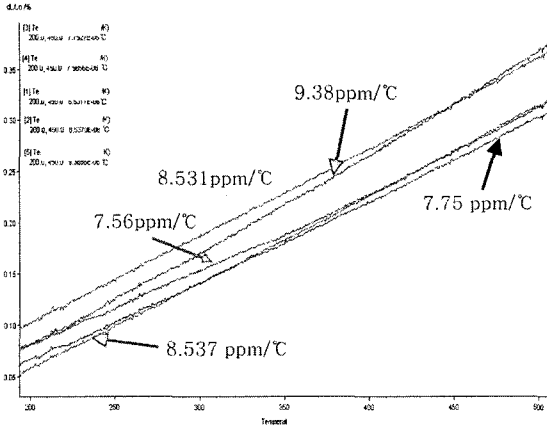


Fig. 5. Filler 상대비에 따른 열팽창 계수 변화.

이용하여 LTCC-M 구조로 응용할 수 있다. 스테인레스 스틸의 경우는 접합이전에 열처리를 통하여 표면에 치밀한 CrO₂ 산화막을 형성시키고 이러한 산화막과 LTCC 조성중의 glass-ceramic과의 화학적결합을 통하여 강한 접합을 이루게 된다. 금속기판이 Cu/Mo/Cu의 경우는 Cu 층과 Mo 층의 상대적인 두께를 조절하여 열팽창 계수를 조절할 수 있는 장점이 있으나 금속 기판의 원가가 높은 점이 고려되어야 할 사항이다. 그리고 Kovar 및 Ni 42 alloy의 경우는 430 °C 근방에서 열팽창 계수의 변화가 있으므로 LTCC의 열팽창 계수는 실제소성 온도까지의 열팽창 계수 평균값과 근사한 값으로 그 재료 조성 설계를 하여야한다.

LTCC-M 기술의 장점은 zero-shrinkage를 구현한다는 점, 금속 기판의 기계적 보강으로 인하여 전체적인 모듈의 강도가 높아지는 점, 금속부분에 의하여 열전도도 향상을 가져올 수 있다는 점등이 있다.

그러나 singulation 시 금속 부위가 함께 절단이 되어야 하는 원가상의 비용증가와 기본적인 금속 부분이 차지하고 있는 두께 만큼을 차지하고 있어 공간적으로 차지하고 있는 두께방향의 기본공간이 필요하다는 점, 한쪽 면을 그라운드면으로만 사용하여야만하는 단점이 있다. 그러나 마지막에 지적되는 부분에 대하여는 금속 기판자체가 Shield 역할을 하는 부분과 부품조립시 양쪽면 중, 한쪽면을 위치표시와 핸들링하는 것으로만 사용하면 이러한 응용분야에서는 LTCC-M 구조가 장점으로

인식되어질 수 있다. 즉 응용하는 부품에 따라 장점과 단점인 부분이 서로 상쇄되어 그 응용 범위를 정할 수 있게 된다.

이러한 LTCC-M 기술을 이용하여 Heater block 이나 자동차 전장등에 응용하여 사용되어질 수 있으며 Fig. 6에 LTCC-M 구조로 제작된 가입자 모듈을 예시하였다. Lamina Ceramics 에서는 LED package에 응용하여 Lamp 용 LED package 제작에도 사용하고 있다.

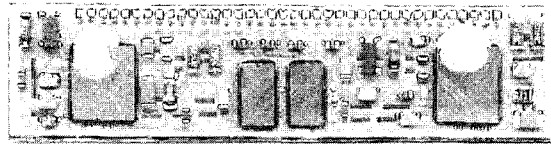


Fig. 6. LTCC-M 가입자 모듈.

2.2 Inert layer 를 사용하여 zero-shrinkage를 구현하는 방법

Zero-shrinkage를 구현하기 위하여 구속력을 주는 방법으로 금속 기판을 사용하지 않고 소성중에 압력을 주어서 구속하는 방법 (Pressure Assisted Sintering)⁵⁾이나 양쪽 부분에 소성온도가 높은 powder를 사용한 그린 시트를 이용하여 다른 LTCC 층과의 소성시 X-, Y-방향으로의 소성을 억제함으로써 zero-shrinkage를 구현할 수 있다.⁶⁻¹⁰⁾ 이때 사용되어지는 powder 는 Al₂O₃, ZrO₂, MgO, CeO₂, BN 등 여러종류의 것을 사용할 수 있다. Glass의 경우도 Softening point가 높은 경우 소성 온도에서 소성이 일어나지 않는 조성으로 위아래 부분에 해당하는 층에 사용할 수 있다. 이와 같은 powder와 바인더 및 solvent로 형성된 그린시트를 사용하여 함께 적층하여 소성시킴으로써 위아래 부분에 해당하는 층에서는 소성이 일어나지 않으면서 표면에서 일종의 마찰력에 의한 내부 LTCC 부분의 소성시 X-, Y- 방향으로의 수축을 억제하는 효과를 보이게 된다.

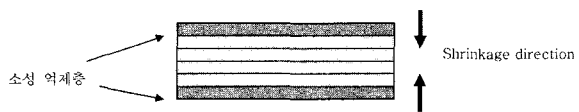


Fig. 7. Inert layer를 사용한 zero-shrinkage LTCC 소성시 수축 방향.

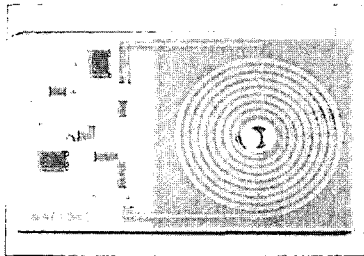


Fig 8. Zero-shrinkage LTCC 기술을 이용하여 제조한 prototype DC-DC converter 용 module.

최종 소성 후, 표면에 있는 소성 억제층으로 사용된 부분은 실제 소성이 이루어지지 않으므로 쉽게 제거가 될 수 있다. 이러한 공법을 이용하여 flip chip bonding에 사용되어지는 bump 형성에 관한 논문도 보고되어 있으며¹¹⁾ 이와같은 공법을 이용하여 EPCOS 등에서 LTCC 제품 생산에 응용하고 있다.

그러나 이러한 방법에 있어서는 표면층으로 사용되어진 powder 들과 LTCC 부분에 반응이 일어나면 그 층을 쉽게 제거하기 어려워 후공정에 영향을 미치게되므로 이 부분에서의 조절이 필요하다.

2.3 내부 구속에 의한 Zero-Shrinkage 구현하는 방법

마지막으로 내부 조성을 조절하여 constrain에 의하여 X-, Y-방향으로의 수축이 억제 됨으로써 Z-방향으로만의 수축이 일어나게 하여 Zero-shrinkage를 이루는 방법이 있다. Heraeus에서 발표한 HeraLock^{TM 12,13)} green sheet의 경우는 내부 조성 조절에 의하여 Z-방향으로만의 수축이 일어나게되며 수축율은 0.2% (Tolerance +/- 0.04%)의 값을 보이는 것으로 보고되고 있다.

Zero shrinkage의 경우는 일반의 LTCC가 X-, Y- Z 방향으로 수축이되어지지만 Zero-shrinkage LTCC의 경우는 수축이 Z-방향으로만 이루어지므로 내부 conductor 및 via 특히 via 조성 설계에서 이러한 shrinkage를 고려하여 조성설계가 되어야한다. 즉 일반의 LTCC 시스템들은 X-, Y-, Z- 방향별로 10 % 내외의 수축율을 보이지만 Zero-shrinkage의 경우는 Z- 방향으로만 수축이 진행되어 일반 LTCC 시스템보다 Z-방향으로의 수축이 더 크게일어나게된다. 특히 일반 LTCC 구조의 Via의 경우는 X-, Y-,

Z-방향으로의 수축이 고려되어 조성이 설계되어있으나 zero shrinkage LTCC의 경우는 via의 구조에서도 Z-방향으로의 shrinkage만이 고려되어야하므로 via 조성 설계에 있어서도 이 부분이 고려된 조성설계가 이루어져야 한다.

Zero shrinkage 기술은 pattern 형상의 균일성이 중요시되는 RF 부품 및 표면에서의 assembly 에서 표면 pattern의 위치가 중요한 부분 특히 Flip chip bonding에서와같이 pad의 위치가 중요한 경우 더욱더 shrinkage control의 중요성이 강조되어지는 부분에서 장점을 지니게 된다.

3. Embedded Passive 기술

이동통신기기, 마이크로 디스플레이등 작고 다기능의 요구하는 전자기기의 경우, 사용되는 칩의 집적도는 증가하면서 여러 새로운 기능들의 추가로 인하여 수동소자의 활용도는 여전히 중요하게 인식되어지고 있으며 현재의 모듈 개발에 있어서의 연구 동향은 가능한 많은 수동소자를 모듈 내부에 실장하려는 방향으로 연구가 진행되고 있다. 내부에 이와같이 수동소자를 실장시키는 경우 개별소자를 SMD 형태로 실장하는 경우에 비교하여 solder point의 감소에 의한 신뢰성 향상, Assembly 공정의 단축, solder point에 의한 회로간의 간섭현상의 감소, solder point에서의 인덕턴스 현상 야기 등의 문제 감소 등의 효과가 있다.

일반적으로 각 회로에서 요구하는 수동 소자에 요구되는 값 및 편차와 다른 요구사항은¹⁴⁾ 다음 Table 2에 정리하였다.

Table 2에서 나타난 바와같이 응용분야에 따라 그 요구되는 값의 크기와 편차가 차이가 있게된다.

Decoupling capacitor나 초크 인덕터의 경우는 허용편차가 10~20% 정도의 편차값을 가져도 적용이 가능하지만 필터 등에 사용되는 캐패시터와 인덕터의 경우는 10% 이하의 편차를 요구하고 있다. RF에 응용되어지는 부분에서는 그 값이 작으나 매칭 회로를 구성하기 위하여 임피던스 매칭의 요구가 크며 이를 위하여는 회로소자들의 크기가 정확히 조절 되어져야만한다. 또한 소자들의 SRF 값이 사용하는 주파수 보다 높아야하므로 소

Table 2. Requirements for Embedded Passives¹⁴⁾

Application		Value range	Tolerance (%)	Other requirement
Digital application	Decoupling capacitors	0.01 - 0.1 mF	10 - 20	Low series inductance
	Pull-up/down resistors	1 - 30 KΩ	10 - 20	
	Terminating resistors	20 - 100 Ω	1 - 10	
	Capacitors	10 - 100 pF	10 - 20	
	Filter resistors	1 - 10 MΩ	20	
Analog and Mixed-signal application	Resistors	10 - 100 MΩ	1 - 10	Tightly matched ratios
	Signal capacitors	10 pF - 10 nF	5 - 10	Tightly matched ratios
	Decoupling capacitors	0.01 - 0.1 μF	10 - 20	
	EMI filter capacitors	1 - 10 nF	10 - 20	
	Choke inductors	1 - 10 μH	10 - 20	
RF and Microwave application	Signal inductors	1 - 20 nH	1 - 10	High Q and self-resonant frequency
	Signal capacitors	1 - 20 pF	5 - 10	High Q and self-resonant frequency
	Decoupling capacitors	0.01 - 0.1 μF	10 - 20	Low series inductance
	Choke inductors	1 - 10 μH	10 - 20	High Q and self-resonant frequency
	Terminating resistors	20 - 100 Ω	1 - 10	
	Signal resistors	10 - 100 Ω	1 - 10	Tightly matched ratio

자의 parasitic 효과들을 가능한 줄이는 구조로 회로설계 및 재료 조성 설계가 이루어져야 한다.

LTCC 시스템에서 내부 실장 수동소자의 구현 방법으로는 주로 스크린 프린팅 방법에 의하여 소자를 구현한 후 소성하여 이루어지게 되므로 내부실장소자 값들의 편차는 후막기술 및 다층 세라믹 소성 기술의 한계에 의하여 결정되어진다. 이때 소자 제조시의 공정 편차를 줄이기 위하여 포토 공정을 이용하여 보다 정확하게 크기를 조절할 수 있으나 이 경우 공정상의 원가 상승이 있으므로 원하는 공정 허용 공차와 제조 원가와의 절충을 취하여야 한다.

3.1 Resistor

저온동시소성세라믹 적층 기판에 사용되는 저항 페이스트는 전도성 성분, 절연상인 glass frit, TCR modifier로 이루어진다. 전도성 성분으로는 AgPd, RuO₂, IrO₂, Bi₂Ru₂O₇, Pb₂Ru₂O₆, Ag-Pd-PdO 등 여러가지 성분계가 있으며 전도성 성분과 절연성분의 상대적인 비율에 따라 수십 Ω/sq. 에서 수 MΩ/sq. 까지의 sheet resistance를 구현할 수 있다. 이러한 저항들의 요구특성으로는 TCR (Temperature Coefficient of Resistance), VCR (Voltage Coefficient of Resistance), STOL (Short Term Overload Voltage) 등이 있으며 신뢰성 시험 항목을 모두 거쳐야 한다.

일반적으로 저항값은 다음의 식으로 나타내어진다. (Fig. 9)

$$R = (\rho/t) (l/W) = R_s(l/W) \quad (4)$$

ρ : volume resistivity

t : thickness of resistor

R_s : sheet resistance

l : length of resistor

W : width of resistor

위의 식에서 저항의 크기를 결정하는 저항의 길이, 폭 및 두께의 경우는 스크린 프린팅시의 공정 및 스크린 재질등에 의하여 결정되어지지만 LTCC의 경우는 동시소성시의 주위의 반응의 영향에 대하여 고려하여야 하고 sheet resistance 자체의 변화 요인에 대한 분석이 공정편차를 줄이는 것과 함께 이루어져야한다. 저항체의 구조는 전도성 성분과 그 주위를 유리성분이 감싸고 있는 구조를 취하고 있으며 저항체의 전기전도 기구는 전도성 물질인 RuO₂에서 유리질성분을 터널링 혹은 hopping을 통하여 전도가 이루어지고 있다고 보고있다. 기존의 알루미늄 소성기판상에 구현하는 HIC 등과는 달리 LTCC에서는 저항이 그린시트와 동시소성되면서 그린시트 부분의 유리 성분과 저항체 내부의 유리성분 또는 전도성

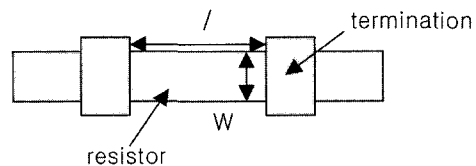


Fig. 9. Schematic diagram of resistor.

성분과 반응을 하여 저항값에 영향을 미치게 된다. 이와 같은 저항 특성은 RuO₂의 모양 및 입도 분포 frit glass의 평균입도 크기, 그린 시트 및 주위 전극와의 반응 관계, 압력 분포 등 여러 요소에 의하여 결정되어 지므로 이러한 재료 특성과 공정 조절에 주의를 요한다. 저항에 사용되는 frit glass 크기의 영향을 살펴보면, frit glass의 입자 크기가 큰 경우 RuO₂로 이루어지는 전도 경로를 형성하는 저항의 cell boundary의 두께가 입자 크기가 작은 경우에 비교하여 크게 되고 전체 저항값은 frit glass크기가 큰 경우가 저항값이 낮게되므로 이에대한 고려가 필요하다.¹⁵⁾ 그린시트와 저항간의 반응과 관계되는 사항으로, 저항을 내부실장시키는 경우와 표면에 올리는 경우의 저항값 차이가 발생할 수 있다. 이러한 저항값 차이에 대한 설명으로 내부에 실장 되는 경우 주위 그린시트를 구성하는 성분 중의 유리 성분과의 상호 반응에 의하여 저항값의 변화를 보여주고 있다고 한다. 즉 저항이 내부에 실장되는 경우와 표면에 제조되어지는 경우 주위의 그린시트와 반응되어지는 면적의 차이가 있으므로 이와 같은 반응에 의하여 표면의 저항보다 내부에 실장되어진 경우의 저항 값이 높아지게되는데 이와 같은 저항값의 차이는 RuO₂의 양에 따라 그 저항값의 차이 간의 변화도 달라지게된다. 또한 저항내의 공공(void)의 존재로 이를 설명하는데 표면 저항의 경우는 표면이 소성중에 대기와 접한 부분에서의 소성시 공공 감소에 의하여 낮은 저항값을 갖는다고 설명하고 있다.¹⁶⁾ 앞에서 설명과 비슷한 논리로 내부에 배치되어지는 층위치와 적층시의 압력의 크기에 의하여 반응하여지는 정도 및 공공생성 빈도수가 영향을 받으므로 저항값의 변화에도 영향을 미치게 된다. 저항체는 주위의 그린 시트와의 반응에 의하여 저항값이 영향을 받지만 저항의 크기를 정의하여주는 termination electrode와의 반응에 의하여도 저항값이 영향을 받게된다. 저항의 sheet resistance 값이 높은 경우는 termination electrode로부터 Ag가 저항체 내부로 확산하여 저항값을 낮추게 되므로 저저항과 고저항의 경우 termination electrode의 paste 성분 조절이 필요하다.

저항값의 주파수 특성을 살펴보면, 저항 값이 낮은 경우 저항체를 이루는 RuO₂의 양이 상대적으로 유리 성분

보다 높고 이는 내부의 인덕턴스의 효과를 저항값이 높을수록 내부에 존재하는 유리 성분의 비율이 높아지고 이것은 캐패시턴스의 기생효과를 나타내어 자체 저항에 작용하게 된다. 또한 이와같은 저항 자체의 다른 기생 성분 뿐 아니라 회로적으로 termination electrode와 주위 ground plane와의 기생 캐패시턴스 등의 주위 소자와의 parasitic 효과도 존재하게 된다.¹⁷⁾ Table 3에¹⁸⁾ 저항 구현시 고려하여야할 사항에 대하여 정리하였다. Embedded resistor를 구현할 때, 일반적인 LTCC 제조공정을 적용하는 경우, X-, Y- 방향으로의 shrinkage를 고려하여 그 성분 조성을 맞추어야한다. 즉 이러한 shrinkage가 차이가 있을 경우, 저항 주위에서 국부적인 수축을 차이에 의한 요철이 발생하게 된다. 따라서 그 조성 설계에서 이와 같은 부분에 유의하여야한다. 이에 반하여 Zero-shrinkage의 경우는 X-, Y- 방향으로의 shrinkage를 고려하지 않아도 되므로 내부 저항 조성에서 Zero-shrinkage에 의한 constrain stress를 줄일 수 있는 조성인 경우 열팽창 계수 조절에 조성설계에 주의를 요한다.

3.2 Capacitor

캐패시터를 구현하는 방법으로는 그린시트를 이용하여 구현하는 방법과 페이스트를 이용하여 구현하는 방법으로 나눌 수 있다. 그린시트 자체를 이용하여 구현하는 방법은 그린시트 각각의 층을 유전체 층으로 이용하여 그 층 자체와 아래층에 서로 대응하는 전극을 형성하여 적층함

Table 3. 저항 구현시 중요 영향 요소¹⁸⁾

Device property	Key determinants
Resistance R (W)	Sheet resistance, Width and length
Temperature coefficient (ppm/°C)	Sheet resistor material
Tolerance (%)	Resistor thickness Pattern line width variation
Maximum power, P _{max} (W)	Resistor line width Substrate thermal conductivity
Maximum resistor density, D _R (W/cm ²)	Sheet resistance, minimum line and space size
Series inductance, L _s (H)	Resistor length, width, thickness
Parallel capacitance, C _p (F)	Resistor area, substrate and encapsulant dielectric constant
Resistance to ground, R _G (W)	Substrate conductivity (loss tangent)
Capacitance to ground, C _G (F)	Separation from ground plane, substrate dielectric constant



으로써 캐패시터를 형성하는 것이다. 페이스트를 이용하여 구현하는 경우는 하부 전극, 유전체 부위, 상부 전극을 스크린 프린팅 방법에 의하여 구현하여 적층하여 캐패시터를 형성한다. 전극의 형태에 있어서는 판상의 전극과 interdigital 형태의 전극을 형성하여 캐패시터를 제작할 수 있다. 캐패시턴스값은 다음과 같은 식으로 표시될 수 있다.

$$C = \epsilon A / t \quad (5)$$

ϵ : dielectric constant

A : area of electrode

t : dielectric thickness

위의 식에서 알 수 있듯이 캐패시턴스 값의 편차는 유전체두께 및 유전체 자체의 성분 차이에서 기인하는 유전률 변화 및 전극의 크기에 의하여 결정되어지게 된다. 이때 값 편차에 가장 영향을 많이 미치는 부분은 유전체 두께 편차이다. 유전체 시트를 이용하는 경우는 페이스트를 이용하여 캐패시터를 구현하는 것보다 두께 편차가 적어 그 편차값이 적으나 시트의 유전율 자체를 높여 사용하는 경우 그 층 전체의 parasitic term이 커지는 단점이 있고 페이스트를 사용하여 캐패시터를 구현하는 경우는 국부적으로 유전율이 높은 것을 사용하여 전체적인 parasitic term은 적으나 두께 편차에 의한 캐패시터 값의 변화와 표면에서 캐패시터가 높은 부분에 대응하는 부분의 요철에 의하여 SMD 부품 조립에 영향을 미치므로 이에 대한 고려가 필요하다.

내부실장 캐패시터 제조에 있어서 유의하여야 할 사항들은 유전체 내부의 pin hole 방지, 소결을 위한 sintering aid 양과 capacitance 값, electrode와 green sheet 상호간의 반응에 관한 고찰등이 수반되어야 한다.¹⁹⁻²¹⁾ 또한 캐패시터의 적층시의 압력 분포에 따른 캐패시턴스 값의 영향을 받으며 따라서 내부실장되는 층간 위치에 따라 값 자체의 변화가 있으므로 이에대한 고려를하여 위치를 정하여야 한다. 캐패시터 층의 열팽창 계수 역시 내장 캐패시터를 구현하기 위하여 고려되어야 할 중요한 사항의 하나이다. 즉 이 캐패시터가 다른 그린시트와 동시소성이므로 만약 열팽창 계수 차이가 있는 경우 이 열팽창 계수 차이에 의한 열응력에 의해 소성 후 모듈 변형 및

파괴가 일어날 수 있으므로 열팽창 계수 조절이 조성설계에서 중요하게 고려되어야 한다.

캐패시터의 경우도 저항의 경우와 같이 전극에서 발생하는 기생 효과를 회로적으로 고려하여야 하고 전극에 의한 기생 인덕턴스와 주위의 ground plane과의 shunt capacitance를 나타내고 있다. 캐패시터의 경우 상하부 전극과 ground plane 사이에 새로운 shunt capacitor가 성립되므로 경우에 따라서는 이 값 자체가 원래 목적으로 하는 값보다 커질 수 있으므로, 이에대한 고려를 하여야 한다. 즉 상하부 전극 위 혹은 아래 부분에 ground plane이 존재하는 경우 위에 그려진 회로도에 따라 일종의 shunt capacitor가 생성되어 있는 결과를 가져오므로 상하부 전극으로부터 ground plane까지의 거리를 되도록 크게 하는 것과 ground plane 자체에서 캐패시터의 상하부 전극에 해당하는 부분을 제거하는 방법등으로 기생 캐패시턴스 (parasitic capacitance)의 효과를 줄여야 한다. Table 4에¹⁸⁾ 캐패시터 구현시 주요 고려사항에 대하여 정리하였다. Decoupling capacitor의 경우 요구되는 캐패시턴스 값이 크므로 유전율이 높은 그린시트와 동시소성시킬 경우가 생기게 된다. 이 경우 일반의 LTCC와 zero-shrinkage의 경우 shrinkage 차이에 의한 shrinkage stress의 영향을 최소화시키는 조성으로 조성설계가 되어야 한다.

Table 4. 캐패시터 구현시 중요 영향요소¹⁸⁾

Device property	Key determinants
Capacitance C (F)	Dielectric constant, thickness, area
Temperature coefficient TCC(ppm/°C)	Dielectric material
Tolerance (%)	Dielectric thickness variation
Quality factor, Q	Dielectric loss tangent, electrode material and geometry
Self resonant frequency	Capacitor area, aspect ratio
Capacitance density (pF/cm ²)	Dielectric constant, thickness
Parallel resistance, R _p (W)	Dielectric loss tangent
Series resistance, R _s (W)	Electrode material and geometry
Series inductance, L _s (H)	Electrode geometry
Resistance to ground, R _G (W)	Substrate conductivity (loss tangent)
Capacitance to ground, C _G (F)	Device area, separation from ground plane, substrate dielectric constant

3.3 Inductor

Inductor의 경우는 형상에 따라 loop, meander, spiral 형태가 있으며 Q-factor, 도체 저항에 따른 최대 허용 전

류, inductor와 ground plane과의 거리 및 coil 내부 도체 간의 거리에 따른 기생 캐패시턴스에 의한 자기공진주파수 (SRF : self resonant frequency) 등을 고려하여 인덕터의 형태 및 주변회로 설계를 하여야 한다. Q(Quality factor)는 다음과 같이 표현된다.

$$Q = 2\pi fL/R \quad (6)$$

윗 식에서 표시된 바와같이 사용 주파수, 인덕턴스 내부 코일의 선폭의 크기 및 사용 재료에 따른 저항값들에 의하여 Q 값이 정하여지며 주어진 코일 폭 및 간격에서 주파수 증가에 따른 skin depth 변화, 인덕턴스 값에의 영향등에 의하여 Q 값이 영향을 받게된다. 따라서 Q 값을 높이기 위하여 내부 코일 폭을 증가시키는 경우도 있으나 이 경우는 전체 모듈의 크기가 증가하게되므로 주어진 조건에서 만족하는 조건으로 그 크기를 선택하여야 한다. 또한 Q 값을 높이기 위하여 내부 전극을 laser로 통로를 형성시킨 후 전극 페이스트를 주입하여 내부 코일의 단면적을 넓혀 시도하는 경우도 있다.

SRF의 경우는 다음과 같은 식으로 나타내어질 수 있다.

$$SRF = 1/\{2\pi(LC)^{1/2}\} \quad (7)$$

이때 인덕터에서는 두가지 종류의 기생 캐패시턴스가 존재한다. 그것은 코일을 이루는 도체와 도체사이에서의 기생 캐패시턴스 도체와 ground plane 사이에서의 기생 캐패시턴스 값이다. 이와 같은 기생 캐패시턴스 값은 SRF 값을 낮추게 되므로 인덕터를 구현함에 있어서 가능한 이 기생 캐패시턴스 값을 최소화시켜야 한다. 이때 이 값은 코일 내부 간격과 기판 자체의 유전상수 값과 관련이 있으므로 가능한 낮은 값의 유전상수 값을 갖는 기판 재료를 사용하여야 한다.

인덕터의 경우 응용 범위에 따라 RF 매칭 회로에 적용시 수 nH 정도의 값을 요구하지만 전원, 아날로그, 초크 인덕터등에 적용시 수 μH 정도의 값을 구현하는데 이 정도의 값을 작은 모듈 면적과 두께에서 구현하기 위하여 페라이트 층을 사용하여 인덕터를 구현하게 된다. 이 경우 LTCC와 페라이트 간에 shrinkage 차이가 발생하는 경우, LTCC 및 페라이트 내부에 이러한 shrinkage stress

Table 5. 인덕터 구현시 중요 영향요소¹⁸⁾

Device property	Key determinants
Inductance L (H)	Line width and space, inner radius, number of turns, metal thickness
Quality factor	Metal thickness, metal line width
Tolerance (%)	Metal line width and thickness variation
Self resonant frequency	Inductor area, substrate dielectric constant
Series resistance, Rs (W)	Metal thickness, metal line width, total length
Parallel capacitance, Cp (F)	Line space, device area, substrate and encapsulant dielectric constant
Resistance to ground, R _G (W)	Substrate conductivity (loss tangent)
Capacitance to ground, C _G (F)	Device area, Separation from ground plane, substrate dielectric constant

에 의하여 크랙발생 등 여러 내부 구조에 영향을 미치게 되어 이와 같은 shrinkage stress를 최소화하기 위한 조성 설계가 중요하데 된다.

Table 5에¹⁸⁾ 인덕터 구현시 주요 고려사항에 대하여 정리하였다.

4. 맺음말

Zero-shrinkage LTCC 기술은 완전히 zero shrinkage는 아니지만 Nearly-Zero shrinkage 를 보여주고 있으며 금속기판을 사용하여 수축율을 막아주는 LTCC-M (Low Temperature Cofired Ceramic on Metal) 구조를 이용하는 것, 소성시 위아래층에 (Top/bottom plane) X-, Y- 방향으로 소성을 억제하여주는 희생층 Inert layer를 사용하여 소성시키거나 압력을 가하여 X-, Y- 방향으로의 소성을 억제하는 방법, 조성조절을 통한 자체 구속에 의하여 수축을 억제하는 방법등에 의하여 구현할 수가 있다. Zero shrinkage 기술은 pattern 형상의 균일성이 중요시되는 RF 부품 및 표면에서의 assembly 작업시 pattern의 위치가 중요한 Flip chip bonding에서와같이 shrinkage control의 중요성이 강조되어지는 부분에서 장점을 지니게 되며 초기 모듈크기가 그대로 유지되면서 원가적인 측면에서의 원가절감의 효과와 수율 향상의 장점을 보여주고 있다. 또한 각 방법마다 공정 및 구조의 장단점이 있으므로 응용분야에 맞추어 선택하여 적용하여야 할 것이다.

Embedded passive 기술은 SOP 기술을 구현하는데 필수적인 기술이며 zero-shrinkage 구조에서는 일반의

shrinkage가 있는 구조에 비하여 구현하는데 원하는 치수를 구현하는데 장점을 가지고 있으므로 향후 복합 모듈화를 시도하는데 필요한 기술로서 지속적으로 발전되리라 예상된다.

참고문헌

1. R. R. Tummala, "Fundamentals of Microsystems Packaging", McGraw-Hill, Singapore, 97 (2001).
2. D. Anderson, "Trends in LTCC processing", 2003 IMAPS Conference and Exhibition on Ceramic Interconnect Technology, Denver, Colorado, 165 (2003).
3. J. A. Pask, "From Technology to the Science of Glass/Metal and Ceramic/Metal Sealing" Ceramic Bulletin, 66[11] 1587 (1987).
4. 박성대, 강현규, 박윤휘, 문제도, "니켈 42 합금을 이용한 금속상저온동시소성세라믹기판" 한국특허 10-0285089-0000, 2000.
5. K. R. Mikeska and D. T. Schaefer, U.S. Patent, 5,454,741, 1994.
6. M. F. Barker, R. Draudt, "Zero Shrinkage Process for Cost Sensitive High Volume LTCC Application", 2001. International Symposium on Microelectronics, 26~31 (2001).
7. K. R. Mikeska, R. C. Mason, "Dimensional Control in Cofired Glass Ceramic Multilayers", 6th International SAMPE Electronics Conference, June 22-25 (1992).
8. K. R. Mikeska, D. T. Schaefer, R. H. Jensen, "Method for Reducing Shrinkage During Firing of Green Sheet Bodies," U.S.Pat. No. 5,085,720 issued Feb 4, 1992.
9. K. R. Mikeska, D. T. Schaefer, "Method for Reducing Shrinkage During Firing of Green Sheet Bodies," U.S.Pat. No. 5,474,741 issued Dec 12, 1995.
10. K. R. Mikeska, D. T. Schaefer, "Glass Ceramic Composite and Method for Making Such Composites" U.S.Pat. No. 5,387,474 Issued Feb 7, 1995.
11. M. Itagaki, N. Hase, S. Yuhaku, Y. Bessho and K. Eda, "A Cofired Bonding Technique for Chip-Scale-Package Fabrication Using Zero X-Y Shrinkage Low Temperature Cofired Ceramic Substrate" 1997 International Symposium on Microelectronics, 685~690 (1997).
12. M. Ehlert, B. Spenser, F. Lautzenhiser, E. Amaya, "Characterization of Unrestrained Zero Shrinkage LTCC Material System for Volume Production of rf Modules", 2002 International Symposium on Microelectronics, 61 (2002).
13. F. Lautzenhiser, E. Amaya, P. Barnwell & Jim Wood "Microwave Module Design with HeraLock™ HL2000 LTCC", 2002 International Symposium on Microelectronics (2002).
14. R. C. Frye, "Passive Components in Electronic Applications: Requirements and Prospects for Integration", Microcircuits & Electronic Packaging, 19 483-490 (1996).
15. T. Inokuma, Y. Taketa and M. Haradome, "The Microstructure of RuO₂ Thick Film Resistors and the Influence of Glass Particle size on their Electrical Properties", IEEE Transactions on Components, Hybrid and Manufacturing Technology, CHMT-7, No 2, 166-75 (1984).
16. K. Delaney, J. Barrett, "Characterization and Performance Prediction for Integral Resistors in Low Temperature Co-fired Ceramic Technology", IEEE Transactions on Advanced Packaging, 22 (1) 78 - 85 (1999).
17. K-H. Drue, H. Thrust, "RF Models of Passive LTCC-Components in the Lower Gigahertz-range", Advancing Microelectronics, 24 (3), 23-7 (1997).
18. R. C. Frye, "Integrated Passive Components : Technologies, Materials and Design", Microcircuits & Electronic Packaging 20, 578- 86 (1997).
19. Y. Bana, H. Ochi and S. Segawa, "High Reliability Internal Capacitor of LTCC", IEEE Transactions on Components, Hybrid and Manufacturing Technology, 18, 170-73 (1995).
20. L. Drozdyk, "Capacitors Buried in Green Sheet", Proceeding of the International Symposium on Microelectronics, 209-214 (1993).
21. R. Wahlers, D. Dychalas, C. Huang and S. J. Steain, "Low Firing Temperature Capacitor Tape Materials", Proceeding of the International Symposium on Microelectronics, 232-237 (1993).

문 제 도



- 1987년 서울대학교 금속공학과(학사)
- 1989년 서울대학교 금속공학과(석사)
- 1994년 Oxford University 재료학과(박사)
- 1999년 고등기술연구원 선임연구원
- 2002년 대우전자 책임연구원
- 2002년 오리온 전기 책임연구원
- 2004년 오리온 PDP 수석연구원
- 2004년-현재 에이디엔티 주식회사 대표이사