

SoP (System on Package)를 위한 기판 재료의 요구 특성

글 _ 이효종 || RN2 테크놀로지
hjlee@m2ltcc.com

1. 서론

전자 산업의 급속한 디지털화, 네트워크화에 기반한 모바일화로 정보화 산업이 급성장하고 있는 가운데 통신 기기, 반도체, 모바일 기기 등과 관련된 시스템의 고집적화가 요구되고 있다. 이러한 고집적화의 요구는 종래 PCB 보드 상에서 실현되었던 시스템을 1개의 Si Chip 상에 실현 가능한 System LSI에 대한 요구를 증대시켰으며 이러한 System LSI는 시스템을 구성하는 복수의 LSI를 One Chip화함(SoC: System on Chip)으로써 저전력화, 고성능화, 낮은 실장 면적화 등의 요구에 대응할 수 있게 되었다. 반면에 System LSI화에 따른 개발 기간의 장기화와 원칩을 개발하기 위한 개발 위험 및 개발 비용 증대의 문제점이 제기되고 있다.

또 다른 방법으로 이러한 시스템의 집적화를 높이기 위하여 복수의 LSI를 단일의 패키지내에 탑재하고 시스템으로서 기능을 갖게 하는 SiP (System in Package)가 진행되고 있다. 이 방법은 실장 면적의 감소와 패키지 내에서 칩 간에 접속 동작을 하게함으로 궁극적으로 실장 면적의 감소와 I/O 단자의 감소를 가져오게 된다.

그리고 최근에는 수동소자가 내장된(Embedded R-L-C) 단일 패키지 위에 digital, RF, Optical system까지 단일 모듈상에 집적화시키는 SoP (System on Package)기술 개발이 시작되고 있다.

이런 SiP나 SoP기술은 모두 MCM (Multi Chip Module) 기술로서 이에 따른 장점으로 경박 단소형 모듈 제작, 전기적 성능의 극대화, 소모 전력의 감소, 신뢰성의 향상

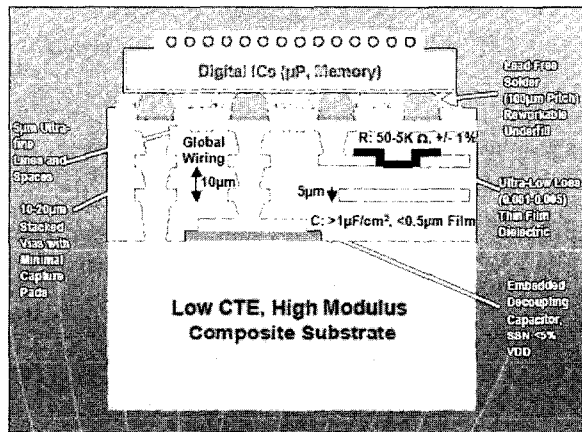


Fig. 1. Schematic Diagram of SoP (Ref. Georgia Tech.).

등을 들 수 있다.

그리고 이러한 MCM기술을 뒷받침하는 기술이 바로 LTCC(Low temperature Co-fired Ceramics)기술이다. LTCC 기술은 저온에서 소결이 이루어지는 세라믹을 기반으로 이루어진 다수의 green sheet층에 전기 전도도가 우수한 Ag, Cu, Au등의 내부 전극 및 Resistor 전극으로 R-L-C 수동소자를 통해 주어진 회로를 구현하고 이런 여러 층을 적층하여 900°C 이하에서 소성해서 MCM을 구현하는데 사용된다.

따라서 향후 시스템 집적화를 위해서 LTCC기술 개발에 대한 수요가 점차 증가 하고 있다.

Fig. 1은 SoP에 대한 도식도이며 IC 아래의 두 종류로 구분되어져 있는 부분이 LTCC 또는 LTCC/Organic Composite Substrate가 사용되어지는 부분이다.

2. LTCC(Low Temperature Co-fired Ceramic)

2.1 LTCC의 기능

LTCC (Low Temperature Co-fired Ceramic, 저온 동시 소성 세라믹)는 전자부품의 소형화 추세에 대응하여 개발되어온 적층 세라믹기술로서 2차원 평면상에 제작되어온 소자를 다층의 세라믹 층을 적층하여 3차원으로 제작함으로써 부품의 소형화와 다기능화를 이룰 수 있는 장점이 있다.

LTCC 기술은 기존의 컴퓨터 CPU나 SAW 필터용 세라믹 패키지에 사용되던 HTCC (High Temperature Co-fired Ceramics, 고온 동시 소성 세라믹)와 유사하지만 저용점, 고전도 재료인 Ag, Cu 등을 내부 배선회로로 사용하기 위해 900°C 이하의 저온에서 소성이 가능한 기술이라는 큰 차이점을 갖는다. 이 차이는 전기전도도가 가장 우수한 Ag나 Cu전극을 사용함으로써 고주파 대역에서 큰 손실 없이 부품을 만들 수 있으며 이런 이유로 인해 초기 군사용으로 채택된 기술이다. 그 후 큰 각광을 받지 못하다가 80년 대 이 후 이동 통신 시장의 폭발적인 성장과 더불어 보다 작고 다양한 기능을 휴대 전화라는 요구 사항을 충족 시킬 수 있는 대안 기술로서 LTCC을 이용한 부품들이 채택되기 시작했다. 또한, LTCC 기술은 저항체 내장이 가능하여 저항(R), 인덕터(L), 커패시터(C) 등의 수동소자 및 신호 전달 배선을 기판 내부에 형성하는 것이 가능하며, Si와 비슷한 열팽창 계수를 가짐으로서 Si 집적소자와의 집적화(Integration)가 용이하다는 장점을 가지고 있어 우수한 이동 통신용 부품을 제작할 수 있는 이상적인 기술로 여겨지고 있다.

2.2 LTCC의 주요 분야

위에 언급된 바와 같이 LTCC 기술이 가지는 다양한 특성 때문에 과거부터 칩 부품, 패키지 부품 등에 다양한 용도로 채용이 기대되어져 왔지만 기대와는 달리 크게 시장은 확대되지 않았다. 그러나, 최근 이동 통신 시장이 급팽창하면서 고주파 아날로그 회로의 소형화, 저가격화, 고기능화를 실현하는 LTCC 기술이 이동통신용 모듈 부

품 분야에서 크게 주목받고 있다. 더욱이 Dual-Band 나 Multi-Band 휴대폰이 상용화되면서 LTCC 기술을 이용한 모듈 부품은 휴대전화를 중심으로 고부가가치 제품을 이루며 급속한 수요를 창출하고 있다. 이처럼 LTCC기술의 주요 응용 분야는 휴대전화의 필터, 안테나, 듀플렉서, ASM(Antenna Switch Module)같은 통신 부품에서 시작되어 Post PC 산업 분야를 이끌 W-LAN이나 Bluetooth 같은 근거리 이동 통신 분야로 확대되고 있다. 특히 유비쿼터스 기술을 대표하는 Bluetooth module의 경우에는 GSM Handset용 ASM에 이어 대부분의 선진 업체들로부터 LTCC 기술의 채택이 이미 표준화되어졌다. 그리고 최근 LTCC의 고 신뢰성을 바탕으로 자동차 분야의 전자 부품, 특히 ABS (Anti-Breake System)과 ECU (Engine Control Unit) 등으로 채용이 늘어나고 있다. 향 후에는 이동 통신 시장에 못지않게 자동차 시장의 성장도 클 것으로 기대하고 있다. 그리고 그 이외의 시장으로는 초소형화가 가능하다는 장점과 신뢰성이라는 장점을 이용하여 의료부분으로의 응용이 시도되고 있다. 이처럼 LTCC 기술의 응용 범위는 아주 다양하다고 하겠다.

2.3 LTCC의 일반적인 특성

최근의 기술은 모든 부분이 이동 통신이 가능한 휴대 기기와 밀접한 관계를 가지고 발전하고 있다. 이러한 휴대 기기의 특징은 지금 까지 군사용이나 특수 용도에만 사용이 제한되어져 온 고주파를 이용하며 또한 차츰 그 사용 주파수가 높아져 간다는 점과 휴대의 간편성이라는 점 때문에 소형화를 요구한다는 점 그리고 단순한 통신 기능의외에 멀티미디어, 인터넷과 같이 점 점 더 다양한 기능을 요구한다는 점이다. 결국 이러한 시장의 요구 조건은 LTCC가 가지고 있는 많은 특성들과 잘 부합된다. 즉 전도도가 우수한 금속 전극과 유전체 재료를 이용하여 고주파 특성에 충분히 대응할 수 있으며 Ag나 Cu와 동시 소성이 가능한 재료를 이용하는 적층 기술을 이용하여 모듈화 함으로써 소형화가 가능할 뿐 아니라 같은 부피에서라면 보다 다양한 기능을 내장할 수 있다. 그리고 R-L-C 수동 소자를 LTCC 모듈 내에 내장함으로써 고용량이나 LTCC로 구현이 불가능한 일부 소자들을 제



Table 1. Needs and Advantage of LTCC for Package(Ref. Dupont)

High Performance for High Frequencies	minimal dielectric loss up to 77 GHz
Flat frequency response DC to >100 GHz	Permittivity constant DC to > 40 GHz Low loss to millimeter wave frequencies
High Density Interconnect	Tape + Photo patterning. Integrated Passives
High Voltage (vs. wireless) and Power	Low TCE, high Thermal conductivity
Well defined lines, fine patterning	Thick Film, Green Tape + Photo Patterning
Technology Integration (Si, GaAs, InP, Analog, Digital, Optical, Electrical)	Compatibility with assembly processes Low TCE, match to Si, GaAs, or InP Proven reliability
Dimensional & property Stability	Low TCE Precise patterning Properties invariant with time/environment
Environmentally friendly	Compatible with Pb-free solders Halogen free

Table 2. Performance Comparison with Different Materials

	세부 특성	Organic	HTCC	LTCC
실장성	미세배선	○	△	○
	Bare-Chip과의 Matching	×	△	○
	Mother-board와의 Matching	○	△	△
환경의존성	온도 특성	×	○	○
	내습성	×	○	○
	내화학성	×	○	○
Loss (고기능 RF 특성)	도체 손실(배선)	○	×	○
	유전체 손실(기판)	×	○	△
	계	×	△	○
수동부품내장	Capacitor	△	×	○
	Inductor	△	×	○
	공진기(Filter)	△	×	○
소형화	수동부품 중심	△	△	○
	반도체 중심	○	×	△
가격		○	△	△

외하고 대부분의 개별 수동 소자들의 사용이 줄어들 것으로 예상된다. 결국 개별 소자들을 SMD하기 위한 추가 공정이나 비용 또한 절약이 가능하며 이를 통해 상당한 수율 증가 효과를 가져 올 수 있다.

지금까지 일반적인 LTCC소재에 요구되어진 특성을 정리해보면 다음과 같다.

그리고 이러한 특성들은 기존의 Organic이나 Alumina 같은 HTCC (High Temp. Co-fired Ceramic)들에 비해 Packaging material에 적용하기 우수한 특성을 나타내고 있다.

특히 사용 주파수가 높아짐에 따라 저손실 (Low Loss)에 대한 요구가 높아지고 있는데 아래 그림과 같이 LTCC나 Ceramic base material이 우수한 특성을 나타내고 있다. 그리고 이런 고주파 대역의 용도는 자동차용

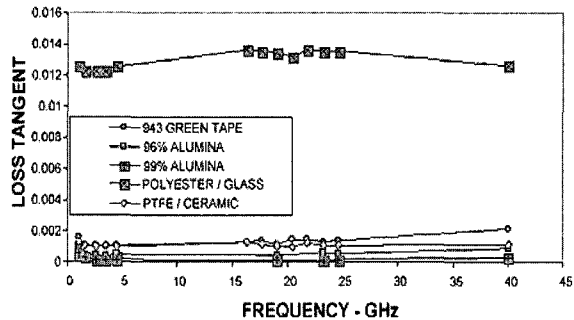


Fig. 2. Loss tangent at mm-wave frequencies (Ref. Dupont).

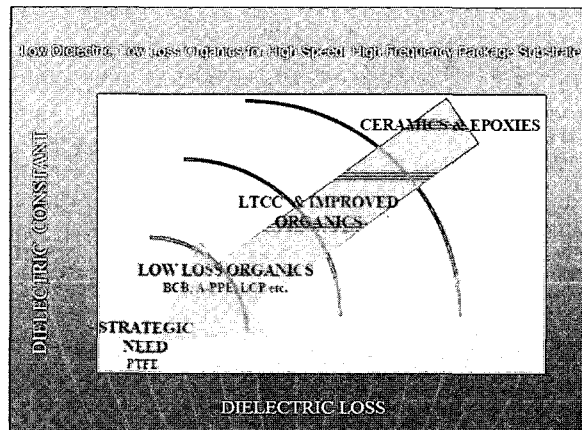


Fig. 3. Need trend of packaging materials (Ref. Georgia Tech.).

텔레메틱스나 위성 방송이나 위성 통신 시장 등의 확대로 20 GHz 이상, 40 GHz 까지 확장되고 있다.

따라서 Fig. 3에서 보여지는 것처럼 향후에는 더욱 더 저 손실과 저 유전율을 갖는 기판 재료의 개발이 요구된다.

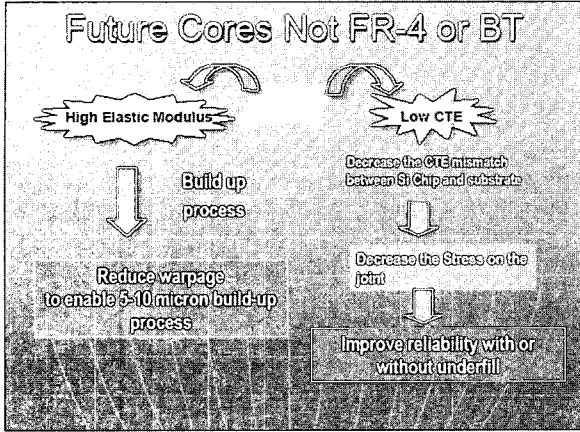


Fig. 4. Need for high elastic modulus and low CTE (Ref. Georgia Tech.).

3. High Elastic Modulus & Low CTE Material

현재 사용 중인 Packaging substrate들은 Si에 비해서 높은 열팽창계수(CTE : Coeff. of Thermal Expansion)와 낮은 탄성계수(Elastic Modulus)값을 갖는다. 이로 인해 wiring capability에 한계를 가지고 있으며 solder joint 시에 낮은 신뢰성을 보임으로 해서 향후 고밀도 패키징이라는 요구에 대응하기 어렵다. 따라서 이를 극복하기 위해 silicon compatible CTE (2-5 ppm/C)와 350 GPa 이상의 높은 탄성 계수를 갖는 저가의 LTCC / LTCC Composite Material의 개발이 요구된다.

3.1 High Elastic Modulus Material

Package의 고집적화가 요구되면서 sub 100 μm area array pitch, 5-10 μm 의 line/space multilayer wiring과 15-20 μm 의 stack via를 가지는 6-8 layer의 build up이 가능하려면 보다 안정적인 치수 안정도(dimension stability)가 요구된다. 즉 이러한 multilayer build up과정에서 warpage가 없이 안정적이며 그 위에 충분한 wiring density를 갖는 신뢰성 있는 flip chip assembly가 가능하려면 높은 탄성계수를 가진 기판 재료가 요구된다.

현재 Fig. 5에 나타난 것 처럼 약 350 GPa에서 450 GPa 수준의 탄성계수가 요구 되어지나 현재 상용화된 LTCC

재료들의 경우 glass의 첨가등으로 인해 200 GPa이하의 낮은 탄성계수값을 가지고 있어 6 μm thin film BCB(Benzocyclobutene) dielectric과 30 μm A-PPE (Polyphenyl Eter)를 포함한 C-SiC 기판 등이 현재는 개발 용도로 사용되어지고 있다. 하지만 강도 측면이외에 LTCC재료가 가진 특성들을 만족하지 못하고 있기 때문에 높은 탄성계수를 갖는 LTCC재료의 개발이 절실히 요구되고 있다.

그리고 이런 측면 이외에도 packaging substrate의 크기의 증대와 내부 via수가 증가함에 따라서 그리고 대면적 기판의 양산화라는 측면에서도 강도 증가와 더불어 고탄성계수를 가지는 기판 재료에 대한 요구가 점차 증가할 것으로 예상된다.

3.2 Low CTE(Coeff. of Thermal Expansion) Material

모든 package는 Silicon이나 GaAs나 InP로 만들어진 chip을 기판위에 assembly하는 공정인데 Fig. 6처럼 Si 등은 2-5 ppm의 CTE값을 갖는 반면에 FR-4나 PTFE 같이 일반적으로 널리 사용되는 기판용 organic 재료들은 13 - 25까지 높은 CTE값을 나타낸다. 그리고 LTCC나 Alumina 같은 세라믹들이 5-7 정도로 그나마 IC Chip들과 어느 정도 유사한 CTE값을 보이고 있다.

이런 substrate와 IC Chip들과의 큰 열팽창 계수의 차이로 chip assembly 하는 과정에서나 이후 사용 시의 반복적인 열이력을 통해 solder joint 부위에 스트레스를 유

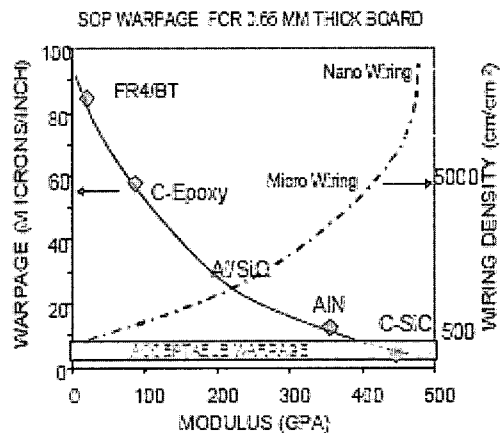


Fig. 5. SoP Warpage with Board Materials (Ref. Georgia Tech.).

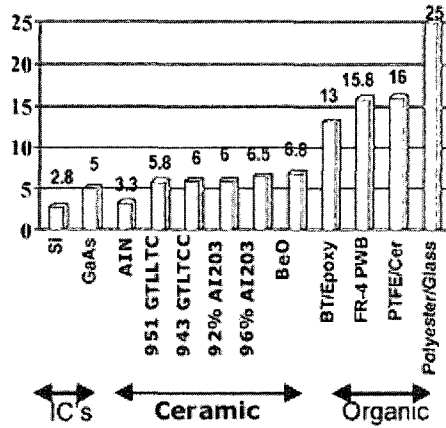


Fig. 6. TCE Comparison (Ref. Dupont).

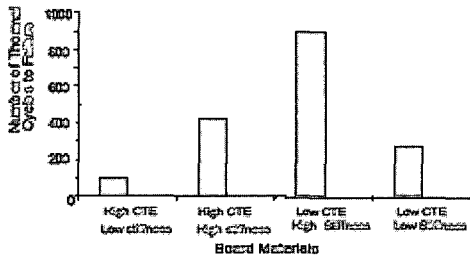


Fig. 7. Number of thermal cycles to failure with board materials.

도함으로써 심각한 신뢰성 문제를 야기하게 된다.

따라서 2-5 ppm 정도의 Silicon compatible CTE값을 갖는 기판 소재의 개발이 필수적이며 당장은 이런 부분의 문제는 기존의 LTCC소재를 이용함으로써도 해결 될 수 있다.

하지만 Fig. 7에서 보여지는 것처럼 근본적인 해결을 위해서는 낮은 CTE와 더불어 높은 탄성계수 값을 갖는 High Stiffness substrate 개발이 이루어져야 한다.

현재 일반적인 LTCC소재는 소결 온도를 낮추기 위해서 인위적으로 glass를 첨가한 glass와 ceramic의 복합체로서 glass 첨가에 의해 기계적 강도나 열팽창 계수 등의 열화를 가지고 오게 된다. 따라서 non-glass base LTCC 소재를 개발하게 되면 AlN처럼 낮은 CTE와 높은 탄성계수를 갖는 재료 개발이 가능할 것으로 예상된다.

4. 기타 요구 특성

위에 언급한 특성 외에 추가로 요구되는 재료 특성은 packaging 기판 상에서 Embedded Capacitor 구현이 가능한 High K Material의 개발과 Zero Shrinkage Material/Process의 개발이다.

4.1 Embedded High K Material

현재 아래 표와 같은 organic substrate와 compatible한 polymer composite들이 개발 되었으나 유전율이 100이하로 density of capacitance가 $100\text{pF}/\text{mm}^2$ 이하로 요구 조건을 충분히 충족시키지 못하고 있다. 실제로 요구 조건을 충족시키기 위해서는 적어도 $1\text{ nF}/\text{mm}^2$ 이상, $10\text{ nF}/\text{mm}^2$ 정도 되어야 하며 그러기 위해서는 유전율이 400 이상이 되어야 한다.

이를 위해서 barium titanate나 strontium titanate같은 High K dielectric ceramic과 polymer composite개발이 수행되고 있으며 LTCC 경우에는 기존 고유전율 세라믹 소재들을 glass 등의 첨가를 통해 900°C 이하의 온도로 소결 온도를 낮추는 연구들이 이루어지고 있다.

또한 LTCC의 경우, 이러한 고유전율 재료와 기존의 저유전율 기판 재료와의 이종접합에 대한 연구도 함께 수행되고 있다. L-C를 구현함에 있어 고유전율과 저유전율 사이의 장단점이 존재하므로 각 각 구현하고자 하는 소자 값에 따라 고유전율 재료와 저유전율 재료를 선별적으로 사용하고자 하는 의도이며 이를 구현하기 위해서는 소결 시 이종 재료간의 수축율과 수축 양상을 정밀하게 제어 하는 기술이 필요하다.

Table 3. Various Type of High K Materials

Supplier	Materials	ϵ_r	$\text{Tan } \delta$
Hadeco	Epoxy/Y5V Ceramics	36	0.06
Hitachi Chem.	Epoxy/Phenox/Ceramics	45	0.02
3M	Epoxy/BaTiO ₃	22	0.005
Dupont	Polymide/BaTiO ₃	50	—
RN2/서울대	BaSrNbO-TiO ₂	40	0.001
Matsushita	N/A	50	0.015
Sumitomo	Epoxy/BaTiO ₃	34.5	0.016
Georgia Tech.	Epoxy/PMNPT-BaTiO ₃	130-150	N/A
Tokyo Tech.	Epoxy/BaTiO ₃ -Metal	60-70	0.05

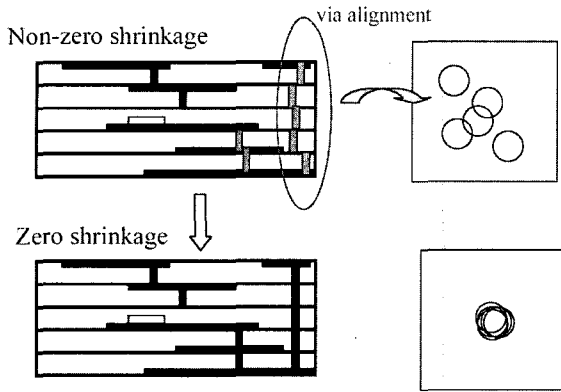


Fig. 8. 무수축 공법에 따른 misalign의 감소에 대한 개략도

4.2 Zero Shrinkage Material/Process

LTCC를 포함한 세라믹은 green 상태에서 공정 후 소결 전 후에서 15% 이상의 높은 수축율(x-y shrinkage)를 갖게 된다. 따라서 고밀도 회로, 캐비티 구조, 대형기판 사용 시 큰 수축율(x-y:15-18%)에 의한 치수 오차 증가로 전기적 특성 정밀도 저하 및 큰 변형에 의한 기계적 결함으로 신뢰성 저하의 문제를 야기하게 된다. 최근에는 이러한 문제점을 제거하기 위해 x-y방향으로는 거의 제로(0.16-0.24%)에 가까운 무수축 재료 및 공정 개발이 이루어지고 있다.

Dunot이나 Heraeus 등 많은 업체들이 개발 경쟁에 뛰어들고 있으며 초기에 Pressure Assisted 방식으로부터 Pressure 없이 Release Tape을 사용하는 방식을 벗어나 추가 후공정없이 Self-constrained 방식으로 진화되어 현재는 Heraeus에서 HeraLock이라는 상품명으로 제품을 판매하고 있다.

그리고 이러한 무수축 공법을 위해 사용되어지는 Constrain용 이종 재료의 강도를 통해 간접적으로 탄성 계수의 증가와 같은 부가 효과를 얻을 수도 있다.

하지만 무수축 재료를 상용화하기 위해서는 장시간의 소결 조건이나 고가의 재료비 등 선결되어야 할 많은 부분이 남아 있다.

5. 요약

최근 SOP에 대한 관심이 늘어나고 있으며 그에 따라 새로운 재료에 대한 관심도 증폭되고 있다. 예전의 단순한 신호 전달의 매개체 역할에서 벗어나 많은 수동 소자나 RF소자들을 내장하고 궁극적으로는 능동 소자까지 단일 기판위에 탑재하기 위해서는 기존의 RF 적인 전기적인 요구 특성 위에 많은 부가 특성들이 요구 된다. 특히 SI이나 GaAs같은 능동 소자들과의 Assembly과정에서의 신뢰성을 확보하기 위해 낮은 선폭창 계수나 높은 탄성 계수 등의 기계적인 특성들이 요구되고 있으며 또한 점차 복잡한 회로 구조 등을 구현하기 위해 무수축이라는 새로운 공법 또한 요구되어 지고 있다. 그리고 사용 주파수가 점차 높아짐에 따라 한편으로는 저유전율과 저손실의 재료가 요구되고 있으며 다른 한편으로는 embedded Capacitance의 요구에 맞춰 고유전율의 기판 재료 또한 요구되어 지고 있다. 따라서 궁극적으로는 회로 구현의 목적에 따라 저유전율과 고유전율의 이종 재료의 접합이라는 문제 또한 자연스럽게 대두되고 있다. 이처럼 SoP에 대한 시장의 요구가 증가함에 따라 새로운 재료 개발의 요구 또한 늘어나게 될 것으로 예상 된다.

◎ 이효종



- 1989년 서울대학교 금속공학과 학사
- 1991년 서울대학교 금속공학과 석사
- 1996년 서울대학교 금속공학과 박사
- 1996년-1997년 서울대학교 신소재 공동 연구소 Post-Doc.
- 2002년-현재 RN2 테크놀로지 대표이사