
10Gbps 이더넷용 MAC 코어에 대한 연구

손승일*

A Study on MAC Core for 10Gbps Ethernet

Seung-Il Sonh*

이 논문은 2005년도 한신대학교 연구비 지원에 의해 수행되었음.

요 약

최근 대부분의 전송기술이 이더넷으로 통일되는 경향에 힘입어, 예전에 비하여 이더넷은 대단한 주목을 받고 있다. 본 연구에서는 최적의 MAC 코어 설계에 대해 연구하였는데, 이는 상위 계층 인터페이스, 전송엔진, 플로우 컨트롤 블록, 수신엔진, 정합 부계층, 초기설정 블록, 상태전송 블록, XGMII 인터페이스 블록으로 구성된다. 하드웨어 설계를 위해 10Gbps 이더넷 Data Link 계층의 MAC 코어를 C언어로 성능평가를 실시하여 내부 FIFO와 파라미터 초기값을 도출하였다. 내부 FIFO는 95%의 트래픽이 발생시 512 크기로 사용 가능하고, 97%의 트래픽이 발생시에는 1024 크기가 적합하였다. 성능결과를 토대로, VHDL 언어로 설계하여 검증하였다. 설계된 MAC 코어는 64비트의 데이터를 처리하고 168.549MHz를 지원하여 전송효율이 최대 10.78Gbps까지 지원하므로, 10Gbps 이더넷의 스위칭 장비의 인터페이스 모듈로 응용이 가능하다.

ABSTRACT

Ethernet has been given a greater attention recently due to tendency of unifying most of transmission technique to ethernet.

This paper studied the design of MAC which contains high layer interface, transmit engine, flow control block, receive engine, reconciliation sublayer, configuration block, statistics block, and XGMII interface block. Performance evaluation was performed using C language for 10Gbps ethernet Data Link to design the optimum hardware, then internal FIFO and initial parameters were evaluated. When offered load is 95%, the size of the internal FIFO is required 512-word. When offered load is 97%, the size of the internal FIFO is required 1024-word. Based on the result of performance evaluation, MAC was designed in VHDL Language and verified using simulator. MAC core that processes 64-bit data, operates at 168.549MHz and hence supports the maximum 10.78Gbps. The designed MAC core is applicable to an area that needs a high-speed data processing of 10Gbps or more.

키워드

Ethernet, MAC(Media Access Control), Reconciliation, XGMII, VHDL, ModelSim

1. 서 론

인터넷의 활성화와 함께 네트워크의 사용자들이

늘어나고 네트워크를 이용한 어플리케이션이 점점 더 많은 대역폭을 요구함에 따라 기가비트 이더넷 스위치 시스템은 현재 LAN의 백본망 시스템으로 가장 많이 적용되고 있다. 단일 매체를 여러 노드가 공유하는 방식으로 일정구역내의 컴퓨터간 통신 용도로 개발된 이더넷은 인터넷과 인트라넷의 활성화와 함께 근거리 데이터 통신망 LAN 에서 가장 많이 이용되는 통신 수단인 하나로 증가하는 패킷 스위치 네트워크의 요구사항을 충족하며 발전해왔다. 이더넷의 입증된 구현 가격, 알려진 안정성, 설치 및 유지의 상대적 간편성 덕분에 이더넷의 대중성은 오늘날 거의 모든 인터넷 트래픽이 이더넷 연결에서 시작하거나 끝나는 단계까지 성장하고 있다. 가장 최근 표준은 정상적인 데이터 트래픽의 증가뿐만 아니라 모션 비디오를 포함하는 새로운 대역폭 집중 애플리케이션의 확장까지 유도하고 있다[1]~[3]. 10Gbps 이더넷 표준은 기존의 이더넷 표준과 여러 가지로 상당한 차이가 있는데, 그것은 옵티 피이버에서만 동작하고 충돌 검출 프로토콜이 불필요한 전 이중방식으로만 동작한다는 것이다. 10Gbps 이더넷부터는 점대점 전 이중 이더넷 방식만 지원함으로써 이더넷 고유의 CSMA/CD 방식을 지원하지 않는다. 다만, 이더넷 프레임 형식만 유지하게 되어 있으며, 기가급 이더넷에서 사용하던 캐리어 확장이나 버스트 전송 기법 등도 생략되었다[4]~[6]. 현재 메트로 영역 네트워크 이용을 위한 이더넷 확장은 SONET과의 제휴뿐만 아니라 End-to-End 이더넷의 WAN까지 확장할 수 있다. 음성보다 주로 패킷 스위치 데이터에 치중하는 현재의 데이터 네트워크와의 균형과 더불어, 10기가비트 이더넷 표준은 주로 음성에 맞도록 구축된 네트워크와 새로운 데이터 중심의 네트워크간 융합을 도모하고 있다[7]~[9].

본 연구에서는 10Gbps 이더넷을 통한 프레임 전송을 위한 물리계층소자와 네트워크계층소자 간의 인터페이스인 MAC 인터페이스 모듈을 C언어를 이용하여 성능 평가하여 다양한 PHY 방식에 적용을 위한 IFG(InterFrame Gap)의 변화 및 MAC 프레임 크기 변화에 따른 MAC 인터페이스의 적응에 맞는 MAC FIFO의 크기를 도출하였다. MAC 프레임 크기와 IFG의 변화에 따른 결과를 바탕으로 최적의 파라미터를 도출하여 이를 설계에 적용하였다. 그리고 하드웨어 설계언어인 VHDL을 이용하여 설계하였으며, Xilinx ISE를 이용하여 합성하였으며, Model_SIM을 이용하여 검증을 완료하였다 [7]~[11].

II. 10Gbps 이더넷 MAC

10기가비트 이더넷에서는 전이중 이더넷만 지원하므로, 전송 중 충돌감지 기능은 없다. 따라서 1기가비트 이더넷에서 사용하던 캐리어 확장과 프레임 버스팅 기법이 없다. 대신에, 10기가비트 이더넷에서는 속도정합을 위한 interframe space stretch(ifsStretch) 등이 추가되었다. 그림 1은 10Gbps 이더넷의 아키텍처를 보여준다[3],[5],[12].

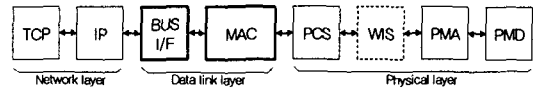


그림 1. 10Gbps 이더넷 아키텍처
Fig 1. 10Gbps Ethernet Architecture.

상위계층 패킷(LLC 또는 IP/TCP)을 수신측 MAC으로 오류 없이 전달하기 위해 일반적인 MAC 프레임은 주소 부분이 있는 헤더와 상위계층 패킷을 담은 정보영역 및 오류검사를 위한 트레일러 부분으로 구성된다. 각 프레임의 도착을 알리는 7바이트의 프리앰블은 각 프레임이 송신된 속도로 수신될 수 있도록 송신측과 수신측의 클럭을 동기화시킨다. 프리앰블 다음에 오는 1바이트의 프레임 시작 구분자는 수신단의 프레임이 실질적으로 시작된다는 것을 알린다. 수신단 주소, 송신단 주소와 종류/길이 필드를 합쳐서 이더넷 헤더라고 부른다. 이더넷 헤더는 이더넷이 송신지, 수신지, 크기와 데이터 필드에 있는 상위 계층 데이터 패킷의 프로토콜을 식별하는데 필요한 제어 정보를 가진다. 헤더 필드 바로 뒤에 따라오는 데이터 필드는 길이가 46에서 1500 바이트로 다양하다. 프레임의 다른 모든 필드는 길이가 정해져 있다. 프레임 검사열은 이더넷 프레임의 마지막에 있으며 프레임이 전송 중에 에러가 발생하지 않았다는 것을 확인하는데 사용될 체크섬 값을 가지고 있다. 체크섬은 프레임의 다른 모든 필드에서 나온 비트 값을 계산한 결과이다. 802.1Q의 VLAN인 경우, 다음 그림 2

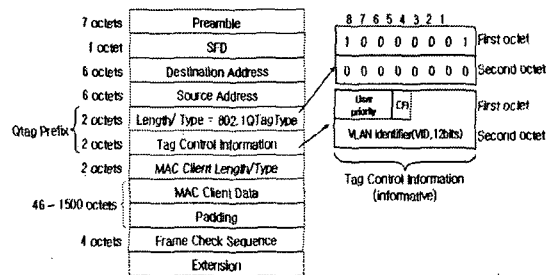


그림 2. MAC 프레임 정보
Fig 2. MAC Frame Information.

와 같이 4바이트의 Qtag가 추가되어 최대길이가 1522바이트로 증가된다[3],[5],[12]. 그림 2는 MAC으로 입력되는 프레임 정보를 보여주고 있다.

III. 하위 계층 인터페이스

1. 정합부계층

정합부계층은 MAC과 PCS간의 인터페이스인 XGMII와의 인터페이스를 위해 추가된 정합부계층이다. 10기기가비트 이더넷에서는 기존의 정합부계층에 있던 RX_DV, RX_ER, TX_EN, TX_ER, COL 등의 신호들은 모두 RXC(RX Control), TXC(TX Control)로 대체되었다.

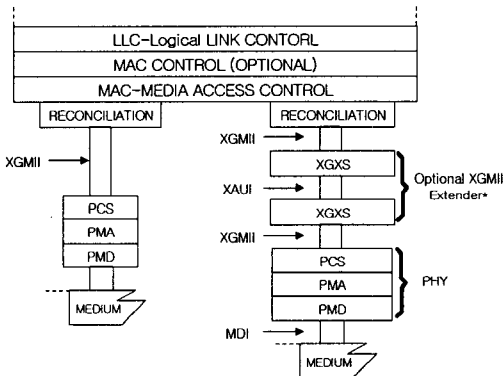


그림 3. 정합부계층과 XGMII
Fig 3. Reconciliation Sublayer and XGMII.

또한 충돌감지 기능이 없기 때문에 간단한 신호선으로 MAC과 PCS를 접속한다. 그림 3은 정합부계층과 XGMII의 구성을 보여준다[13]~[14].

2. XGMII

XGMII는 기존의 1000Mbps용 GMII 기능과 비슷하게 MAC부분과 PCS를 연결하는 인터페이스이다. 기존의 1000Mbps급 GMII에서는 송수신시 8비트 단위로 전달되는데 비해 XGMII에서는 32비트 단위로 송수신 스트림을 전달한다.

또한, 정합부계층은 링크 폴트 감지기능도 수행하는데, 수신 상태를 감시하여 고장 링크에 대하여 해당 단말에게 알린다. 32개의 데이터라인과 4개의 제어신호는 4개의 레인으로 나뉘며, 모두 동일한 TX_CLK이나 RX_CLK에 맞추어진다. 이 4 레인의 데이터들은 그림 4와 같이 라운드로빈 방식에 의해 바이트 단위로 처리된다.

TX_CLK은 상승 엣지와 하강 엣지 모두에서 데

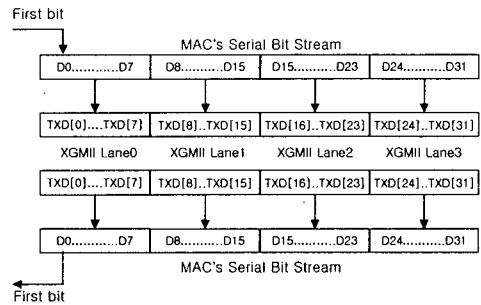


그림 4. 데이터 레인과 MAC 시리얼 비트 패턴과의 관계

Fig 4. Relation between data lanes and MAC serial bit pattern.

표 1. 컨트롤에 따른 허용된 제어문자 인코딩
Table 1. Encoding of escape character

TXC	TXD	Description	Data, Request parameter
0	00~FF	일반적인 데이터 전송	
1	07	Idle	
1	9C	Sequence (0번 레인에만 존재)	Normal inter-frame
1	FB	Start (0번 레인에만 존재)	
1	FD	Terminate	Data Complete
1	FE	Transmit Error propagation	Normal inter-frame
1	etc.	Reserved	

이터가 전달되는 더블 엣지 클럭킹을 사용하므로, 데이터 폭이 32비트로 156.25 MHz의 클럭 속도를 지원해도 10Gbps의 데이터 전송속도를 보장한다. TXC는 4개의 레인에 대한 송신을 제어하는 신호로써 데이터 송신 중이 아닌 제어용 문자를 송신하는 기간에만 활성화 된다. 표 1은 XGMII의 송수신용으로 규정된 데이터와 제어문자를 보여주고 있다[13].

IV. MAC 코어의 성능평가

1. 성능분석 모델 설정

MAC 코어의 내부 모듈에 포함되어야할 파라미터 정보의 효율적인 적용과 내부 FIFO의 크기 값

에 대한 도출과 효율적인 하드웨어 설계를 위하여 C 언어를 이용하여 설계모듈을 성능평가하였다. 그림 5는 성능평가를 위한 시스템 블록도를 보여주고 있다.

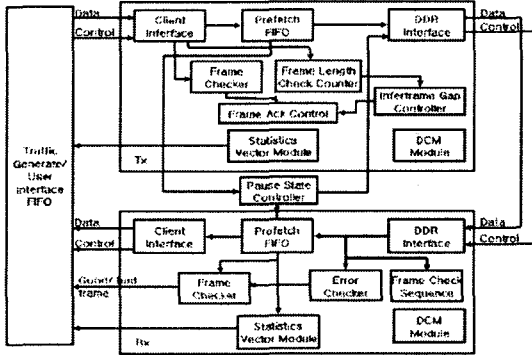


그림 5. 성능분석 시스템 블록도

Fig 5. Block diagram for performance evaluation.

성능 평가를 위한 시스템 블록도는 입력 프레임의 처리가 Cut_through 방식을 지원하기 때문에 패킷 생성 또한 버스트한 트래픽을 생성하여 하나의 프레임에 대해 연속적인 전송을 최대한 보장하였다. 그리고 전송 MAC FIFO에서 64비트의 데이터와 7비트의 컨트롤 데이터를 연속적으로 입력받아 프레임의 시작인지 끝인지를 프레임 체크와 프레임의 길이정보를 카운트하여 프레임의 전송이 종료 되는 시점부터 IFG만큼 감소하면서 Idle 컨트롤 정보를 전송한다. IFG를 수행한 후 프레임의 ACK신호가 발생하면서 연속적인 프레임을 전송하고 Prefetch FIFO를 거쳐 DDR(Double Data Rate) 인터페이스를 통하여 데이터를 전송한다.

프레임 전송시 프레임의 상태 정보를 상위계층에 보내준다. 하위 계층의 수신 FIFO에서 DDR 인터페이스를 통하여 데이터와 제어신호를 보내고 받은 데이터의 오류 체크를 한 후 오류가 발생하지 않았으면 Prefetch FIFO를 거쳐 64비트의 데이터와 7비트의 제어신호를 MAC FIFO에 전송하고 에러가 발생 하였으면 해당 프레임을 버린다. 하위 계층에서 받은 클럭을 이용하여 DCM 모듈에서 내부에서 사용 가능한 클럭으로 재생성하여 사용하고 내부 상태와 전송된 데이터의 정보를 상태 저장 벡터에서 상위 계층으로 알려주는 기능을 가지고 있다.

2. 전송부의 설계

전송할 프레임이 있어 데이터가 존재한다면, St-

art 신호가 발생되고 프레임 체크를 하여 프레임의 Valid값을 확인하여 코드워드 0x00 이외의 값이 존재한다면 데이터가 존재하여 MAC FIFO에서 전송 받은 프레임을 MAC에 전송하기 위해 64비트씩 DDR 인터페이스를 통하여 데이터를 전송한다. 코드워드를 확인하여 프레임의 끝이면 IFG 시간만큼 대기한 후 다음 프레임을 전송하고 다음프레임을 전송함에 있어서 MAC FIFO에 프레임이 존재하지 않았다면 다시 IFG 시간만큼 대기후 반복한다. 그림 6은 전송부의 패킷 처리 순서도를 보여주고 있다.

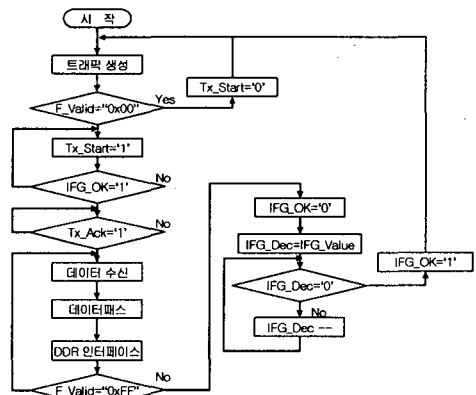


그림 6. 전송부의 패킷 처리 순서도

Fig 6. Flowchart of packet process in sender.

3. 수신부의 설계

수신부에서는 DDR 인터페이스를 통해 들어온 데이터를 가지고 프레임의 재조립을 시작한다. 그리고 프레임을 체크한 후 시작패킷부터 FCS를 연

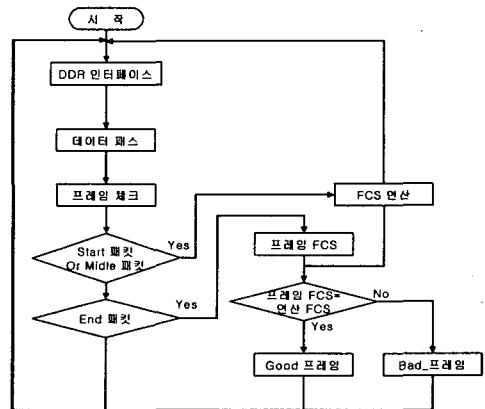


그림 7. 수신부의 패킷 처리 순서도

Fig 7. Flowchart of packet process in receiver.

산하고 프레임의 끝 패킷이면 프레임에서 수신된 FCS와 현재 계산된 FCS를 비교하여 FCS가 오류가 발생하였다면 프레임을 버린다. 오류가 발생하지 않았으면 FIFO에 바이트 단위로 저장한다. 그림 7은 수신부의 패킷 처리 순서도를 보여주고 있다.

4. 성능분석 결과

C언어를 이용해 설계된 MAC 모듈의 내부 FIFO 적응도를 판별하기 위하여 입력되는 트래픽에 Offered Load를 주어 각 Offered Load에 의한 FIFO 크기와 전송률을 확인하였다. 그림 8에서는 패킷 크기별 FIFO 크기변화를 보여준다.

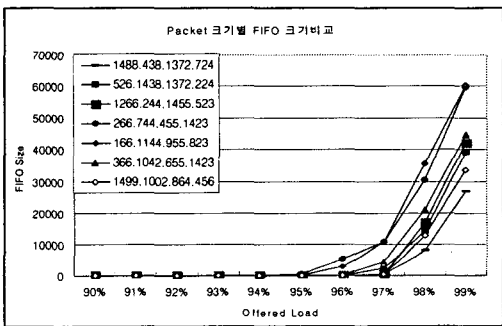


그림 8. 패킷 크기별 FIFO 크기 변화
Fig 8. FIFO sizes according to packet sizes.

Offered load에 따른 전송률을 성능 평가한 결과 평균 패킷 크기가 커질수록 전송률도 증가하는 것을 확인하였다. 그림 10은 프레임의 크기 변화에 따른 전송률의 비교를 보여주고 있다.

그림 8에서 보이는 것과 같이 평균 패킷 크기의 변화에 따른 FIFO의 변화량을 확인하였고, 전송률을 확인하였다. 성능평가 결과 MAC 모듈은 짧은 패킷이 유입되었을 때 95%까지, 일반 패킷이 유입되었을 때 97%까지 패킷 손실이 발생하지 않음을

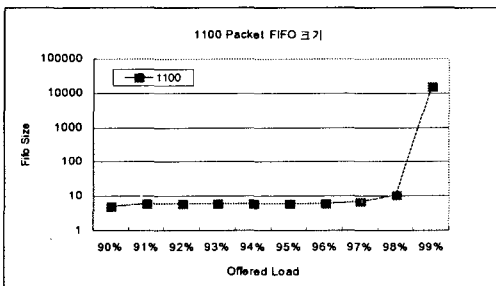


그림 9. 패킷 크기 1100바이트일 때의 FIFO 크기 변화
Fig 9. FIFO sizes when packet size is 1100-byte.

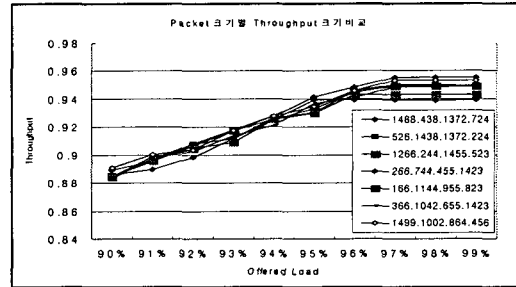


그림 10. 패킷 크기 변화에 따른 전송률의 비교
Fig 10. Comparison of data transfer rate according to packet sizes.

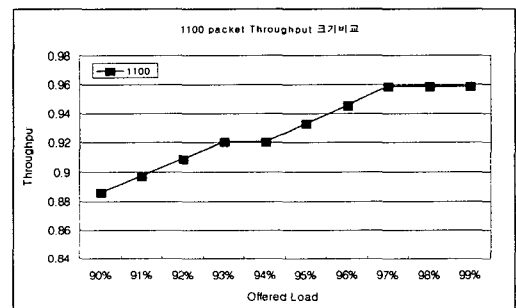


그림 11. 패킷 크기 1100일 때의 전송률
Fig 11. Data transfer rate when packet size is 1100-byte.

확인하였다. 그림 9는 패킷 크기가 1100바이트일 때의 FIFO 사용량을 보여주고 있다.

그림 11은 패킷 크기가 1100바이트일 때의 전송률의 변화를 보여주고 있다. 그림에서도 볼 수 있듯이 패킷 크기가 큰 경우 전송률이 98%일 때까지 정상적으로 패킷이 전송됨을 확인하였다.

V. MAC 코어의 설계

1. 고속 데이터 처리를 위한 MAC 모듈

입력 프레임의 처리에 대해 Cut_through 방식을 지원하여 고속 데이터 처리를 지원하였다. 그리고 전송 MAC FIFO에서 64비트의 데이터와 7비트의 컨트롤 데이터를 연속적으로 입력받아 프레임의 시작인지 끝인지를 프레임 체크와 프레임의 길이 정보를 카운트하여 프레임의 전송이 종료되는 시점부터 IFG 만큼 감소하면서 Idle 컨트롤 정보를 전송한다. IFG를 수행한 후 프레임의 ACK 신호가 발생하면서 연속적인 프레임을 전송하고 데이터 패스를 거쳐 DDR 인터페이스를 통하여 데이터를

전송한다.

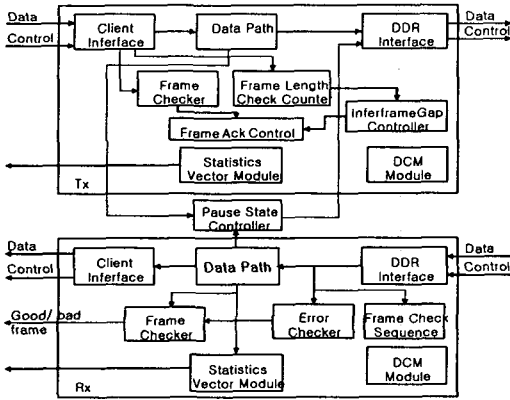


그림 12. 고속 데이터 처리를 위한 MAC 코어의 블록도

Fig. 12 MAC core block diagram for high-speed data processing.

프레임 전송시 프레임의 상태정보를 상위계층에 보내준다. 그리고 하위 계층의 수신 FIFO에서 DDR 인터페이스를 통하여 데이터와 제어신호를 보내고 받은 데이터의 오류 체크를 한 후 오류가 발생하지 않았으면 데이터 패스를 거쳐 64 비트의 데이터와 7비트의 제어신호를 MAC FIFO에 전송하고 에러가 발생하였으면 해당 프레임을 버린다. 하위 계층에서 받은 클럭을 이용하여 DCM 모듈에서 내부에서 사용 가능한 클럭으로 재생성하여 사용하고 내부 상태와 전송된 데이터의 정보를 상태 저장 백터에서 상위 계층으로 알려주는 기능을 가지고 있다. 고속 데이터 처리를 위해 데이터 처리 지연요소가 가장 큰 데이터 패스에 대해 전송부는 4단 파이프라인, 수신부는 3단 파이프라인 방식을 적용하여 지연을 최소화하였다. 그림 12는 고속 데이터 처리를 지원하는 MAC 코어의 블록도를 보여 주고 있다.

2. 전송부의 설계

MAC Core는 64비트의 데이터와 8비트의 컨트롤 데이터를 연속적으로 입력받아 프레임의 시작인지 끝인지 체크하고 프레임의 길이정보를 확인한다. 프레임 체크 블록에서 프레임의 끝을 확인하여 IFG 블록을 실행하여 IFG 만큼의 Idle 프레임을 생성하여 전송한다. IFG를 수행한 후 MAC 코어의 전송부는 데이터를 수신하여 전송 가능한 대기 상태가 되고 상위 MAC FIFO로부터 START 신호를 확인하여 데이터를 받아 처리한다. FCS를 요구할

경우 MAC 코어 내부에서 CRC값을 삽입하여 전송하게 된다. 또한 휴지 상태 컨트롤을 통한 플로우 컨트롤을 지원한다.

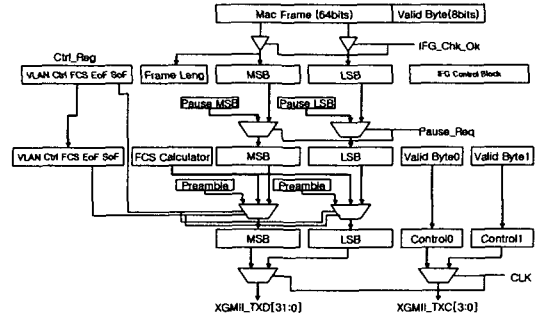


그림 13. MAC 코어의 데이터패스 블록도

Fig 13. Block diagram of data path for MAC.

상위 계층인 MAC FIFO로부터 수신한 64비트의 데이터와 8비트의 컨트롤 정보를 수신하여 데이터를 처리하는데, MAC FIFO에서 전송할 데이터가 존재함을 확인하여 TX_START 신호를 활성화한다. MAC 코어는 현재 데이터 전송이 가능한 때에 TX_ACK 신호를 활성화하여 MAC FIFO로부터 연속적인 프레임을 수신한다.

유효 프레임 정보를 확인하여 XGMII 블록으로 전송할 컨트롤 정보를 생성하고 DDR 인터페이스를 거쳐 32비트의 데이터 정보와 4비트의 컨트롤 정보를 하위 계층으로 전송한다. 그림 13은 MAC 코어 전송부의 DataPath를 보여준다. 4단 파이프라인으로 구성되며, Cut_Through 방식의 데이터 처리를 통해 고속화를 구현하였다.

3. 수신부의 설계

유입되는 32비트의 데이터와 4비트의 컨트롤 정보를 DDR 인터페이스에서 SDR로 변환하여 64비트의 데이터와 8비트의 컨트롤 정보로 변환한다. 변환된 데이터 정보와 컨트롤 정보를 디코딩 하여 프레임의 시작과 프레임의 끝, 그리고 프레임 전송도중 발생한 에러정보를 추출하고, FCS 연산을 통해 오류 발생 여부를 확인하고 64 비트의 데이터와 8비트의 데이터 유효정보로 변환하여 전송한다. 수신된 프레임이 정상 프레임으로 확인될 경우 RX_Good_Frame 신호가 활성화되고, 에러가 발생하였을 경우 상위에서 프레임을 버릴 수 있도록 RX_Bad_Frame를 활성화하여 상위 계층에 전송한다.

입력되는 패킷은 4비트의 컨트롤 정보가 DDR로

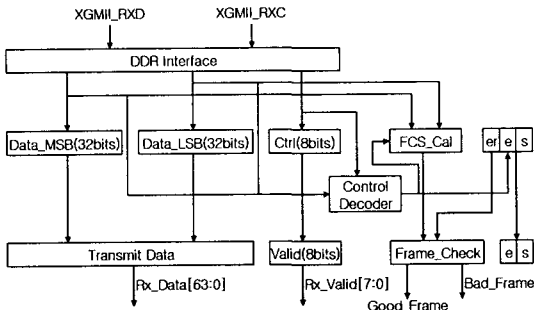


그림 14. 데이터 패스의 블록도
Fig 14. Block diagram of data path.

입력되므로 총 1사이클에 8비트의 컨트롤 정보를 입력된다. MAC RX 모듈에서는 컨트롤 정보와 입력되는 데이터를 상시 확인하여 프레임의 시작을 알리는 컨트롤 정보와 컨트롤 데이터를 확인하여 프레임 수신을 시작한다. 수신된 데이터의 프리앰블 필드를 제외한 모든 필드를 파이프라인 시키면서 MAC FIFO에서 요구하는 64비트의 데이터로 재조립 해주며 8비트의 컨트롤 정보를 8비트의 데이터 유효 정보로 변환한다. 그림 14는 XGMII에서 DDR로 데이터를 수신하여 데이터를 처리하는 데이터 패스의 상세 회로를 보여주고 있다. 3단 파이프라인으로 구성되어 있으며, 각 파이프라인에서는 현재 프레임의 에러정보와 컨트롤 정보를 가지고 있다.

4. 전송부의 파형 분석

그림 15는 MAC과 MAC FIFO의 전송부가 연결된 파형을 보여주고 있다. 그림에서 볼 수 있듯이 MAC FIFO에 프레임의 끝이 전송되지 않은 시점에 MAC TX모듈에서 프레임 처리한 Cut_Through

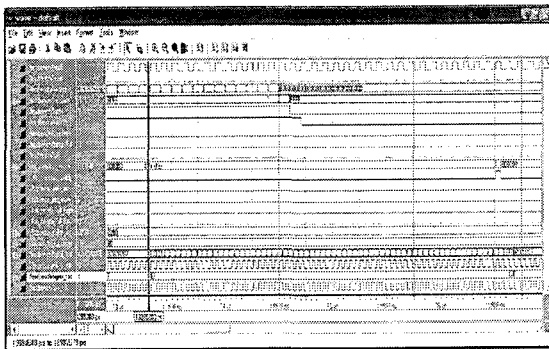


그림 15. MAC과 MAC_FIFO의 전송부 파형
Fig 15. Waveform for MAC and MAC_FIFO in sender.

방식의 동작을 확인할 수 있다.

MAC FIFO에 프레임이 수신됨과 동시에 프레임을 전송하는 방식으로 프레임의 끝을 확인하지 않고 처리하지 않기 때문에 전송 효율이 높은 장점을 가지고 있으나 프레임의 유입 속도가 저속으로 유입될 경우 프레임의 끝에 도달하지 않았는데 FIFO가 비게 되는 Underrun 상태가 발생할 수 있다.

5. 수신부의 파형 분석

그림 16은 MAC과 MAC FIFO의 수신부가 연결된 파형을 보여준다. MAC FIFO에서 프레임의 끝을 수신하지 않고 바로 Rd_En이 활성화되어 프레임 읽는다. 또한 Cut_Through방식을 지원하여 프레임이 수신되는 도중에도 전송할 수 있게 설계하였다. 파형에서 보듯이 프레임이 종료되는 시점에서 상태 정보가 전송되고 Valid신호를 확인하여 MAC FIFO에서는 데이터를 연속적으로 수신한다.

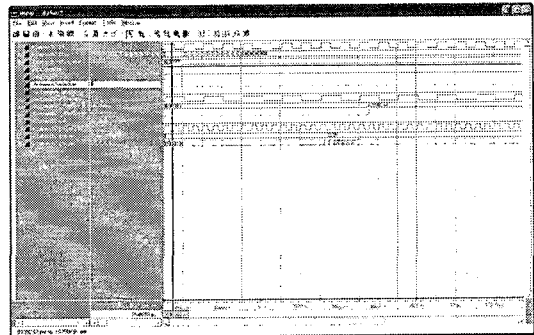


그림 16. MAC과 MAC_FIFO의 수신부 파형
Fig 16. Waveform for MAC and MAC_FIFO in receiver.

6. 설계 결과

설계된 MAC 코어는 사용자 인터페이스에 64비트 데이터와 하위 계층간 32비트 DDR 인터페이스

표 2. MAC 코어의 설계 결과 비교

Table 2. Comparison for design result of MAC

비교모델	표준안	Xilinx	Our Design
비교값	요구사항	CS201	
Internal Clock	156.25MHz	156.25MHz	168.54MHz
XGMII Interface	156.25MHz	156.25MHz	168.54MHz
Slices	n/a	1061	950

가 연결되어 있다.

표준안에서 요구하는 MAC 코어의 주파수는 156.25MHz 이상을 요구 하여 10Gbps 이더넷을 지원하게 된다. Xilinx에서 개발한 DS201 MAC 코어는 156.25MHz를 지원하고 있다. 설계한 모듈은 라인당 168.549MHz를 지원하여 보다 나은 성능을 보여주고 있으며, 고속의 응용분야에 활용에 효과적이다. 표 2는 MAC 코어의 설계 모듈과 CS201 모듈의 비교를 보여주고 있다[13].

VI. 결 론

본 논문에서는 10Gbps 이더넷의 Data Link Layer에서 적용 가능한 MAC 코어를 C언어를 이용한 성능평가를 토대로 VHDL 언어를 이용하여 설계하고 검증하였다. 설계된 모듈의 내부 지연요소가 가장 많은 DataPath에 대해 전송부 4단 파이프라인, 수신부 3단 파이프라인을 제안하여 고속의 데이터 처리하도록 설계하였다. 동작 주파수는 168.549MHz였다. 따라서 본 논문에서 설계된 MAC 코어는 고속의 네트워크 장비에 효과적으로 적용가능하다. 또한 10Gbps 이더넷의 스위칭 장비의 인터페이스로 응용이 가능할 것으로 사료된다.

참고문헌

- [1] 이찬구, 김대영, "10기가비트 이더넷 기술동향", 한국통신학회논문지 16권 112호 pp.59-69, 1999년 12월.
- [2] 김대영, 성기순, "초고속 이더넷", Telecommunications Review 제10권 1호, pp.93-105, Jan. 2000.
- [3] David G. Cunningham, Ph.D. Gigabit Ethernet Networking, Macmillan Technical publishing, 1999.
- [4] 10GEA, "10Gigabit Ethernet White Paper" May.

2002.

- [5] IEEE Draft P802.3ae/D5.0, "MAC Parameters, Physical Layer, and Management Parameters for 10Gb/s Operation", May. 2002.
- [6] IEEE Std 802.3ae/D5.0, "Supplement to CS-MA/CD Access Method & Physical Layer Specifications", 2002.
- [7] James F. Kurose, Computer Networking , Addison Wesley, 2001.
- [8] Xilinx, "Virtex-II Platform FPGAs: Complete Data Sheet", June. 2004.
- [9] Douglas j. Smith, HDL Chip Design, Doone Publications, 1996.
- [10] Xilinx, "Xilinx ISE 6 Software Manuals and Help", 2004.
- [11] Xilinx, "Model Sim Xilinx User's Manual Version 5.6a", Apr. 2002.
- [12] 10 Gigabit Ethernet Alliance (10GEA). <http://www.10gea.org/>
- [13] Xilinx, "10-Gigabit Ethernet MAC with XGMII or XAUI V4.0", Dec. 2003.
- [14] Xilinx, "XGMII Using the DDR Registers, DCM, and Secectl/O-Ultra Features", July, 2002.

저자소개



손승일(Seung-Il Sohn)

1989년 연세대학교 전자공학과(학사)
 1991년 연세대학교 대학원 전자공학과(석사)
 1998년 연세대학교 대학원 전자공학과(박사)

2002년~현재 한신대학교 정보통신학과 부교수
 ※관심분야 : ATM 통신 및 보안, ASIC 설계