

데이터에 의한 구동과 세분화된 비트-슬라이스의 동적제어를 통한 저전력 2-D DCT/IDCT 구조

김견수[†], 류대현^{**}

요 약

본 논문에서는 입력 데이터 특성을 반영하여 전력 효율이 좋은 2차원 DCT/IDCT 구조를 제안한다. 일반적으로 비디오와 영상 데이터 압축에 있어서 제로 또는 작은 값들이 입력 데이터의 많은 부분을 차지하므로 제안 방식에서는 이러한 특성을 이용하여 소모 전력을 줄인다. 특히, 간단한 AND와 비트-슬라이스 마스크(MASK)를 사용하여 곱셈기와 누산기(accumulator) 내에서 제로를 곱하는 것을 생략하고 요구되는 세분화된 가산기들의 비트-슬라이스를 동적으로 활성화 또는 비활성화 한다. 제안 방식을 1-D DCT/IDCT에 적용하여 얻은 결과에서는 매트릭스 전치에서 전력 절감을 위해 이용되는 불필요한 부호확장비트(SEBs)를 갖고 있지 않음을 보여주고 있다. 비트 레벨 트랜지션 빈도 시뮬레이션(bit-level transition activity simulations)을 통해 기존의 설계에 비해 뚜렷한 전력 절감 효과를 확인하였다.

A Low-Power 2-D DCT/IDCT Architecture through Dynamic Control of Data Driven and Fine-Grain Partitioned Bit-Slices

Kyeounsoo Kim[†], Dae-Hyun Ryu^{**}

ABSTRACT

This paper proposes a power efficient 2-dimensional DCT/IDCT architecture driven by input data to be processed. The architecture achieves low power by taking advantage of the typically large fraction of zero and small-valued input processing data in video and image data compression. In particular, it skips multiplication by zero and dynamically activates/deactivates required bit-slices of fine-grain bit-partitioned adders within multipliers and accumulators using simple input ANDing and bit-slice MASKing. The processed results from 1-D DCT/IDCT do not have unnecessary sign extension bits (SEBs), which are used for further power reduction in matrix transposer. The results extracted by bit-level transition activity simulations indicate significant power reduction compared to conventional designs.

Key words: DCT/IDCT Architecture(DCT/IDCT 구조), Video Compression(동영상 압축), Power Reduction(전력 절감), Matrix Transposer(매트릭스 전치), Dynamic Control(동적 제어)

※ 교신저자(Corresponding Author) : 류대현, 주소 : 경기도 군포시 당정동 604-5(435-742), 전화 : 031)450-5228, FAX : 031)450-5172, E-mail : dhryu@hansei.ac.kr

접수일 : 2004년 8월 30일, 완료일 : 2004년 11월 19일

[†]특허청

(E-mail : kyskim@kipo.go.kr)

^{**}정회원, 한세대학교 IT학부

※ 본 논문은 2004년 한세대학교 교내 연구비 지원에 의하여 연구되었음.

1. 서 론

휴대용 멀티미디어 기기에서 배터리 사용시간 증가에 대한 요구가 점점 늘어남에 따라, ITU-T Recommendation H.261[1], JPEG[2], 그리고 MPEG[3, 4]와 같은 다양한 영상압축 표준에서 필수 불가결한 DCT와 IDCT(Discrete Cosine Transform / Inverse DCT)의 저전력 구현의 중요성도 커지고 있다. 2-D

DCT/IDCT 동작의 핵심은 두개의 1-D DCT/IDCT 와 그 사이의 매트릭스 전치이다. 1-D DCT/IDCT는 보통 곱셈-누산으로 구현되는 입력 벡터와 상수 매트릭스의 곱셈으로 표현된다[5-9]. 일반적으로 매트릭스 전치는 각각 멀티플렉스와 레지스터를 포함하는 전치 셀(TCs)의 2차원 배열을 사용하여 구현된다 [9-12].

최근 Xanthopoulos와 Chandrakasan은 저전력 구현을 위한 새로운 2-D IDCT 구조를 연구했다[13]. 이 연구에서는 그림 1에 나타난바와 같이 IDCT 입력 데이터의 많은 부분이 제로 값을 가지고 있음을 관찰하고, 이런 사실에 착안하여 제로 값을 갖는 데이터에 대한 동작을 생략(skip)하여 전력을 절감하는 데이터-구동 IDCT를 개발하였다. 그들의 연구에서는 DCT는 제로 값을 갖는 데이터가 적기 때문에 IDCT

에만 주목하였다. 뿐만 아니라 2-D IDCT는 두개의 1-D IDCT로 나누어지고 두 번째 1-D IDCT에서는 제로 값을 갖는 입력이 적어진다. 따라서 그들이 제안한 구조는 두 번째 1-D IDCT에서는 좀 불리하다. 2-D DCT/IDCT 프로세서[13]에서 매트릭스 전치가 전력소모의 주원인이 아니지만 2의 보수로 표현되는 입력 데이터에 의해 발생하는 추가 동작은 매트릭스 전치 내에서 전력의 많은 부분을 소모한다[14].

본 연구는 이러한 데이터의 통계적 특성과 특별히 데이터의 대부분이 작은 값들 이라는(예를 들어 두 번째 1-D IDCT에서) 사실에 착안하였다.

또한 그림 2에 나타난 바와 같이 전치 될 중간 데이터에 있어서 DCT 데이터의 50%이상 이 8 최상위 비트가 SEBs이며 IDCT 데이터의 80%이상에서 모든 비트가 SEBs라는 사실을 알 수 있다. 본 논문의

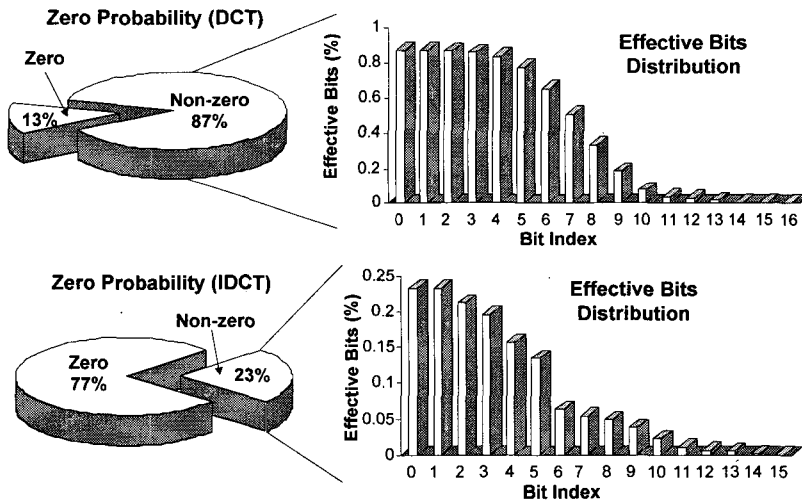


그림 1. 2-D DCT와 IDCT에 대한 입력 데이터의 통계적 특성(flower garden, football, 그리고 table tennis 영상의 10 프레임 이상 평균)

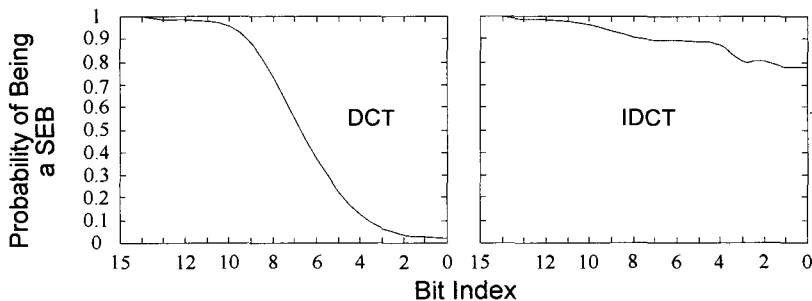


그림 2. 2개의 1-D DCT/IDCT 프로세서간에서 전치될 데이터의 통계적 특성(flower garden, football, 그리고 table tennis) 각각은 720×480 해상도

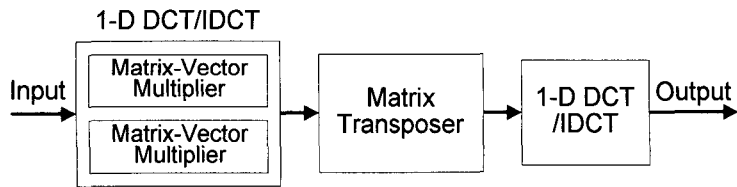
일반적인 아이디어는 작은 값을 갖는 데이터를 이용하고 사인 비트로 확장된 비트-슬라이스를 비활성화시켜 천이 빈도(transition activity)를 최소화 하는 것이다. 만약 이러한 처리에 대한 추가 제어 부담이 최소화 되거나 숨겨질 수 있다면 저전력을 구현할 수 있다.

제안된 구조는 이전에 개발된 2분할(two-way partitioning)보다 데이터의 통계적 특성을 잘 이용하기 위해 세분된 비트-슬라이스로 나누어진다[15]. 이때 저 전력 동작의 핵심은 본 논문에서 제안하는 ANDing 로직과 불필요한 비트-슬라이스를 비활성화 하는 관련 제어회로이다. 이러한 세분된 구조는 SEBs가 아닌 비트-슬라이스만을 활성화하는 빠르고 효율적인 마스크(MASK) 유닛으로 처리된다. 곱셈-누산의 출력에서의 결과는 2의 보수보다 부호-크기 표현과 유사하므로 저전력 매트릭스 전치에 적합하고, 이러한 불완전한 결과에 대한 전체 복구회로는 매트릭스 전치의 출력 측에 놓여진다.

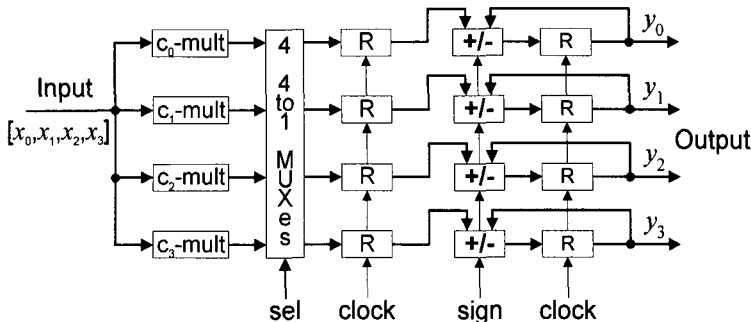
본 논문에서는 비트레벨 천이 시뮬레이션에 의한 상세한 해석을 결과로서 제시하였다. 그 결과 본 논문에서 제안한 방식이 기존의 하드웨어 기반의 2-D DCT/IDCT에 비교하여 각각 19.25% / 62.5% 적은 전력을 소모함을 보여준다.

2. 관련 연구

일반적으로 $N \times N$ DCT의 계산은 $N \times N$ 상수 매트릭스 (C)와 $N \times N$ 입력 매트릭스 (X)의 3중 매트릭스 곱($Z=CXC^T$)으로 이루어진다. 이 연산은 두개의 $N \times 1$ 변환으로 나누어지는데 이는 두개의 매트릭스 곱($Y=CX$ 과 $Z=YC^T$)으로 표현될 수 있다. 상수 매트릭스 C는 짝수 열과 홀수 열이 서로 대칭이므로 매트릭스 곱은 두개의 $N/2 \times N/2$ 부-매트릭스로 나누어질 수 있고, 따라서 덧셈기와 뺄셈기의 수를 줄이는 대신 곱하기 연산이 늘어난다[5-7]. 이들 매트릭스 곱은 입력 데이터 부-매트릭스 내에서 보통 각 입력 벡터(또는 열)에 대해 하나의 매트릭스-벡터 곱셈기를 사용하여 구현된다. 그 예로서 4×1 입력 벡터와 4×4 계수를 곱하는 일반적인 동기식 설계에 의한 매트릭스-벡터 곱셈기를 그림 3에 나타내고 있다. 여기서 4×4 부-매트릭스는 4개 이내의 제로가 아닌 비교적 큰 값을 갖는 데이터(c_0, c_1, c_2 , 그리고 c_3)와 그 보수 값으로 구성되어있음을 주목할 필요가 있다. 뿐만 아니라 각 출력 데이터 y_0, y_1, y_2 , 그리고 y_3 는 입력 벡터 $[x_0, x_1, x_2, x_3]$ 와 4×4 계수 매트릭스의 서로 다른 열(row) 간의 내적(inner product)이기도 하다. 예를 들어 첫 번째 출력은 $y_0=c_0x_0+c_1x_1+c_2x_2+c_3x_3$ 로 계산 될 수 있다. 이러한 설계에서 내적은



(a) A 2-D DCT/IDCT architecture.



(b) A 4×4 matrix by 4×1 vector multiplier.

그림 3. 하드웨어 곱셈기를 기반으로 하는 일반적인 2-D DCT/IDCT의 구조(6)

입력 벡터 원소 x_0, x_1, x_2, x_3 을 각 클럭 사이클마다 하나씩 순차적으로 처리하므로 총 네 개의 클럭 사이클에 걸쳐 계산이 이루어진다. 좀더 자세히 설명하면 각 클럭 사이클에서 입력 벡터 원소는 모든 c_i 와 곱해지고 그 결과(y_i)가 네 개의 누산기(accumulators)에 각각 분배(MUX의 선택신호 'sel'이 제어)된다.

그림 3에 하드와이어드 곱셈기를 기반으로 하는 일반적인 2-D DCT/IDCT의 구조를 나타내었다. 일반적으로 상수 계수를 곱하는 것은 하드와이어드 곱셈기를 사용하여 구현할 수도 있고[6] 분산산술연산(distributed arithmetic)을 사용하여 구현할 수도 있다[7]. 하드와이어드 곱셈기는 상수를 일련의 하드와이어드 쉬프트와 덧셈함으로서 요구되는 곱셈을 줄일 수 있다. 예를 들어 입력 데이터 x_1 을 상수 $c=(0.35352)$ 곱하는 것은 $(2^{-9}x_1)+(2^{-7}x_1)+(2^{-5}x_1)+(2^{-4}x_1)+(2^{-2}x_1)$ 로 표현되는데 여기서 x_1 과 2의 부 멱승(negative powers)과의 곱은 입력을 오른쪽으로 쉬프트 하는 것으로 구현될 수 있다. 한편 분산산술연산에 기반을 두는 곱셈기는 곱셈을 룩업테이블(LUT)에 대한 일련의 액세스로 처리하는데 보통 ROM으로 구현된다. 다수의 ROM을 사용하면 칩의 면적이 증가하고 복잡해지기는 하지만 병렬구현도 가능하다[8]. 분산산술연산에 기반을 두는 구조는 하드와이어드 곱셈기에 비해 높은 속도를 얻을 수 있으나, 이 방식은 하나의 곱셈-저장 동작에 대해 비교적 큰 ROM 주소와 비트 선의 스위칭을 필요로 하므로 전력 소모가 큰 편이다. 사실상, 전력소모는 휴대용 또는 무선 멀티미디어 응용에 대한 요구가 증가함에 따라 점점 더 중요해 지고 있다. 이러한 설계에서 데

이터의 통계적 특성에 대한 이해 또한 중요하다.

대부분의 영상압축 표준에서 DCT/IDCT의 입력 데이터는 9-bit / 12-bit이며 2의 보수로 인코딩된다. 그러나 내부에서는 매트릭스-벡터 곱셈은 계산 정확도를 보장하기 위해 IDCT에 대해서는 16-bit DCT는 17-bit를 갖는다[5-7]. 본 논문에서는 이러한 비트 길이로 세 종류의 비디오 열(flow garden, football, 그리고 table tennis)에 대하여 DCT/IDCT 알고리즘을 시뮬레이션 하였다. 그리고 효과적인 비트 위치, 즉 SEB가 아닌 실제 데이터의 위치를 상기 시뮬레이션에 의한 확률로부터 결정하였다. 결과적으로, 그림 1과 2에 나타나 있듯이 대부분의 입력 데이터는 SEBs이며 이러한 특성을 이용하여 저 전력 설계를 할 수 있다는 점을 제시하고 있다.

3. 하드와이어드 매트릭스-벡터 곱셈기에 기반을 둔 저전력 1-D DCT/IDCT

8×1 DCT/IDCT 구조는 두개의 4×1 DCT/IDCT로 나누어 질 수 있으며, 제안된 저 전력 4×1 DCT/IDCT 구조는 하드와이어드 매트릭스-벡터 곱셈기에 기반하며 그림 4에 나타나 있다. 데이터-패스는 기존의 하드와이어드 곱셈기에 기반을 둔 구조와 비슷하나, 제안된 데이터-패스에서 곱셈기와 누산기는 마스크 제어신호에 의해 선택적으로 활성화 되는 세분된 비트-슬라이스들로 구성된다. 특별히 MASK 유닛은 특별히 데이터가 제로인 경우(zero_detect) 뿐 아니라 non-SEBs를 포함하는 입력데이터의 비트-슬라이스도 식별한다. 마스크 신호는 non-SEBs를 포함하는 누산기의 비트-슬라이스를 식별하기 위

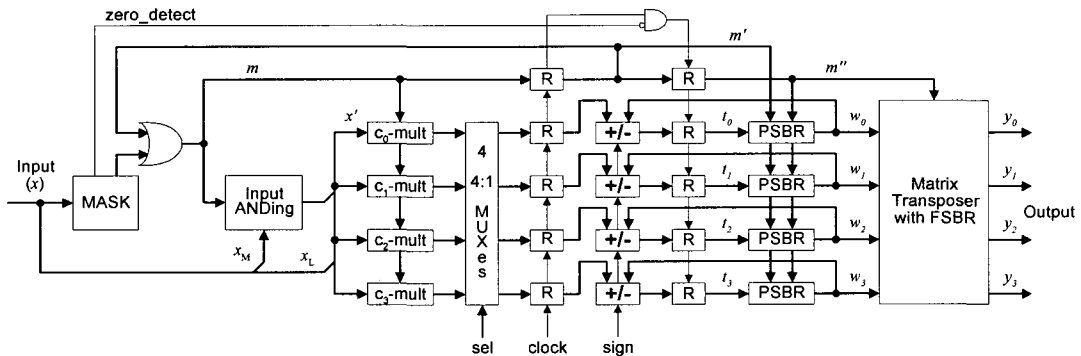


그림 4. 제안된 저전력 4×1 매트릭스-벡터 곱셈기 구조

해 이전의 등록된 버전과 논리합 된다. 그 결과 제어 신호는 누산기에서 필요한 곱셈기의 비트-슬라이스를 식별한다.

이들 제어 신호는 그림 5에 나타난 바와 같이 *Input ANDing*을 통해 제로로 만듦으로서 잉여 입력비트(b_{15} b_{13})를 비활성화 하는데 이용된다. 입력 데이터는 다수의 곱셈기에 들어가므로 MASK, OR, 그리고 입력 ANDing 이 다수의 곱셈기와 누산기에 분산되고 오버헤드는 전체 설계에서 적은 비중을 차지하게 된다. 데이터가 제로 값을 갖는 특별한 경우에는 MASK 유닛이 전체 연산과 새로운 값을 받아들이는 동작을 하지 않도록 zero_detect 신호를 부가한다. 마지막으로 누산기에 대한 입력이 활성화된 비트-슬라이스와 같은 수가 되도록 하기 위하여, 부분 부호 비트 복구(PSBR) 회로는 누산기에서 새롭게 활성화된 비트-슬라이스를 확장한다.

이 부분 복원 데이터는 매트릭스 전치에서 스위칭 빈도를 더 줄이는데 유용하게 이용된다. 따라서 전체 부호비트 복구(FSBR) 회로는 매트릭스 전치의 출력단에 놓이는 것이 좋다.

3.1 비트-슬라이스 분할과 마스크 검출

이상적으로는 유효한 비트만 선택적으로 활성화하는 것이 효과적이다. 그러나 이렇게 하려면 모든 비트에 대해, 큰 오버헤드가 되는 제어회로가 필요해

진다. 따라서 활성화된 비트를 비트-슬라이스로 구성하고, 제어 회로의 오버헤드를 고려하여 활성화될 수 있는 비트-슬라이스의 수를 최적화하는 것이 중요하다. 이 때문에 일반적인 영상 열에 대해 비트레벨 시뮬레이션을 수행하였다. 이 비트레벨 시뮬레이션에서 DCT 경우 3-비트 마스크 신호($m(2)$, $m(1)$, and $m(0)$)와 IDCT의 경우 2-비트($m(2)$ 와 $m(0)$)와 함께 zero_detect 플레그가 비트 활성화빈도에 있어서 최적 값으로부터 10% 이내 범위로 감소됨을 알수 있었다. 이들 신호에 대한 설명이 표 1에 나타나 있다.

MASK 유닛은 동적 로직 설계(일반적으로 전력 소모가 많음) 형태보다는 정적 로직 설계 형태로 구현되는 것이 유리하다. 정적 회로 기반의 MASK 회로는 설계는 용이하지만 높은 성능을 얻기는 쉽지 않다. 본 설계는 대부분의 마스크 신호 생성을 병렬로 처리하며, 약 4게이트 지연에 해당하는 최장 경로 지연을 가지고, 이는 또한 x_L 에 의한 곱셈연산과 동시에 수행되므로 곱셈 연산의 지연에 묻혀버린다.

3.2 세분화된 비트-슬라이스를 제어하는 하드와이어드 곱셈기

본 논문에서 제안된 세밀하게 제어되는 하드와이어드 곱셈기는 비트 분할된 캐리-저장 곱셈기를 기반으로 하고 있으며 그림 6에 나타나 있다. 캐리 보존 곱셈기의 최악경로(critical path)는 주로 최종단의

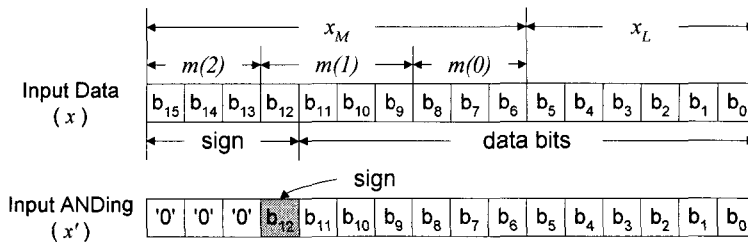


그림 5. 입력 ANDing 메커니즘

표 1. mask와 zero_detect 신호

Description	$m(2)$	$m(1)$	$m(0)$	zero_detect
All bit-slice activate	1	1	1	1
3 bit-slice activate	0	1	1	1
2 bit-slice activate	0	0	1	1
1 bit-slice activate	0	0	0	1
Zero data detected	0	0	0	0

vector-merging adder에 걸쳐있으며, 본 논문은, 리플 캐리 가산기는 고속 가산기들(즉, 캐리 선택 혹은 바이패스 가산기)보다 훨씬 전력소모가 적기 때문에, 비트 분할된 리플 캐리 가산기로 구현하는 것을 제안한다. 계단형 비트-슬라이스는 덧셈기가 서로 다른 입력 비트-폭에 대해 동적으로 구성될 수 있게 해준다. 예를 들어 첫 번째 두 비트-슬라이스가 활성화되면, 곱셈기는 9비트 입력을 처리하는 일반적인 곱셈기로 정확히 동작한다.

이러한 형태의 비트-폭 재구성 가능한 구조에는 두 가지 중요한 특징이 있다. 첫 번째 특징은, 단지 첫 번째 두 비트-슬라이스만 활성화 되었을 때 세 번째 입력 슬라이스로부터 나오는 두 번째 입력 비트-슬라이스에 대한 입력은 입력 ANDing 회로에 의해 강제로 제로가 된다. 두 번째 특징은 비트-슬라이스 경계에서 최 우측 쉬프트된 입력의 부호 확장이다. 그림 7에서 이와 관련된 문제와 제안된 해결책을 보여주고 있다. 입력 데이터는 그림 5에 나타나 있는 것과 같다. 특별히 그림에서는 x 의 두 비트-슬라이스

가 활성화 되었을 때 즉 b_{13} 에서 b_{15} 까지가 제로로 되었을 때, $x \gg 9$ 이 $x \gg 7$ 에 더해지는 경우를 보여 주고 있다. 이 경우 더 많이 우측으로 쉬프트된 입력은 $x \gg 9$ 입력이며 비트-슬라이스 경계에서 2 비트 부호 확장이 되어야 한다. 본 논문에서 제안하는 방식은 MASK 회로에 의해 제어되는 두개의 MUX를 더하는 것이다. MUX는 정확히 3개의 비트-슬라이스가 활성화되는 경우($m(2) = 0, m(1) = 0, m(0) = 1$)를 제외하고는 x 입력 비트를 출력한다. 이 경우 MUX는 부호 확장 비트를 출력한다.(이 경우는 이것은 x 의 b_{12} 비트가 된다). 그림 6에 나타나 있듯이 필요한 MUX의 수는 적으며, 보통 최약경로에 있지 않다.

3.3 누산기 설계

제안된 4×4 매트릭스-벡터 곱셈기는 네 개의 누산기를 갖고 있는데 각각 매트릭스 행에 대해 곱셈 결과를 더하게 된다. 이들의 비트-폭은 레지스터에 의해서 저장된 마스크 신호에 의해 세트된다. 이것은

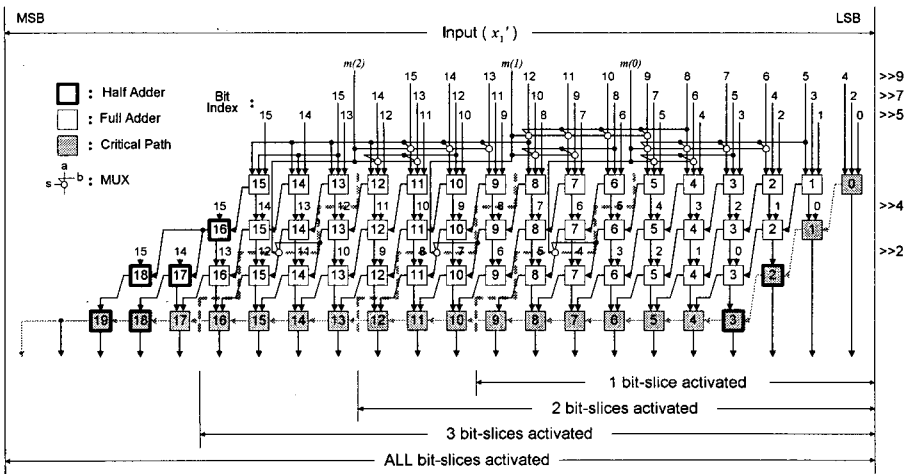


그림 6. 제안된 $0.35352x_1$ 에 대한 정교한 캐리 보존 하드와이어드 곱셈기(0.35352 는 $(2^{-9}x_1) + (2^{-7}x_1) + (2^{-5}x_1) + (2^{-4}x_1) + (2^{-2}x_1)$ 로 표현됨)

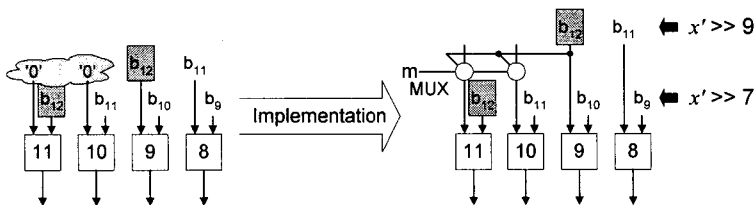


그림 7. 곱셈기 배열에서 부호 비트 확장을 위해 제안된 메카니즘

새로운 MASK 회로가 필요치 않으며 이들 마스크 신호는 이들 누산기에 대한 PSBRs를 직접 제어할 수 있다. 이전의 누산 결과는 양쪽의 입력 오퍼랜드가 같은 수의 활성화 비트 슬라이스를 갖게 하기 위해 부분적으로 부호-확장된다.

3.4 부호비트 복구 로직

PSBR는 그림 8에 나타나 있듯이 현재의 누산 결과 t 에 대해 마스크 신호 m 을 사용하여 부호비트를 추출한다. 그런 다음 현재 비트를 통과시키거나 저장된 그리고 현재 마스크 신호의 AND로 추출된 부호비트를 통과시키는 몇 개의 MUX를 사용하여 새롭게 활성화된 비트-슬라이스에 대한 부호를 확장한다. 최하위 10 비트는 절대로 제로가 되지 않으므로 부호 확장이 필요치 않다.

다음에 나오는 로직이나 최종 출력에 사용되는 전체 결과의 부호를 확장하는 FSBR 블록은 PSBR과 유사한 회로로 구현된다. PSBR 회로와 FSBR 회로의 차이는 FSBR 회로는 MUX 선택 신호에서 AND 게이트를 갖고 있지 않다는 것이다.

4. 저 전력 매트릭스 전치

제안된 저전력 매트릭스 전치는 그림 9에 나타난 바와 같이 기존의 매트릭스 전치와 FSBR 그리고 이들에 대한 제어기로 구성되어 있다. 1-D DCT/IDCT로부터 나오는 입력 데이터(w)는 잉여의(redundant) SEB가 없는 전력측면에서 효율적인 데이터이므로, 매트릭스 전치를 통한 전이 활동이 눈에 띄게 감소된

다. 반면 FSBR과 관련된 오버헤드는 그리 크지 않다.

일반적으로 매트릭스 전치는 그림 9와 같이 구성된다[9-12]. TC 내의 멀티플렉서와 출력 멀티플렉서는 행/열 제어신호(sw)의 상태에 따라 데이터를 수직 또는 수평으로 라우팅 한다. 매트릭스 전치의 이러한 동작에 따라 MASK 신호는 행 또는 열에 의해 매트릭스 전치의 데이터 흐름과 동기(synchronize)되어야 한다. $N(=4)$ 개의 다른 MASK 신호를 저장하는 레지스터의 상위 행(upper row)이 수평으로 처리된 데이터를 복원하기 위해 사용되고, 하위 레지스터는 수직으로 처리된 데이터를 복원하기 위해 사용된다. 즉, MASK 신호는 DeMUX를 통해 사위 또는 하위 레지스터에 선택적으로 공급된다.

결과적으로 매트릭스 전치의 입력데이터는 2의 보수 데이터의 효율적인 부분 또는 국부적 변환으로 볼 수 있는데, 이는 전력 측면에서 효율적인 데이터 표현법이다[16]. 결국, 제안된 매트릭스 전치는 1-D DCT/IDCT 처리기 사이에 자연스럽게 결합된다.

5. 전력 소모에 대한 분석

전력 소모를 추정하기 위해 제안된 설계와 기존의 설계에 대해 비트-레벨 소프트웨어 모델을 개발하여 2-D DCT/IDCT 처리기에서의 모든 게이트의 전이 빈도(transition activities)를 추출하였다[6]. 제로 값을 갖는 데이터에 대해 누산기의 결과는 저장되지 않고 결과적으로 이 경우 평균적으로 제로가 된다.

좋은 근사를 위해 전 가산기(full adder)를 두개의 XOR(summation)과 두개의 AND(carry propagation) 게이트로 분리해서 나누어 전이 활동을 계산하

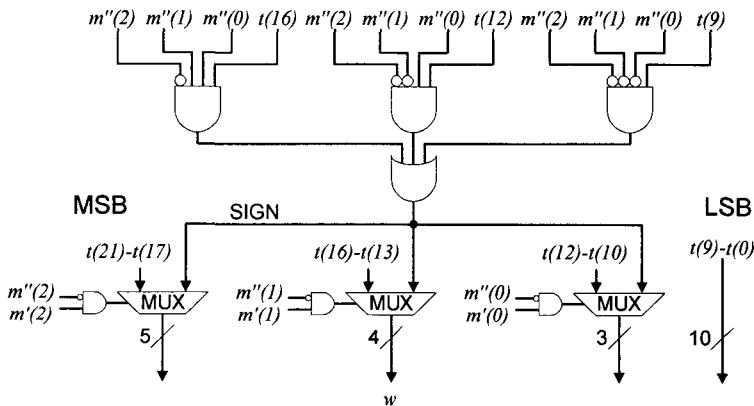


그림 8. 부호비트 복구 로직의 일부

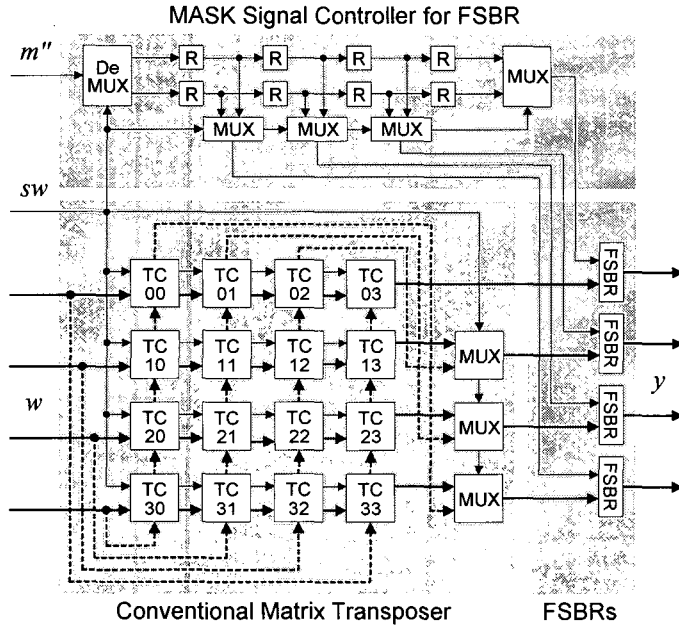


그림 9. FSBRs를 갖는 저전력 4×4 매트릭스 전치

였으며, XOR 게이트의 천이 횟수를 3.5 2-input NAND 게이트로 매핑 하였다. 따라서 전 가산기의 모든 게이트가 스위칭 된다면 9개의 2-input NAND 게이트가 천이되는 것에 해당되는 것으로 취급하였다. AND 게이트의 전력소모는 NAND 게이트의 전력소모와 같다고 가정하였다. 이는 AND 게이트 앞의 인버터(inverters)를 무시했다는 것을 의미한다. 또한, 레지스터(또는 D-F/F)은 전력 소모에 있어서 6개의 2-input NAND 게이트와 동가라고 가정하였다. 이러한 가정은 여러 상용 표준 셀 라이브러리(standard cell libraries)를 참조하여 이러한 매핑을 결정하였으므로 합리적이라고 여겨진다.

결과는 기존의 구조[6]과 비교할 때, 제안된 구조는 DCT에서 전력을 19.25% 적게 소모하며, IDCT에서는 62.5% 적게 소모한다는 것을 보여준다.

두개의 1-D DCT/IDCT 처리기에 대하여 제안된 구조에서는 천이 활동이 DCT와 IDCT 각각 17.5% 과 60% 줄어든다. 제안된 매트릭스 전치에서 추가적인 전력 절감은 DCT 데이터는 35% IDCT 데이터는 50%이 된다. 제안된 매트릭스 전치는 2-D DCT/IDCT 프로세서에서 전체 전력 중에서 약 5%를 소모한다([13] 참고). 따라서 결과적으로 매트릭스 전치에서 절감되는 전력은 DCT 데이터에 대해서 1.75%,

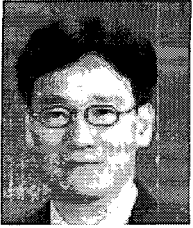
IDCT 데이터에 대해서는 2.5%이다. 이러한 결과는 2-D DCT/IDCT 프로세서에서는 적은 양인 것처럼 보이지만, 멀티미디어 응용의 관점에서는 매우 중요한 성능 향상이라 볼 수 있다. 이러한 절차와 시뮬레이션에 의해, 본 논문에서 제안한 설계가 기존의 설계에 비해 19.25%(DCT) and 62.5%(IDCT) 적게 전력을 소모할 것이라고 예측하였다.

6. 결 론

본 논문에서는 특정한 입력 데이터 통계적 특성에 최적화된, “세분화된 데이터-경로 분할(fine-grain data-path partitioning)”을 이용한 하드와이어드 매트릭스-벡터 곱셈기에 기반을 둔 저전력 2-D DCT/IDCT를 개발하였다. 비트 레벨 천이 활동도 시뮬레이션에서 제안된 설계가 기존의 설계에 비하여 약간의 성능 저하는 있지만 현저한 전력 절감 효과를 얻을 수 있음을 보여주고 있다. 제안된 설계의 추가적인 특징은 매트릭스 전치를 논문에서 제안한 데이터-경로 설계에 효율적으로 적용했다는 점이다. 결과적으로 제안된 2-D DCT/IDCT 설계는 휴대용 또는 무선 멀티미디어 응용에서 저전력 영상압축에 유용하게 이용될 수 있을 것이다.

참 고 문 헌

- [1] ITU-T Recommendation H.261, 1990.
- [2] ISO/IEC JTC1/SC29/WG10, JPEG CD 10918, 1991.
- [3] ISO/IEC JTC1/SC29/WG11, MPEG-2 IS 13818-2, 1996.
- [4] ISO/IEC MPEG-4 Video Group, Generic Coding of Audio-Visual Objects: Part 2 - Visual, 2nd Edition. ISO/IEC 14496-2, 2001. ISO/IEC JTC1/SC29/WG11, MPEG-2 IS 13818-2, 1996.
- [5] K. Rao and P. Yip: *Discrete Cosine Transform, Algorithms, Advantages, Applications*, Academic Press, 1990.
- [6] A. Madiseti and A. N. Willson Jr.: A 100 MHz 2-D DCT/IDCT Processor for HDTV Applications, *IEEE Transactions on CAS for Video Tech.*, vol. 5, no. 2, pp. 158-165, 1995.
- [7] S. Uramoto, Y. Inoue, A. Takabatake, J. Takeda, Y. Yamashita, M. Terane, and M. Yoshimoto: A 100 MHz 2-D Discrete Cosine Transform Core Processor, *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 492-499, April 1992.
- [8] S. A. White: Applications of Distributed Arithmetic to Digital Signal Processing: A Tutorial Review, *IEEE ASSP Magazine*, pp. 4-19, 1989.
- [9] D. Johnson, V. Akella, and B. Stott: Micro-pipelined Asynchronous Discrete Cosine Transform (DCT/IDCT) Processor, *IEEE Transactions on VLSI Systems*, vol. 6, No. 4, pp. 731-740, 1998.
- [10] O. Fatemi and S. Panchanathan: VLSI Architecture of a Scalable Matrix Transposer, *IEEE International Conference on Innovative systems in Silicon*, 1996, pp. 382-391.
- [11] J. A. Tierno and P. Kudva: Asynchronous Transpose-Matrix Architectures, *International Conference on Computer Design*, 1997, pp. 423-428.
- [12] K. Kim, S. H. Jang, S. H. Kwon, and K. S. Son: An Improvement of VLSI Architecture for 2-Dimensional Discrete Cosine Transform and Its Inverse, *SPIE Proceedings of the VCIP'96*, vol. 2727, pp. 1017-1026, March 1996.
- [13] T. Xanthopoulos, and A. P. Chandrakasan: A Low-Power IDCT Macrocell for MPEG-2 MP@ML Exploiting Data Distribution Properties for Minimal Activity, *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 693-703, 1999.
- [14] K. Kim and P. A. Beerel: MSB-Controlled Inversion Coding for a Low-Power Matrix Transposer, *IEE Electronics Letters*, vol. 35, no. 17, pp. 1434-1435, 1999.
- [15] L. S. Nielsen, and J. Spars: Designing Asynchronous Circuits for Low Power: An IFIR Filter Bank for a Digital Hearing Aid, *Proceedings of the IEEE*, vol. 87, no. 2, pp. 268-281, Feb. 1999.
- [16] A. P. Chandrakasan and R. W. Brodersen: *Low Power Digital CMOS Design*, Kluwer Academic Publishers, 1995.
- [17] T. K. Callaway and E. E. Swartzlander, Jr.: Optimizing Arithmetic Elements for Signal Processing, *VLSI Signal Processing V*, pp. 91-100, 1992.



김 견 수

1986년 2월 동아대학교 전자공
학과 졸업
1988년 8월 부산대학교 산업대
학원 석사
1997년 2월 부산대학교 전자공
학과 박사
1990년 5월~2000년 6월 한국통

신 연구개발본부 전임연구원

1998년 12월 University of Southern California, EE-
Systems Dept. Post-Doc.

2000년 6월 일룸텔레시스(주) 정보통신연구소 소장

2003년 2월~현재 특허청 전기전자심사국 영상기기심
사담당관실 심사관

관심분야: 영상통신, 디지털 통신 및 방송, 영상 소스코
딩 및 채널코딩, VLSI 설계 등.



류 대 현

1983년 2월 부산대학교 전기기
계 공학과 졸업
1985년 2월 부산대학교 전자공
학과 석사
1997년 2월 부산대학교 전자공
학과 박사
1987년 2월~1998년 2월 한국

전자통신연구원 선임연구원

1998년 3월~현재 한세대학교 IT학부 부교수

관심분야: 정보보호, 영상처리, 통신공학