

논문 2005-42SP-3-8

저가의 HDTV를 위한 영상출력 모듈의 설계 및 구현

(Design and Implementation of Image Display Module for Low-cost High Definition Television)

최재승*, 김익환**, 남재열***, 하영호****

(Jae-Seung Choi, Ick-Hwan Kim, Jae-Yeal Nam, and Yeong-Ho Ha)

요약

본 논문은 재료비의 절감을 위하여 저성능의 프로세서를 사용할 수 있도록 영상출력에 할당되는 프로세서 코어성능을 최대한 줄이고자 하는 것을 목적으로 한다. 본 논문은 저성능의 프로세서가 탑재된 전자앨범 기능의 모듈에 고해상도 영상출력 기능을 지원하기 위한 영상출력 시스템을 구현한다. 본 시스템은 영상데이터 처리부로부터의 15프레임의 HD 영상입력을 TV 시스템에서 사용 가능한 60프레임의 HD영상으로 출력하는 기능을 수행한다. 이 결과, 제안된 시스템은 프로세서 성능을 저프레임 영상출력에 해당하는 정도로 줄여줄 수 있으므로 이는 시스템의 비용 절감 및 다양한 부가기능 추가로 연결 되어진다. 결론적으로, 영상출력 시스템을 이용한 전자앨범 기능의 모듈 시스템을 개발하여 본 방식의 유효성을 확인한다.

Abstract

This paper proposes an image display system that reduces the core performance of the processor allocated in the image display, thereby enabling the use of a less expensive processor with a low performance. Essentially, the proposed system supports an image display function for a high resolution in the module of an electronic picture frame (EPF) using a low-performance processor based on converting high definition (HD) image data at a 15Hz frame rate into HD image data at a 60Hz frame rate for use in a digital TV system. As a result, the proposed system can reduce the processor performance to a level corresponding to an image display with a low frame rate, thereby reducing the product cost and allowing various additional functions. Finally, the proposed system is implemented to confirm its effectiveness.

Keywords: Image display system, High definition television, Electronic picture frame, FPGA.

I. 서론

최근 디지털 카메라에 대한 수요가 증가하면서 디지털TV 시스템의 기본기능 외에 전자앨범 기능

(Electronic Picture Frame: EPF)이란 모듈의 필요성이 대두되어 이러한 솔루션이 개발되고 있다^[1]. 그러나 이러한 모듈을 개발함에 있어 고화질 텔레비전(High Definition: HD)^{[2][3]}급 이상의 고해상도 출력 및 정지영상(JPEG)^[4]/음악(MP3)^{[5][6]} 파일의 디코딩에 대응하기 위해서는 고성능의 프로세서가 필요하게 되어 이는 개발 단가의 상승을 초래한다. 따라서 본 논문은 재료비의 절감을 위하여 저성능의 프로세서를 사용할 수 있도록 영상 출력에 할당되는 프로세서 코어 성능을 최대한 줄이고자 하는 것을 목적으로 하고 있다.

본 논문에서는 저성능의 프로세서^[7]를 사용하여 고해상도의 JPEG 파일 출력 및 MP3 파일 재생 등과 같은 프로세서 작업량이 많이 소요되는 작업들을 처리할 수 있는 저프레임 HD영상출력 처리의 방법을 소개한

* 정회원, 경북대학교 디지털 기술연구소
(Digital Technology Research Center, Kyungpook National University)

** 정회원, LG 전자
(LG Electronics)

*** 정회원, 계명대학교 컴퓨터공학과
(Dept. of Computer Engineering, Keimyung University)

**** 정회원, 경북대학교 전자전기컴퓨터공학과
(School of Electrical Engineering and Computer Science, Kyungpook National University)
접수일자: 2004년11월11일, 수정완료일: 2005년2월4일

다. 즉, 본 논문은 저성능의 프로세서가 탑재된 EPF모듈에 고해상도 영상출력 기능을 지원하기 위한 영상출력 시스템을 구현한다. 본 시스템은 영상데이터 처리부로부터의 저프레임의 HD영상입력을 TV시스템에서 사용 가능한 60프레임의 HD영상으로 출력하는 기능을 수행한다. 이 결과, 제안된 시스템의 프로세서 성능을 화질 및 음질의 열화가 없이 저프레임 영상출력의 프로세서 성능만큼 줄여줄 수 있으므로 이는 시스템의 비용 절감 및 다양한 부가기능 추가로 연결 되어진다.

본 논문에서는 II장에서는 기존 EPF모듈 시스템의 문제점에 대하여 소개하며, III장에서는 해결 방안으로 제시한 영상출력 시스템의 개요를 기술한다. IV장에서는 본 논문에서 제안한 영상출력 시스템의 개발 알고리즘을 설명하며, V장에는 본 방식에 의한 개발 결과를 나타낸다. 마지막으로 VI장에서는 결론을 맺는다.

II. 기존의 EPF 모듈 시스템

그림 1의 기존의 EPF모듈 시스템은 메모리카드 [8][9][10] 내의 JPEG 파일을 메모리카드 컨트롤러를 통하여 프로세서 내로 읽어 들인 후 소프트웨어 JPEG 디코딩을 한다. 이 JPEG 파일은 YC 영상으로 변환이 되고 이를 32비트 데이터 버스를 통하여 디스플레이 컨트롤러로 전송하여 TV에 맞는 영상신호를 만들게 된다. 이 경우에 영상데이터의 전송량은 해상도나 물리적 인터페이스에 따라 다르지만, HD(1280x720p)급을 출력하기 위해서는 74.25MHz 수준의 작업량이 시스템의 모든 블록에 부담된다. 이것은 각 블록들의 규격이 최소 74.25MHz 이상이 되어야 하며, 또한 원활한 동작을 위해서는 200MHz급 이상의 프로세서를 써야 동작에 무리가 없을 것이다. 따라서 이러한 기존의 EPF 모듈은 저해상도에서 고해상도로 영상출력을 높일 때 프로세서 성능의 상당부분이 영상출력쪽으로 할당되기 때문에 JPEG/MP3 파일의 디코딩, 통신관련 제어 등의 다른 처리에 상당한 어려움이 있다. 따라서 이러한 처리들은 전체 시스템의 성능을 좌우하므로 이것을 극복하기 위

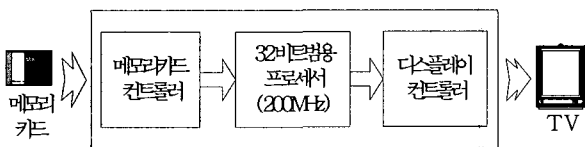


그림 1. 기존 EPF 모듈 시스템
Fig. 1. Typical EPF module system.

해 고성능의 프로세서를 선정할 필요가 있다.

III. 영상출력 시스템의 제안

일반적으로, TV에 영상을 출력하기 위해서는 출력하고자 하는 영상을 초당 60회 공급해주어야 한다. 예를 들어, 1280x720p의 해상도를 가진 영상을 출력하기 위해서는 영상신호처리를 위한 블랭킹(blanking) 구간 등을 첨가하여 일반적으로 74.25MHz의 정보량을 전송하여야 한다. 여기서 74.25MHz라는 처리속도는 현재 상용되고 있는 저가형 프로세서에 많이 장착되는 ARM7^{[11][12]}의 처리속도 78MHz와 비슷한 수준이라 할 수 있다. 즉 ARM7과 동급의 프로세서를 사용하고자 할 경우 영상정보 전송작업에 ARM7 코어성능의 대부분을 할당하게 되어 영상정보 전송이외의 다른 프로세서 작업을 할 수 없게 되는 상황이 발생하게 된다. 이 때문에 보다 고성능의 프로세서를 사용해야 하며 이는 개발단가의 상승을 초래하게 된다.

이에 본 논문에서는 위의 해결 방안의 하나로 프로세서의 영상신호 전송에 대한 작업량을 줄여주기 위하여 15프레임의 영상 입력을 받아 화질의 열화 없이 TV 시스템으로 60프레임의 영상출력을 보내주는 그림 2와 같

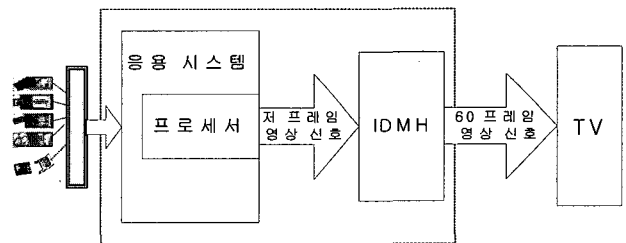


그림 2. IDMH 시스템을 사용한 경우의 영상정보 전송
Fig. 2. Transmission of image data using IDMH system.

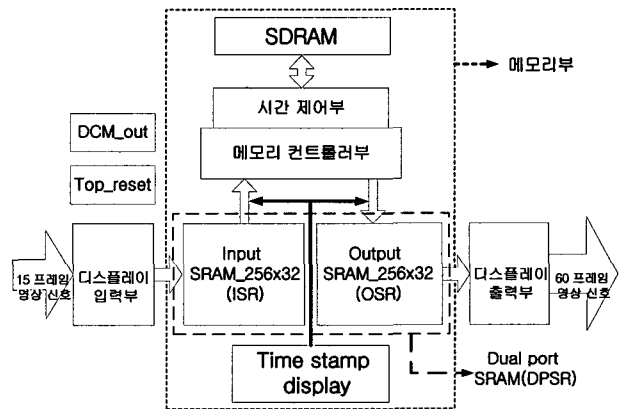


그림 3. 제안한 IDMH 시스템 블록도
Fig. 3. Block diagram of proposed IDMH system.

이 EPF모듈 시스템 내에 고화질 영상을 위한 영상출력 모듈(Image Display Module for High Resolution Image: IDMH)의 시스템을 제안하여, 보다 저 성능의 프로세서를 사용할 수 있도록 시스템을 설계하였다. 이 결과, 프로세서는 영상정보 전송에 따른 작업량을 줄일 수 있게 된다. 본 시스템은 디스플레이 전용의 프로세서를 함께 사용함으로써 프로세서의 영상출력에 대한 작업량을 18.5625MHz까지 줄였기 때문에 78MHz급의 ARM7 프로세서를 사용하여 영상출력을 가능하게 하였다.

IV. IDMH 시스템의 설계 및 구현

1. IDMH 시스템 구조

그림 3은 본 논문에서 제안한 IDMH 시스템의 블록도를 나타낸다. 본 시스템은 크게 YC 각 8비트의 영상 신호를 받아서 입력 SRAM(Input SRAM : ISR)에 저장 하는 디스플레이 입력부, Dual Port SRAM(DPSR) 및 메모리 컨트롤러로 이루어진 메모리부, 출력 SRAM(Output SRAM : OSR)으로부터 영상신호를 받아 RGB 영상신호로 출력하는 디스플레이 출력부의 3 부분으로 나누어진다. 그 외에, 시스템에 공급되는 클럭(clock) 위상을 내부 위상동기 루프(Phase Locked Loop: PLL)를 이용하여 맞춰 주는 DCM(Digital Clock Manager) out부, 그리고 PLL이 잠긴(lock) 후에 안정된 상태에서 시스템의 리셋(reset) 상태를 해제하는 톱 리셋(top reset)부가 있다. 본 시스템에서 Y, C 각 8비트의 버스를 통하여 초당 15프레임의 HD급의 영상신호는 디스플레이 입력부를 통하여 ISR에 쓰여진다. ISR에 저장된 영상신호는 시간제어부의 제어에 따라 SDRAM에 저장된다. SDRAM에 한 프레임의 영상신호가 쓰여지고 난 후, SDRAM에 저장된 영상신호는 OSR에 저장된다. OSR에 저장된 영상신호는 디스플레이 출력부를 통하여 아날로그 R, G, B의 각 8 비트로 초당 60 프레임의 영상신호로 변환되어 TV화면에 출력된다.

2. 디스플레이 입력부

그림 4의 디스플레이 입력부는 입력으로 받은 각 YC 8비트의 영상 및 영상제어신호(픽셀 클럭, 수평동기신호, 수직동기신호)로부터 유효영상을 검출한 후 유효영상을 ISR에 저장하는 기능을 수행한다. 본 블록은 유효 데이터 구간의 지정을 위한 신호(o_dat_en: output data enable)를 만드는 dat_en_gen (data enable

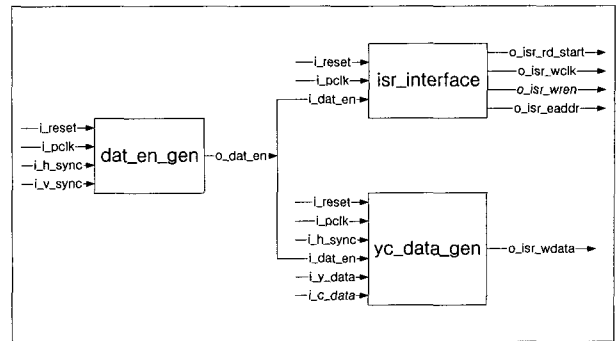


그림 4. 디스플레이 입력부의 구조
Fig. 4. Construction of display input block.

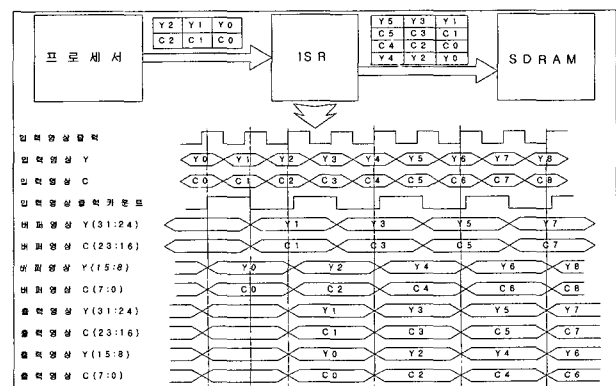


그림 5. 16비트 YC데이터를 32비트 YCbYCr데이터로 변환
Fig. 5. Converting YC image data with 16 bits to YCbYCr image data with 32 bits.

generation)부, ISR에 저장하기 위한 인터페이스 신호를 만드는 isr_interface(input sr interface)부, 그리고 16비트로 입력된 YC 영상신호를 ISR에 저장할 32비트 영상신호로 만들어 주는 yc_data_gen(yc data generation)부로 구성되어 있다.

그림 5는 16비트 YC 신호를 32비트 YCbYCr 신호로 변환하는 과정을 나타낸다. 본 블록에서 프로세서측에서 전송되어오는 YC신호는 16비트 데이터 버스를 통하여 Y, Cb, Cr의 각 8비트씩 4:2:2 형태로 Y, Cb가 ISR에 먼저 전송되고 Y, Cr이 다음으로 전송 된다. 그림에서와 같이 Y0,Y1,Y2,Y3,,, C0,C1,C2,C3,,, 순서로 입력되며, 이 입력을 입력 클럭을 이용하여 만든 카운트의 에지(edge)에서 4개의 입력영상 버퍼레지스터에 저장한 후 입력영상 클럭의 상승 에지에서 카운트 값이 '1' 일 경우에 출력 레지스터로 Y, C 값을 보낸다. 이 Y, C 값은 두 클럭 크기에 해당하는 32비트 영상 데이터가 Y, Cb, Y, Cr 순으로 정렬된 후 ISR로 보내지게 된다.

3. 메모리부

가. Dual Port SRAM (DPSR)

그림 6은 DPSR의 신호 흐름을 나타낸다. 본 블록은 유효영상 신호저장용의 내부버퍼로서 입출력측에 각각 하나씩 존재한다. 버퍼의 크기는 256x32bit가 되며 총 256개의 4:2:2 YCbYCr의 32비트 영상 데이터를 버퍼링하게 된다. 그림 6에서와 같이, 각각 별도의 포트를 사용하여 읽기(read)/쓰기(write)를 한다. ISR에 쓰기를 할 경우에는 write enable를 low로 주고, 클럭을 인가한 후에 쓰기 주소(write address)와 쓰기 데이터(write data)를 ISR에 인가하면 된다. OSR에서 읽기를 할 경우에는 클럭과 읽기 주소(read address)를 인가하면 OSR로부터 데이터가 읽혀진다. 본 로직에서는 128x32bit 단위(256pixel)로 ISR에 쓰기를 하며, 연속적으로 640x32bit(1280pixel)를 ISR에서 읽어서 SDRAM에 쓰기를 한다. 그리고 640x32bit 단위로 OSR에 읽기 및 쓰기를 하여, SDRAM에 액세스하게 된다. 또한 SDRAM은 입력 및 출력 영상의 2개의 윈도우에 의해서 관리된다.

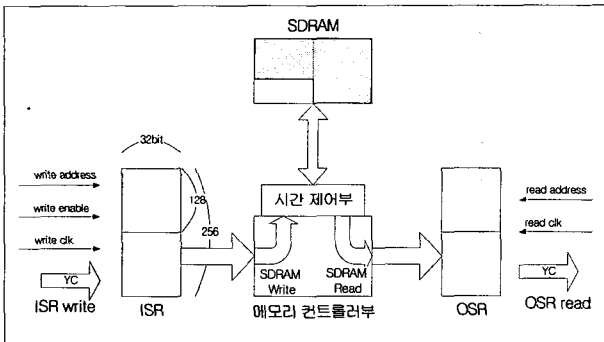


그림 6. DPSR의 신호 흐름
Fig. 6. Signal flow for DPSR block.

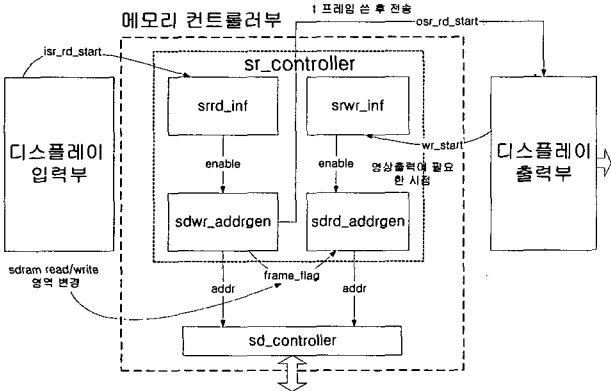


그림 7. 영상출력을 위한 각 블록간의 스트로브 신호
Fig. 7. Strobe signal between blocks for displaying image data.

나. 메모리 컨트롤러부

그림 7은 영상출력을 위한 각 블록간의 스트로브(strobe) 신호를 생성하는 메모리 컨트롤러부를 나타낸다. 본 블록은 DPSR 및 SDRAM을 인터페이스 하기 위한 신호를 만들어 ISR에 저장된 영상 데이터를 시간 제어부의 제어에 따라 SDRAM에 저장하며, SDRAM에 저장된 영상신호를 OSR에 저장하게 한다.

SDRAM에 쓰기를 하는 경우 디스플레이 입력부로부터 isr_rd_start(input sr read start) 신호가 전송되면 srrd_inf(sr read interface)부가 enable 신호를 생성한다. 이 enable 신호에 따라 sdwr_addrngen(sd write address generation)부는 SDRAM 영역 중 쓰기할 곳의 주소를 생성한 후 이 영상 신호를 sd_controller부로 전달하여 SDRAM에 한 프레임 저장 한 후 디스플레이 출력부로 osr_rd_start라는 신호를 전송하게 된다. SDRAM에서 읽기를 하는 경우 디스플레이 출력부로부터 wr_start(write start) 신호가 전송되면 srwr_inf(sr write interface)부에서 enable 신호를 생성하여 OSR에 쓰기를 한다. 동시에 sdrd_addrngen(sd read address generation)부는 SDRAM의 영역 중 읽기할 곳의 주소를 생성하여 sd_controller부로 보냄으로써 읽게 된다. 그리고 읽거나 쓰기를 할 때에 중복 액세스를 방지하기 위하여, frame_flag를 두어 SDRAM에 읽기와 쓰기를 하는 메모리 영역을 별도로 관리 한다.

다. 시간 제어부

그림 8의 시간 제어부는 시스템이 최초 리셋된 후에 시스템 클럭에 동기되어 그림 8의 하단에 보이는 클럭과 같이 SDRAM에 쓰기, 읽기, 리프레시(refresh)의 총 13개의 구간으로 구성된다. 각 읽기, 쓰기 구간은 134클럭이며, 첫 6~7 클럭 동안 읽기, 쓰기 명령을 SDRAM

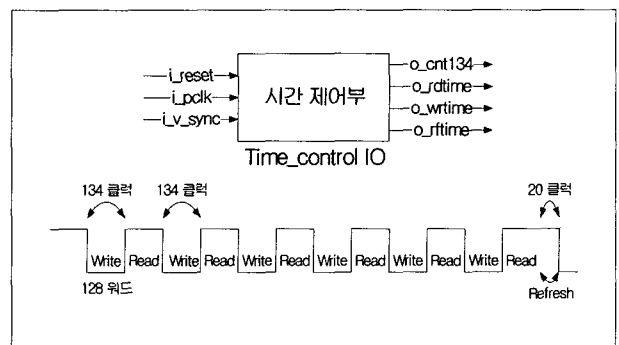


그림 8. 시간 제어부의 입출력 단자 및 구간 정의
Fig. 8. Input/output and section definition for time control block.

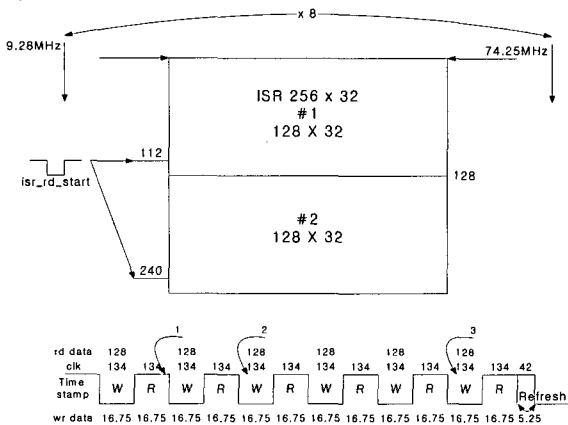


그림 9. SDRAM 메모리에 대한 시간 할당과 isr_rd_start 신호
 Fig. 9. Time assignment and isr_rd_start signal for SDRAM block.

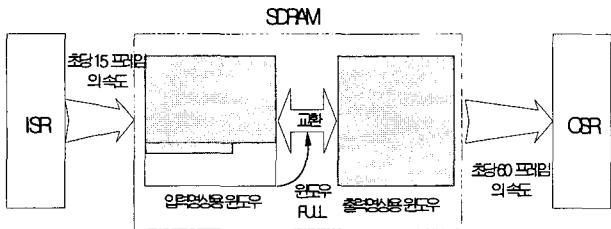


그림 10. SDRAM에서의 입출력에 대한 2개의 윈도우 관리
 Fig. 10. Control of two windows for input and output in SDRAM block.

으로 전송하며 이 후 128클럭 동안 256픽셀 데이터를 SDRAM에 전송하게 된다. 여기에서 5개 구간이 전송되면 1280픽셀의 데이터(한 라인)가 SDRAM에 전송된다.

라. SDRAM 제어

본 시스템은 읽기, 쓰기의 각각에 대해서 일정 시간을 그림 9와 같이 할당 하였다. SDRAM에 한번 액세스 할 때에 256픽셀이 쓰여지며, DPSR의 입출력 상황에 맞게 스트로브 신호가 발생된다. IV.1절에서 설명한 것과 같이, 입력영상의 속도는 출력영상 속도의 25%에 해당하기 때문에, 디스플레이 입력부는 ISR에 영상신호를 쓰는 속도가 느리다. 즉, ISR의 관점에서 보면 쓰기를 하는 것은 늦고 읽기를 하는 것은 빠르기 때문에, 데이터 쓰기를 하는 디스플레이 입력부는 특정 스트로브 신호를 보내 주어야 하는데, 이 신호가 isr_rd_start이다.

그림 10에서와 같이 영상 입력이 늦어지는 것을 방지하기 위하여, 영상 프레임 버퍼링을 위한 별도의 메모리 영역을 입력 영상용 영역으로 할당하고, 출력하고자 하는 영상에 대해서도 별도로 관리하도록 한다. 이 두

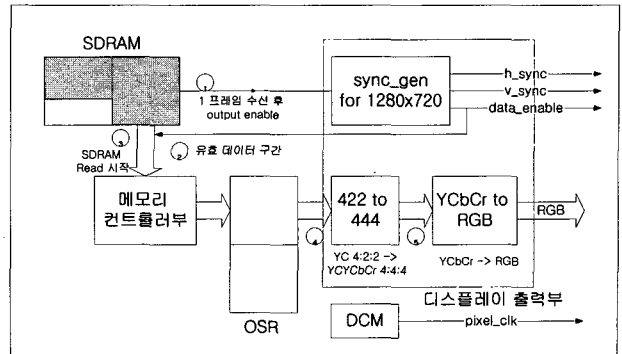


그림 11. 디스플레이 출력부의 신호 흐름
 Fig. 11. Signal flow for display output block.

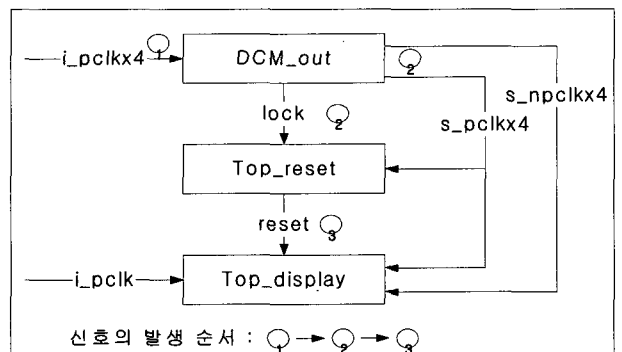


그림 12. 클럭과 리셋의 신호 흐름
 Fig. 12. Signal flow for clock and reset.

윈도우는 입력 영상의 프레임이 다 쓰여지고 난 후, 윈도우를 상호 교환하여 최종 입력이 완료된 영상이 출력 영상으로 반영 되도록 하였다.

4. 디스플레이 출력부

그림 11은 디스플레이 출력부의 신호 흐름을 나타낸다. SDRAM에 한 프레임의 영상신호가 쓰여지고 난 후에, 본 블록은 output enable 신호를 수신 받으며, 이 때 처음으로 동작을 시작하게 된다. 이 후에 본 블록은 디스플레이를 위한 영상 제어 신호를 생성하고, 유효영상 데이터구간신호(data_enable)가 high로 되는 순간부터 SDRAM의 영상신호를 읽어서 OSR에 버퍼링을 한 후에 "422 to 444" 블록으로 4:2:2 YC 데이터를 전송하게 된다. 이 전송된 4:2:2 YC 영상신호는 4:4:4 YCbCr 신호로 변환되고, 이 신호는 "YCbCr to RGB" 블록에서 RGB 영상 신호로 변환된 후 출력된다. 픽셀클럭은 수신단에서 상승에지로 신호를 수신할 수 있도록 내부 PLL인 DCM에서 입력 클럭을 반전하여 출력한다.

5. 시스템 클럭과 리셋의 신호 흐름

그림 12는 IDMH 시스템에서 사용된 클럭과 리셋의

신호 흐름을 나타낸다. 본 시스템의 클럭 입력에는 i_pclk (input pixel clock), i_pclkx4 가 있다. 여기에서 i_pclk 는 디스플레이 입력부에서 사용되는 입력영상의 클럭으로, 1280x720p 15프레임 입력의 경우 18.56MHz이다. i_pclkx4 는 i_pclk 의 4배가 되는 클럭으로 1280x720p 60프레임일 경우의 픽셀 클럭이며, DCM을 통과 한 후 동상인 s_pclkx4 (signal pixel clock), 역상인 $s_npclkx4$ 로 나누어져 메모리부 및 디스플레이 출력부에서 사용 된다. 시스템 리셋의 경우, DCM의 잠금 신호가 high 되기 전에는 리셋상태를 유지하며, 입력영상의 v sync(vertical synchronization) 2~3개 정도의 시간이 흐른 후에 리셋상태가 해제된다.

V. 개발 결과

1. IDMH 시스템이 적용된 전체 시스템

본 연구에서 EPF 모듈 시스템의 전체 시스템 구성은 그림 13과 같다. 본 시스템에서 메모리 카드 인터페이스를 통해 읽은 JPEG 파일은 프로세서내에서 디코딩(decoding)되어 IDMH 시스템(FPGA)을 통해 SDRAM에 저장된다. 이때 JPEG 영상은 YC16bit 1280x720p이며 15Hz 프레임이다. 즉, 클럭은 18.5625MHz이다. 위에서 저장과 동시에 1280x720p 60Hz의 HD급 해상도로 다시 크기가 재조정(resizing) 되어서 출력되며 DAC(Digital Analog Converter)를 통해 아날로그 R, G, B, H, V 신호를 출력한다. MP3인 경우에는 메모리 카드에 저장되어 있는 MP3 파일을 읽어서 소프트웨어 디코딩하여 디지털 PCM(Pulse Code Modulation)으로 출력하고 오디오 DAC를 통해 아날로그 L(left), R(right)을 출력한다.

2. IDMH 시스템이 적용된 EPF 시스템 개발 결과

그림 14와 15는 DTV에 실제 적용된 본 IDMH 방식에 의해 구현된 EPF 모듈 시스템의 전체 화면을 나타내며, JPEG 출력 모드와 MP3 플레이어 모드로 구분되어진다. JPEG 모드에서 디스플레이되는 정지영상은 화질의 열화가 없으며, MP3 음악 파일도 음질의 열화가 없음을 확인하였다. 또한 키 네비게이션(navigation)을 하면서 음악파일 재생 및 통신관련의 오류가 발생하지 않았다. 그림 16은 IDMH 시스템에 의한 EPF 모듈 시스템을 보여주며, 그림에서의 FPGA^{[12][13][14]}가 본 논문에서 구현한 IDMH 시스템이다. 본 시스템은 DTV 시스템에 애드온(add-on) 보드로 장착되어 사용하게 된

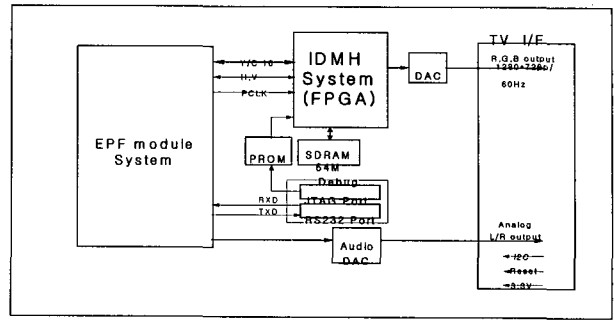


그림 13. 제안한 EPF 시스템 구성도
Fig. 13. Block diagram of EPF module system.

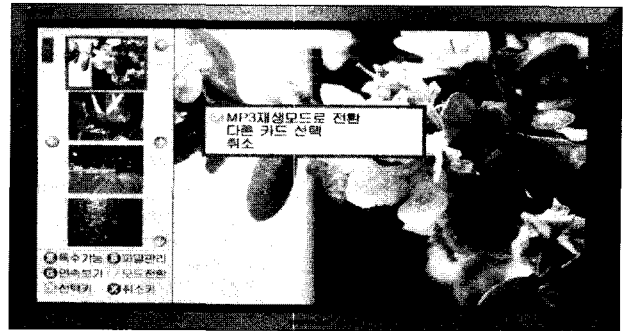


그림 14. 출력된 JPEG 화면
Fig. 14. Displayed JPEG viewer screen.

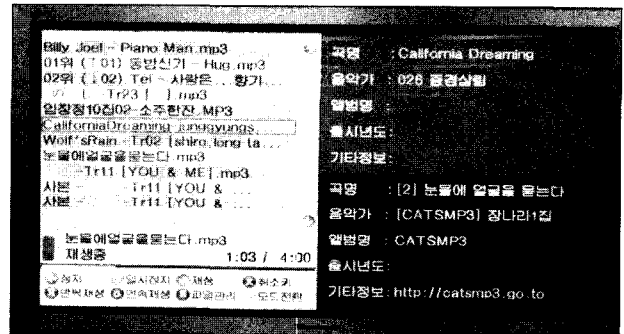


그림 15. 출력된 MP3 화면
Fig. 15. Displayed MP3 playback screen.

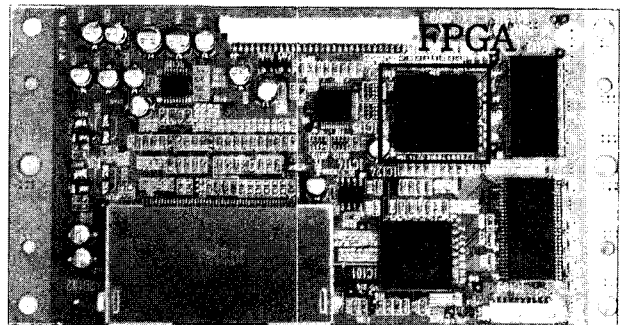


그림 16. 구현된 시스템
Fig. 16. Proposed EPF module system using IDMH.

다. 본 시스템은 SD(Standard Definition)급부터 WXGA(Wide Extended Graphics Array) 급까지 지원

가능하며, PDP/LCD/CRT 등의 광범위한 디지털 TV에 적용이 가능하다.

기존 EPF 모듈 시스템은 60프레임을 전송할 경우 프로세서가 74.25MHz를 영상신호 전송에 사용한다. 그러나 본 방식에서의 프로세서는 JPEG 파일을 IDMH 시스템으로 15프레임 전송하는데 74.25MHz의 1/4인 18.56MHz만을 영상신호 전송에 사용한다. 이 때문에 프로세서가 영상신호 전송 외의 MP3 디코딩, 메모리 액세스, 통신, UI(User Interface)와 같은 기타 프로세서 작업에서도 무리가 없이 동작하며, TV 출력영상에서의 화질저하나 MP3 재생 시 음질저하 또한 없음을 테스트 후 확인하였다.

VI. 결 론

본 논문은 고화질의 영상을 출력하는데 저성능의 프로세서를 사용할 수 있도록 영상 디스플레이 부분에 할당되는 프로세서 코어 성능을 최대한 줄이고자 하는 것을 목표로 하였다. 본 EPF 모듈 시스템을 개발함에 있어서, 고해상도의 JPEG 및 MP3 파일 등 다양한 입력에 대응하기 위해서 저성능의 프로세서를 사용하여 MP3 파일의 재생 등과 같은 프로세서 작업양이 많이 소요되는 작업들을 처리할 수 있는 저프레임 HD영상출력 시스템을 개발하였다. 본 시스템은 프로세서의 영상정보량을 줄여줌으로써 프로세서의 작업 중 큰 부분을 차지하는 영상 정보 전송에 소요되는 프로세서 코어 성능을 현저히 줄일 수 있게 하였다. 또한 JPEG 및 MP3 디코딩과 같은 다른 멀티미디어 부가기능을 구현하면서도 화질 및 음질 열화 없이 저가의 프로세서를 사용할 수 있게 하여, 전체 시스템의 비용 절감 및 성능 향상 측면에서 기여하는 바가 크다.

본 논문에서 구현한 시스템을 디지털 TV의 메인보드에 애드온 보드 형태로 장착하면, 별도의 하드웨어나 소프트웨어 모듈을 추가하지 않고도 여러 종류의 메모리 카드와의 인터페이스를 통해 일반 가정에서 고화질의 영상과 고음질의 음향으로 멀티미디어 서비스를 즐길 수 있을 것으로 생각된다.

참 고 문 헌

[1] 김익환, 최재승, "디지털 TV에 멀티미디어 부가기능을 구현하기 위한 시스템 설계 및 구현", 2003년도 대한전자공학회 신호처리소사이어티 추계학술

대회 논문집, pp. 513-516, 2003.

- [2] Standard, "High Definition TV Analog Component Video Interface", Electronic Industries Alliance (EIA), EIA-770.3, pp. 1-18, Sep. 1998.
- [3] T. Fujio, "High Definition Television Systems: Desirable Standards, Signal Forms, and Transmission Systems", IEEE Trans. on Comm., Vol. 29, No. 12, pp. 1882-1891, 1981.
- [4] Datasheet, "Information Technology Digital Compression and Coding of Continuous-Tone Still Images-Requirements and Guidelines", ITU, CCITT Rec. T.81, 1992.
- [5] L. Keun-Sup, P. Young Cheol, Y. Dae Hee, "Software optimization of the MPEG-audio decoder using a 32-bit MCU RISC processor", IEEE Trans. on Consumer Electronics, Vol. 48, No. 3, pp. 671-676, 2002.
- [6] L. Wonchul, Y. Kisun, S. Wonyong, "Software optimization of MPEG audio layer-III for a 32 bit RISC processor", Asia-Pacific Conference on Circuits and Systems, Vol. 1, pp. 435-438, 2002.
- [7] Datasheet, "High Performance Digital Image and Video Processor AT76C120", Atmel, 2004.
- [8] Datasheet, "CF+ and CompactFlash Specification Revision 2.0", CompactFlash Association, 2003.
- [9] Datasheet, "The MultiMediaCard System Summary Version 3.3", MMCA Technical Committee, March 2003.
- [10] Memory Stick Developers' site, "http://www.memorystick.org/eng/e-index.html".
- [11] C. Hoseok, L. Wonchul, S. Wonyong, "Optimization of power consumption for an ARM7-based multimedia handheld device", Proceedings of the International Symposium on Circuits and Systems, Vol. 5, pp. 105-108, 2003.
- [12] J. Geun-young, P. Ju-sung, "Design of 32-bit RISC processor and efficient verification", Proceedings of the 7th Korea-Russia International Symposium on Science and Technology, Vol. 2, pp. 222-227, July 2003.
- [13] Datasheet, "Spartan-3 FPGA family: complete datasheet", Xilinx, pp. 1-193, Mar. 2004.
- [14] W. Chua-Chin, H. Ya-Hsin, C. Chiuan-Shian, H. Jih-Fon, "A low-cost plasma display panel data dispatcher for image enhancement", IEEE Trans. on Consumer Electronics, Vol. 48, No. 4, pp. 997-1003, Nov. 2002.

저 자 소 개

최 재 승(정회원)

제41권 SP편 제6호 참조

남 재 열(정회원)

제40권 SP편 제1호 참조

김 익 환(정회원)

제41권 SP편 제6호 참조

하 영 호(정회원)

제38권 SP편 제3호 참조