

논문 2005-42TC-5-4

# 다양한 물리 접속을 지원하는 네트워크 프로세서 기반 포워딩 엔진 구현

## (An Implementation of Forwarding Engine supporting Various Physical Interfaces based on Network Processor)

박 완 기\*, 김 대 영\*\*

(Wanki Park and Daeyoung Kim)

### 요 약

네트워크 프로세서는 기존의 네트워크 시스템들이 하드웨어적인 처리로 만족시키던 Wire-Speed의 패킷 처리 성능과 소프트웨어적인 처리로 만족시키던 네트워크 서비스에 대한 유연성을 동시에 만족시킬 수 있는 유일한 대안으로 제시되고 있다. 본 논문은 네트워크 장비를 이러한 네트워크 프로세서를 이용하여 구현함으로써 Wire-Speed의 패킷 처리가 가능하고 다양한 인터페이스가 수용 가능한 것으로서, 패킷 포워딩 엔진 보드의 구현 및 시험 결과를 언급하였다. 초고속 광 가입자망 시스템의 가입자 정합 장치에는 POS(Packet Over SONET) 인터페이스, 기가비트 이더넷 인터페이스 및 EPON(Ethernet Passive Optical Network) 인터페이스 등 다양한 가입자 인터페이스가 존재한다. 따라서, 광 가입자 망 시스템에 사용되어지는 패킷 포워딩 엔진은 다양한 가입자 인터페이스를 수용할 수 있어야 함과 동시에 고속의 패킷 포워딩 기능이 가능하여야 한다. 본 논문에서 제안하는 시스템은 죽 보드(Daughter Board)의 형태로 물리 층 기능을 구현하고, 이 물리 층 기능 모듈의 식별자 인식을 통하여 네트워크 프로세서의 물리 인터페이스가 탑재된 기능 모듈과 정합할 수 있는 인터페이스로 소프트웨어적으로 설정하도록 한다.

### Abstract

Recently, new concept, NP(Network Processor) was emerged into communication systems to cope with the various service requirements from Internet users. NP is an unique promising technique to capable of implementing of the packet processing in wire-speed and providing the flexibility for supporting the newly network services, having satisfied with implementation using hardware and software respectively in past, This paper deals with the implementation techniques and evaluation results of the line card capable to do packet forwarding function with packet processing power of wire-speed and applicable to various physical interfaces. There are several interfaces of POS, Gigabit ethernet and EPON in E-OLT(EPON Optical Line Terminal) system of PATH(Photonic Access To Home) network. Therefore, the E-OLT's packet forwarding engine have to support various subscriber's interface in wire speed. Our system is implemented the subscriber's card in daughter board and the setup procedure is done by system firmware based on the module's identifier acquired from installed physical board.

**Keywords :** Network Processor, Forwarding Engine, Router, Hardware, EPON

### I. 서 론

인터넷 트래픽의 증가 및 서비스를 필요로 하는 네트워크 사용자들의 요구 사항이 다양하게 변화하고 있다. 이러한, 변화의 흐름은 라우터 분야에 있어서는 Wire-Speed로 언급되는 고속 및 대용량 패킷 처리 능력을 갖는 시스템으로 발전하도록 하고 있다. 라우터 분야의 기술을 좌우하는 것은 룩업 및 포워딩 기능을 수행하는 패킷 포워딩 기술이다.<sup>[1]</sup> 이 분야의 흐름은 크게 두 가지로 요약해 볼 수 있다. 하나는 하드웨어

ASIC 기술에 기반을 둔 하드웨어적인 룩업 기술을 이용하여 패킷을 처리하는 하드웨어 패킷 포워딩과 또 다른 하나는 마이크로 프로세서를 기반으로 하여 소프트웨어적으로 룩업 기능을 수행하는 소프트웨어적인 패킷 포워딩 기술이다. 이 두 가지 기술들은 각각 장점 및 단점을 갖고 있다. 즉, 하드웨어적인 패킷 포워딩 기술은 하드웨어적으로 룩업 및 포워딩 기능을 처리함으로써 Wire-Speed라는 고속 패킷 처리 기능은 갖지만 새로운 서비스, 요구조건 및 새로운 프로토콜에 쉽게 적용/변화할 수 없는 문제점을 가지고 있다. 한편, 소프트웨어적인 패킷 포워딩 기술은 새로운 기술에는 쉽게 적용할 수 있는 유연성을 갖고 있지만, Wire-Speed로 패킷을 처리할 수 없는 문제점을 갖고 있다.

네트워크 프로세서(Network Processor, NP) 기술은 하드웨어 기술과 소프트웨어 기술을 동시에 가지고 있

\* 정회원, 한국전자통신연구원 (ETRI)

\*\* 정회원, 충남대학교

(Chungnam National University)

접수일자: 2004년7월21일, 수정완료일: 2005년5월12일

는 기술로서, 고속 패킷 처리가 가능해 Wire-Speed의 패킷 처리 성능을 제공함과 동시에 다양하고 새로운 프로토콜에 쉽게 적용이 가능한 유연성을 갖는다.<sup>[2][3][4]</sup> 따라서, 라우터 분야에서는 이러한 네트워크 프로세서를 이용한 시스템들이 경쟁적으로 개발되어지고 있는 실정이다.

본 논문에서는 이러한 네트워크 프로세서의 특성을 이용하여 초고속 광 가입자망을 위한 OLT(Optical Line Terminal)에 적용되는 패킷 포워딩 엔진의 구현 및 시험 결과에 대하여 논하고자 한다. 제안된 네트워크 프로세서 기반 포워딩 엔진은 시스템 제어를 위해 사용되는 로컬 프로세서 모듈, 네트워크 프로세서기반의 패킷 포워딩 엔진인 네트워크 프로세서 모듈 및 가입자 물리 인터페이스 기능을 담당하는 물리 모듈로 구성된다. 제안된 시스템은 물리층 보드를 쪽보드 형태로 설계하여 다양한 가입자 인터페이스가 탑재될 수 있도록 구현되었다. 실제 운용에 있어서는 2.5Gbps의 POS, 기가비트 이더넷, EPON 보드를 수용할 수 있도록 구성되어 있다.

## II. 제안 하드웨어 설계 및 구현

네트워크 프로세서는 하드웨어 ASIC 기술 및 소프트웨어 기술이 통합된 기술로서 다양한 적응성 및 유연성을 갖고 있다. 특히, 본 논문에서 제안하는 시스템에서 사용한 네트워크 프로세서는 동일한 포트가 사용자의 설정에 따라 다양한 인터페이스를 제공할 수 있는 특성을 갖는다. 따라서, 이러한 특성을 이용하여 본 논문에서 제안하는 포워딩 엔진 보드는 2.5Gbps급의 POS (PPP Over Sonet) 가입자, 4포트의 1Gbps기가비트 이더넷 가입자 및 2 포트의 1Gbps EPON가입자를 선택적으로 수용할 수 있도록 설계/구현하였다.

### 1. 포워딩 엔진 구조 설계

제안하는 패킷 포워딩 엔진 보드는 가입자 인터페이스를 통해 패킷이 입력되는 입구(Ingress) 방향에서는 i)수신된 패킷의 헤더를 분석하여 패킷을 분류하고, ii)패킷 분류에 따른 룩업 기능 수행, iii)룩업된 정보를 바탕으로 포워딩 기능을 수행한다. 이 때 스위치에서 목적지 패킷 포워딩 엔진으로 패킷을 전달할 수 있도록 스위치에서 사용하는 출력 포트 식별자를 붙여 스위치로 해당 패킷을 전달한다. 또한, 스위치 인터페이스를 통해 스위치 시스템으로부터 패킷이 입력되는 출구(Egress) 방향에서는 수신된 패킷은 스케줄링, Rate Limiting 등 일련의 트래픽 관리 기능을 수행한 후 가

입자 인터페이스를 통해 가입자 물리 보드로 패킷을 전달한다. 그림 1은 이러한 기능을 갖는 네트워크 프로세서를 기반으로 구성된 포워딩 엔진을 이용하는 라우터 시스템 구조를 보여준다.

그림 1에서 보여주는 바와 같이 네트워크 프로세서 기반 패킷 포워딩 엔진은 POS 가입자 물리 보드, 기가비트 이더넷 가입자 물리보드 및 EPON 가입자 물리 보드를 수용할 수 있도록 설계되었다.

그림 2에서 보는 바와 같이 네트워크 프로세서를 기반으로 한 포워딩 엔진 하드웨어는 i)가입자 물리층 모듈, ii)로컬 프로세서 모듈, iii)네트워크 프로세서 모듈 및 iv)스위치 인터페이스 제어 모듈로 구성된다. 물리층 모듈은 접속되는 가입자 종류에 따라 선택적으로 POS 물리 보드, 기가비트 이더넷 물리 보드 및 EPON 물리 보드가 사용될 수 있다.

이러한 다양한 물리층 정합을 지원하기 위해 로컬 프

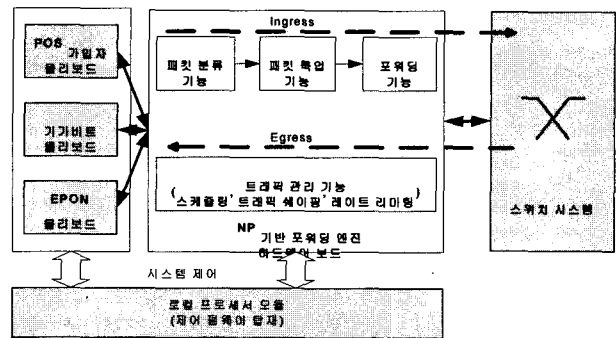


그림 1. 네트워크 프로세서 기반 라우터 시스템 구조  
Fig. 1. Architecture of NP based Router System.

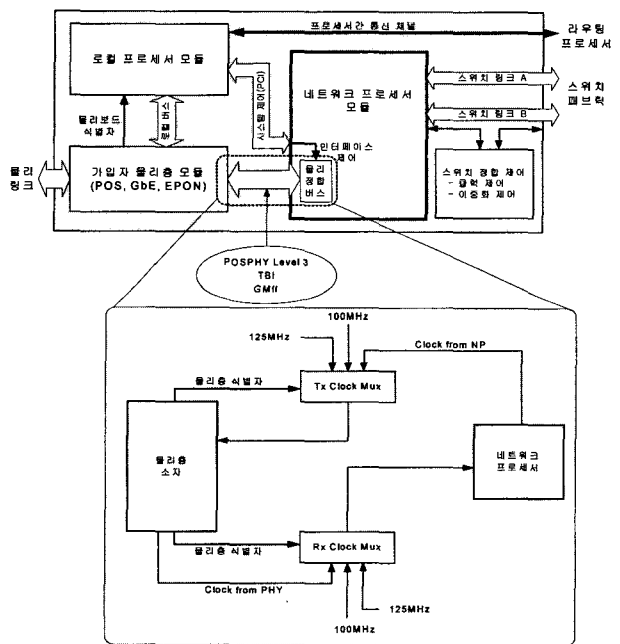


그림 2. 포워딩 엔진 하드웨어 구조  
Fig. 2. Architecture of Forwarding Engine.

로세서에서는 물리층 식별자를 통해 탑재된 모듈을 구분한다. 모듈 식별자를 바탕으로 시스템 부팅시 네트워크 프로세서 모듈에 다운 로딩할 프로그램을 결정하며, 이 결과를 통하여 네트워크 프로세서의 물리층 인터페이스가 결정된다. 또한, 외부적으로는 물리층 보드와 네트워크 프로세서 모듈간의 인터페이스 정합을 위해 송수신 클럭 제어부에서 물리층 식별자를 기반으로 공급 클럭을 결정하여 제공한다.

로컬 프로세서 모듈은 선택된 가입자 물리 보드로부터의 물리 보드 식별자를 읽어 시스템 펌웨어를 이용하여 탑재된 물리 소자들의 초기화 및 모드 설정을 수행하고, 운용중에는 상태 레지스터를 통해 입력 및 출력되는 패킷의 상태정보를 확인한다.

네트워크 프로세서 모듈의 초기화 작업은 PCI 버스 인터페이스를 통해 로컬 프로세서로부터 다운 로딩되는 프로그램에 의하여 이루어진다. 이때, 다운 로딩되는 프로그램은 탑재된 물리층 인터페이스의 종류에 따라 구분된다. 한편, 라우터 시스템 프로그램인 라우팅 프로토콜이 동작하는 라우팅 프로세서와의 프로세서간 통신을 위하여 로컬 프로세서와 라우팅 프로세서간의 프로세서간 통신 채널을 이더넷 인터페이스를 통해 구현하여 라우팅 프로세서로부터 라우팅 정보를 내려 받고, 가입자 통신 채널을 상태 정보를 보고할 수 있는 기능을 갖도록 하였다.

### 2. 네트워크 프로세서 모듈

네트워크 프로세서 모듈은 IBM사의 NP4GS3 RAINIER R3.0<sup>[5][6]</sup>을 이용하여 설계되었다. 네트워크 프로세서 모듈은 패킷 분류, 룩업, 포워딩, 스케줄링 등의 기능을 수행하기 위하여 다양한 메모리 인터페이스를 갖는다.

그림 3에서 보여주는 바와 같이 네트워크 프로세서는 D6, D0, D1, D2, D3, D4, DS0, DS1, Z0, Z1의 다양한 메모리 인터페이스를 갖는다. Z0, Z1 메모리는 ZBT SRAM으로 구성되는 메모리로 구현되며, NP로부터 출

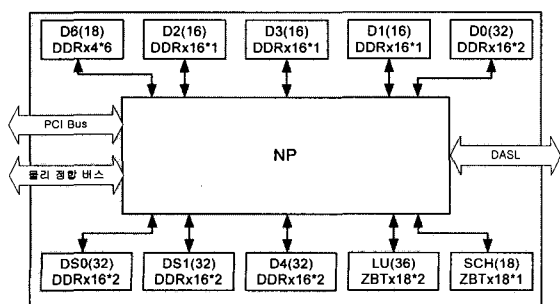


그림 3. 네트워크 프로세서 모듈  
Fig. 3. Network Processor Module.

력되는 133MHz의 메모리 클럭에 의하여 동작되는 인터페이스를 갖는다. Z0, Z1 인터페이스를 제외한 다른 메모리는 DDR DRAM에 의해 구현되고, 역시 NP로부터 출력되는 133MHz의 클럭에 의하여 동작되는 인터페이스로 구성된다.<sup>[5][6]</sup>

Z0 메모리는 PSCB(Pattern Search Control Block)라는 룩업을 위한 엔트리 정보가 저장되는 공간으로서 1 클럭에 의하여 룩업 정보를 찾는다. Z1 메모리는 출구 방향에서 스케줄링 메모리로서 사용되는 공간이다. D6 메모리는 네트워크 프로세서에서 동작하는 피코 코드(Pico Code)의 이미지가 PCI인터페이스를 통해 복사되는 공간이고, 또한 라인 프로세서와 NP(NP4GS3)간의 통신을 위해 사용되는 메모리로서 사용되며, 그 공간은 64MByte의 DDR DRAM으로 구성되어 있다. D0, D1, D2, D3 메모리는 룩업을 위한 트리 정보에서 Leaf가 저장되는 공간들이다. 이 공간의 크기는 D0 메모리가 32M 바이트이고 나머지는 각각 16M바이트의 크기로 구성되어 있다. D4 메모리 공간은 출구 방향의 패킷 구조를 위한 메모리 공간이고, DS0 및 DS1은 프레임 데이터를 저장하기 위한 메모리로 사용된다.<sup>[5][6]</sup>

### 3. 가입자 보드 및 스위치 보드 인터페이스

설계/구현된 패킷 포워딩 엔진은 POS 가입자, 가가비트 이더넷 가입자, EPON 가입자 보드를 선택적으로 수용한다. 네트워크 프로세서는 탑재된 가입자 물리층 보드에 따라 POSPHY Level-3, GMII 및 TBI 인터페이스로 설정된다. 이를 위해 시스템에 탑재되는 펌웨어에서 시스템 부팅시 먼저 각 가입자 보드의 식별 값을 읽어 들이고, 각 가입자 보드에 맞는 인터페이스로 물리 정합 버스를 설정하도록 하였다.

스위치 시스템과의 인터페이스는 DASL(Data Aligned Synchronous Line)<sup>[5][6]</sup> 인터페이스를 사용한다. 이 인터페이스는 송수신 각 8쌍의 이산 신호로 구성되는 인터페이스이다. 스위치와 NP간의 동기 및 패킷 흐

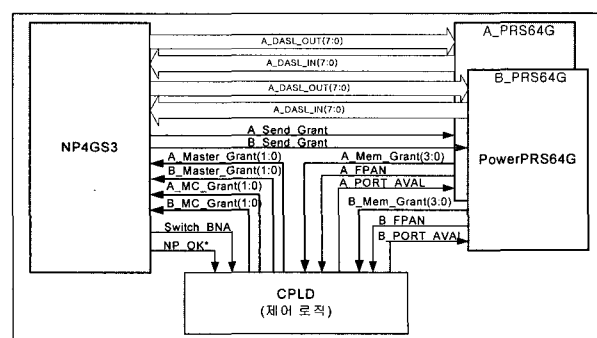


그림 4. 네트워크 프로세서/스위치간 제어 신호  
Fig. 4. Interface Signal to interface between Network Processor and Switch.

를 제어하기 위해 프로그램 가능 로직 소자(CPLD)를 이용하여 그림 4에서 보여주는 바와 같이 스위치 정합 제어 기능을 수행하도록 하였다.

시스템의 안정성을 위해 도입된 이중화 구조의 스위치 시스템을 제어하기 위해 별도의 제어 로직을 사용하였다. 이를 통하여 네트워크 프로세서와 스위치간의 링크 제어 신호의 불일치성을 해결하였다. 제어 로직에서는 네트워크 프로세서의 정상 동작 신호(NP\_OK\*)를 입력 받아 각각의 스위치들(A\_PRS64G, B\_PRS64G)에게 네트워크 프로세서가 정상 동작하고 있음을 각 스위치별 신호인 'A\_PORT\_AVAL'와 'B\_PORT\_AVAL'를 이용하여 스위치에게 알린다. 스위치는 각 스위치의 상태 신호(A\_FPAN, B\_FPAN)를 사용하여 제어 로직에게 알리고, 이 신호를 이용하여 제어 로직에서 네트워크 프로세서가 이용해야 할 스위치 링크를 결정하게 된다. 또한, 네트워크 프로세서는 각각 Master\_Grant 신호, Mem\_Grant 및 Send\_Grant 신호를 이용하여 VOQ 제어 및 흐름 제어를 수행한다.

4. 구현 하드웨어

다양한 물리층 인터페이스를 지원하는 네트워크 프

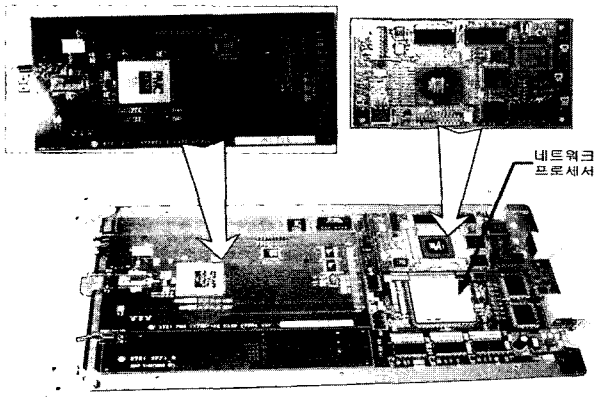


그림 5. POS 인터페이스를 갖는 가입자 포워딩 엔진 보드  
Fig. 5. Packet Forwarding Engine with POS Interface.

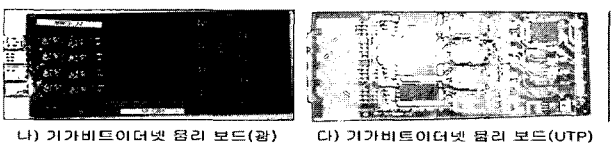


그림 6. 가입자 물리 보드  
Fig. 6. Physical Interface Boards.

로세서 기반의 가입자 포워딩 엔진 하드웨어는 그림 5에서 보여주는 바와 같이 네트워크 프로세서 모듈을 포함하는 부분을 마더 보드로 구현하였다. 또한, 가입자 보드의 제어를 위해 사용되는 로컬 프로세서 및 선택적으로 탑재되어야 할 물리층 모듈은 쪽 보드 형태로 구분하였다. 그림 5는 실제 마더 보드인 네트워크 프로세서 기반의 보드에 2.5Gbps의 POS 정합용 물리층 보드가 탑재된 가입자 포워딩 엔진 하드웨어 보드의 형상을 보여준다.

또한, 그림 6은 POS 물리층 보드 외에 탑재될 수 있는 EPON 보드, 1000base-X의 광 인터페이스 기가비트 이더넷 보드, 1000base-T의 UTP 인터페이스 기가비트 이더넷 보드의 형상을 보여준다.

III. 시험 결과 및 성능 분석

구현된 네트워크 프로세서 기반의 하드웨어 포워딩 엔진에 대한 트래픽 시험을 위해 기가비트 이더넷 환경에서의 시험, POS 환경에서의 시험, 기가비트 이더넷과 POS 간의 트래픽 통신 환경으로 구분하여 시험을 수행하였다. 이러한 트래픽 시험을 위해 IP, MPLS, L2 VPN 및 L3 VPN에 기능에 대한 시험을 수행하였다. 그림 7 및 그림 8은 각각 기가비트 이더넷 기반에서의 프레임 유형과 POS 기반에서의 프레임 유형을 보여준다.

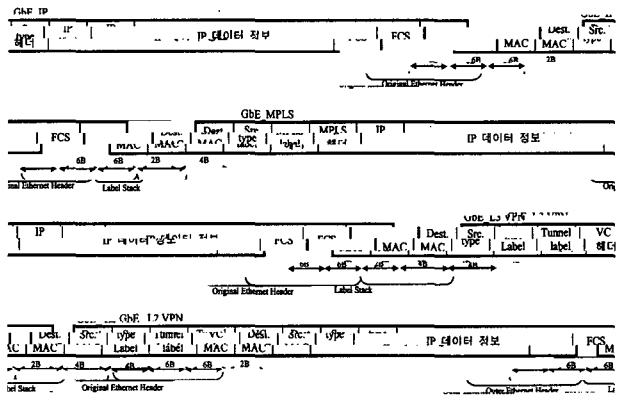


그림 7. 기가비트 이더넷에서의 프레임 유형  
Fig. 7. Frame Format on Gigabit Ethernet.

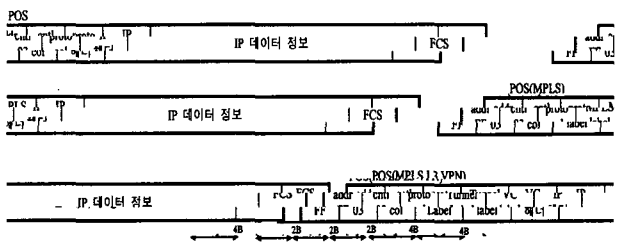


그림 8. POS 에서의 프레임 유형  
Fig. 8. Frame Format on POS.

1. 기가비트 이더넷 트래픽 시험 및 결과

구현된 네트워크 프로세서 기반의 기가비트 이더넷 트래픽 성능 시험을 위해 그림 9와 같이 시험 환경을 구성하여 시험하였다.

기가비트 이더넷 환경의 트래픽 시험을 위해 패킷 생성 장비(SmartBits)를 이용해 기가비트 이더넷 패킷을 생성시킨다. 생성된 패킷은 입구 방향 NP 기반 포워딩 엔진보드, 스위치 모듈, 출구 방향 NP 기반 포워딩 엔진 보드를 거쳐 트래픽 측정용 시험 장비(SmartBits)로 전달된다. 기가비트 트래픽 환경에서는 IP, MPLS, L2 VPN 및 L3 VPN에 대해 시험을 하였다. 시험 결과는 표 1에서 보여주는 결과로 요약된다.

트래픽 시험 결과 분석에 따르면, 2.5Gbps급 네트워크 프로세서로 분류되는 칩을 사용한 본 시스템은 실제 시스템에서는 IP 패킷에서는 64바이트 패킷에서는 약 3.1Gbps의 최대 성능을 나타내고, 256바이트의 패킷 길이에서는 약 3.7Gbps 성능을 갖고 있는 것으로 파악되었다. MPLS 기능에 있어서는 1Gbps 1포트에 대한 시험에 있어서 약 0.95Gbps의 성능을 보이는 것으로 나타났으나, 분석결과 MPLS 오버헤드를 고려한다면, 실제로 100% 네트워크 프로세서의 성능을 나타내는 것으로 파악되었다. 1Gbp 4포트에 대한 시험 결과를 보면, 64바이트에서는 약 1.55Gbps의 성능을 256바이트에서는 약 3.63Gbps의 성능을 나타낸다. L2 VPN 및 L3 VPN의 성능은 표 1에서 보여주는 바와 같다.

2. POS 트래픽 시험 및 결과

그림 10은 POS 정합 보드에 대한 시험 구성을 보여준다. POS 정합장치는 2.5Gbps 1 포트만 지원하므로 2.5Gbps 범위에서만 시험한다. 표 2는 POS 정합 포워딩 엔진에 대한 시험 결과를 보여준다. 네트워크 프로세서 기반 포워딩 엔진은 256바이트 길이에 대해서 100%의 패킷 처리 성능을 보여줄 뿐만 아니라, 64바이트에서도 역시 100%의 패킷 처리 성능인 2.5Gbps의 패킷 처리 능력을 가짐을 확인할 수 있었다.

3. 기가비트 이더넷과 POS간 트래픽 시험 및 결과

기가비트 이더넷 정합 장치와 POS 정합 장치간의 패킷 시험을 위한 환경 구성은 그림 11과 같이 구성하였다. 패킷 시험 장치에서 기가비트 이더넷 프레임을 발생시켜 입구 방향 포워딩 엔진으로 보내고, 기가비트 이더넷 시험 장치에서 수신하여 트래픽 시험을 수행하고, 반대로 기가비트 이더넷 프레임 발생시켜 기가비트 이더넷 포워딩 장치로 보낸 후 POS 정합 장치에서 수신하는 방법으로 양방향에 대한 트래픽 시험을 수행

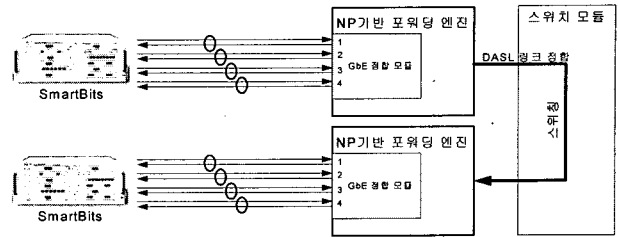


그림 9. 기가비트 이더넷 트래픽 시험 환경  
Fig. 9. Set up for Traffic Test of GbE.

표 1. 기가비트 이더넷 트래픽 시험 결과  
Table 1. Results of Traffic Test under GbE.

프레임 유형		Load (B/W)	프레임 길이별 성능 (수신 프레임 수/sec)(송신 프레임 수/sec)		
Ingress	Egress		64 바이트	128 바이트	256 바이트
GbE (IP)	GbE (IP)	1G	100%(1G)	100%(1G)	100%(1G)
		2x1G	100%(2G)	100%(2G)	100%(2G)
		3x1G	100%(3G)	100%(3G)	100%(3G)
		4x1G	77.8%(3.11G)	90.7%(3.62G)	92.1%(3.68G)
GbE (IP)	GbE (MPLS)	1G	95.45%(0.95G)	97.36%(0.97G)	98.67%(0.98G)
		2x1G	77.85%(1.56G)	97.15%(1.94G)	98.67%(1.97G)
		3x1G	51.74%(1.55G)	91.23%(2.74G)	98.67%(2.96G)
		4x1G	38.68%(1.55G)	68.59%(2.74G)	90.74%(3.63G)
GbE (IP)	GbE (L3 VPN)	1G	91.31%(0.91G)	95.49%(0.95G)	97.52%(0.97G)
		2x1G	74.03%(1.48G)	95.49%(1.9G)	97.52%(1.94G)
		3x1G	49.26%(1.48G)	86.25%(2.58G)	97.52%(2.92G)
		4x1G	37.01%(1.48G)	65.16%(2.60G)	90.27%(3.611G)
GbE (IP)	GbE (L2 VPN)	1G	76.36%(0.76G)	85.55%(0.85G)	91.81%(0.91G)
		2x1G	76.36%(1.52G)	85.55%(1.7G)	91.81%(1.83G)
		3x1G	65.96%(1.98G)	85.55%(2.55G)	91.81%(2.75G)
		4x1G	49.78%(1.98G)	80.56%(3.22G)	82.96%(3.32G)

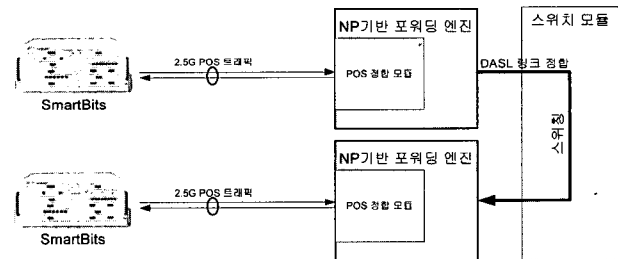


그림 10. POS 트래픽 시험 환경  
Fig. 10. Set up for POS Traffic Test.

표 2. POS 트래픽 시험 결과  
Table 2. Results of Traffic Test under POS.

프레임 유형		Load (B/W)	프레임 길이별 성능 (수신 프레임 수/sec)(송신 프레임 수/sec)		
Ingress	Egress		48 바이트	128 바이트	256 바이트
POS (IP)	POS (IP)	2.5G	100%(2.5G)	100%(2.5G)	100%(2.5G)

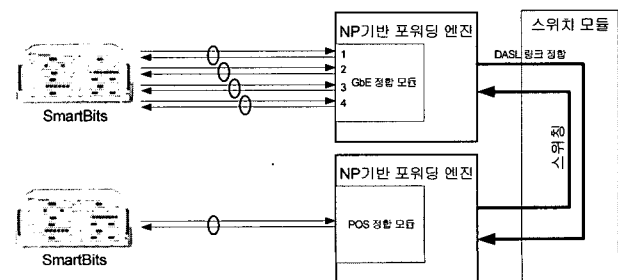


그림 11. 기가비트 이더넷/POS간 트래픽 시험 환경  
Fig. 11. Set up for Traffic Tests between GbE and POS.

표 3. 기가비트 이더넷/POS간 트래픽 시험 결과  
Table 3. Results of Traffic Test under between GbE and POS.

프레임 유형		Load (B/W)	프레임 길이별 성능 (수신 프레임 수/sec) × (송신 프레임 수/sec)		
Ingress	Egress		48 바이트	128 바이트	256 바이트
GbE (IP)	POS (IP)	4G	100%(2.5G)	100%(2.5G)	100%(2.5G)
		1G	100%(1G)	100%(1G)	100%(1G)
GbE (IP)	POS (MPLS)	2x1G	100%(2G)	100%(2G)	100%(2G)
		3x1G	73.94%(2.2G)	83.33%(2.5G)	83.33%(2.5G)
		4x1G	55.46%(2.2G)	62.5%(2.5G)	62.5%(2.5G)
POS (IP)	GbE (IP)	2.5G	100%(2.5G)	100%(2.5G)	100%(2.5G)

하였다. 표 3은 기가비트 이더넷과 POS간의 트래픽 시험 결과를 보여준다.

프로세서 기반 패킷 포워딩 엔진은 탑재된 가입자 물리 보드의 식별자를 읽어 들여 네트워크 프로세서의 물리층 인터페이스를 탑재된 인터페이스로 설정할 수 있도록 하며, 아울러 설정된 인터페이스에서 사용되는 클럭 메커니즘을 제공할 수 있도록 설계하였다.

구현된 하드웨어에 대한 기능 검증 및 성능 시험을 위해 기가비트 이더넷 보드간, POS 보드간, 그리고, 기가비트 이더넷 보드와 POS 보드간 트래픽 시험을 수행하여 그 결과를 보였다. 구현된 하드웨어 장치는 초고속 광 가입자 망 사업의 광주 시범망인 EPON OLT 시스템에 실제 적용하여 운용하여 그 기능을 확인하였다.

IV. 결 론

인터넷 사용자들의 급격한 증가 및 새로운 요구 사항들이 새롭게 출현하고 있다. 이러한, 요구 사항을 만족시키기 위해 VPN, VLAN, MPLS 등 새로운 기술들에 대한 유연성을 만족시키고 또한, Wire-Speed로 대표되는 고속의 패킷 처리 능력을 동시에 만족시킬 수 있는 대안이 새롭게 등장한 것이 네트워크 프로세서이다. 본 논문에서는 네트워크 프로세서를 기반으로 한 패킷 포워딩 엔진의 구현 내용에 대하여 논하였다.

본 논문에서 제안한 포워딩 엔진 보드는 크게 로컬 프로세서 모듈, 네트워크 프로세서 모듈, 가입자 물리층 모듈로 구성되어 있다. 구현된 네트워크 프로세서 기반 포워딩 엔진 하드웨어에서는 로컬 프로세서 및 가입자 물리층을 쪽 보드 형태로 구현하여 사용하였으며, 물리층에 대해서는 POS 가입자 물리 보드, 기가비트 이더넷 가입자 물리보드 및 EPON 가입자 물리 보드를 선택적으로 택일하여 탑재할 수 있도록 하였다. 네트워크

참 고 문 헌

- [1] William Stallings, "High-Speed Networks and Internets - Performance and Quality of Service", Prentice Hall, 2002.
- [2] Paulin, P.G. Karim, F. Bromley, P. "Network processors: a perspective on market requirements, processor architectures and embedded S/W tools", Design, Automation and Test in Europe, 2001. Conference and Exhibition 2001. Proceedings , 2001, pp 420 427, 2001.
- [3] Panos C. Lekkas, "Network Processors- Architectures, Protocol, and Platform," McGraw-Hill, 2003.
- [4] Douglas E. Comer, "Network systems Design using Network Processors," Prentice Hall, 2003
- [5] "PowerNP NP4GS3 Network Processor Data Sheet," IBM, Feb. 2002.
- [6] "PowerNP NP4GS3 Network Processor Hardware Reference Manual," IBM, Feb. 2002.

저 자 소 개



박 완 기(정회원)  
1991년 충남대학교 전자공학과 학사.  
1993년 충남대학교 전자공학과 석사.  
2000년~현재 충남대학교 정보통신공학과 박사과정.

1993년~2000년 국방과학연구소  
2000년~현재 한국전자통신연구원 선임연구원  
<주관심분야 : 홈네트워크, 이더넷, EPON, 홈디지털 멀티미디어>



김 대 영(정회원)  
1975년 서울대학교 전자공학과 학사  
1977년 한국과학기술원 전기전자공학과 석사  
1983년 한국과학기술원 전기전자공학과 박사

1983년~현재 충남대학교 교수  
2005년 현재 충남대학교 공과대학장  
2003년~현재 ANF(Advanced Network Forum) 의장  
2002년~현재 APAN-KR 의장  
2002년~현재 KIEF 의장  
<주관심분야 : Advanced Communication Protocol, Advanced Internet Protocol, 무선 인터넷>