

가변 커패시터를 이용하여 안정도를 조절할 수 있는 Distributed Amplifier

Distributed Amplifier with Control of Stability Using Varactors

추 경 태 · 정 진 호* · 권 영 우

Kyong-Tae Chu · Jin-Ho Jeong* · Young-Woo Kwon

요 약

본 연구에서는 distributed amplifier를 구성하는 cascode 단위이득단의 공통게이트의 게이트 단자에 가변 커패시터를 연결함으로써 출력 저항값을 조절하는 방법을 제안한다. Cascode 이득단은 공통 소스 이득단에 비해 높은 이득, 높은 출력저항, 부정저항을 제공하는 등 여러 장점이 있지만 설계시 사용한 트랜지스터 모델이 부정확하고 공정변수가 달라진다면 이득이 떨어지기 시작하는 band edge에서 발진할 위험이 있다. 그러므로 회로가 제작된 이후에도 발진을 막을 수 있는 조절회로가 필요하게 되는데, cascode 단위 이득단의 공통 게이트 단자에 연결된 가변 커패시터가 그 역할을 할 수 있다. 제작한 distributed amplifier를 측정해본 결과 가변 커패시터를 조절함으로써 이득 특성을 변화시킬 수 있었으며, 이는 회로의 안정도를 보장할 수 있음을 알 수 있었다. 49 GHz의 밴드폭내에서 이득은 8.92 ± 0.82 dB이며, 군지연은 41 GHz 이내에서 ± 9.3 psec 범위 이내였다. 사용된 모든 transistor는 GaAs 기반의 $0.15 \mu\text{m}$ 게이트 길이를 가지는 p-HEMT이며, distributed amplifier는 총 4개의 이득단으로 구성되어 있다.

Abstract

In this paper, we propose the control method of output impedance of each cascode unit cell of distributed amplifier by connecting varactors in the gate-terminal of common gate. Compared to common source unit cell, cascode unit cell has many advantages such as high gain and high output impedance as well as negative resistance loading. But if the transistor model which is used in design is inaccurate and process parameter is changed, oscillation sometimes can occur at band edge in which the gain start to drop. Therefore, we need control circuit which can prevent oscillation, although the circuit has already fabricated, and varactor connected to gate-terminal of common gate of cascode gain cell can play that part. Measured result of fabricated distributed amplifier shows the capability of control of gain characteristic by adjusting of value of varactors, this can guarantee the stability of the circuit. The gain is 8.92 ± 0.82 dB over 49 GHz, the group delay is ± 9.3 psec over 41 GHz. All transistor which has $0.15 \mu\text{m}$ gate length is GaAs based p-HEMT, and distributed amplifier is put together with 4 stages.

Key words : Distributed Amplifier, Varactor, Stability

I. 서 론

Distributed amplifier는 트랜지스터를 구성하는 파

라미터 중 게이트 소스간의 커패시터(Cgs)와 게이트 드레인간의 커패시터(Cdg)를 각각 입출력 전송선로에 포함시켜 artificial 전송선로를 만들고 transcon-

서울대학교 전기컴퓨터공학부(School of Electrical Engineering and Computer Science, Seoul National University)

*Department of Electrical & Computer Engineering, University of California San Diego

· 논 문 번 호 : 20050218-017

· 수정완료일자 : 2005년 4월 22일

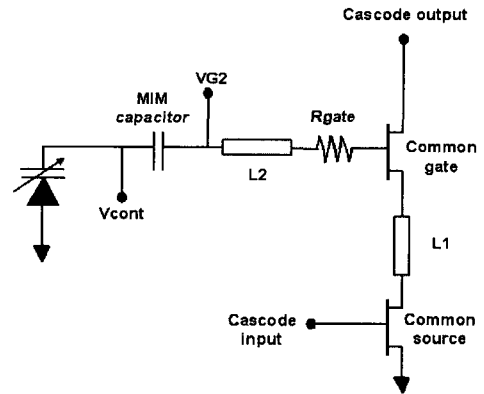
ductance를 통해 입력신호를 증폭시켜 출력단으로 전달하는 광대역 증폭회로이다. 이득이 비교적 작고 같은 이득을 갖는 다른 회로에 비해 그 크기가 크다는 단점이 있지만 넓은 주파수 영역에 걸쳐 증폭을 갖는 특성으로 인해 채널당 40 Gb/s의 자료전송을 필요로 하는 광통신 시스템에서 매우 유용하게 사용되고 있다. 이득 특성을 높이기 위해선 이득단을 여러 개 연결해야 하지만, 트랜지스터의 입력저항과 출력저항(R_{gs} , R_{ds})으로 인해 생기는 손실때문에 보통 4~6단의 distributed amplifier(DA)가 사용된다. 그러나 단위이득단에 공통 소스 대신 cascode 형태의 이득단을 사용하면 공통 게이트 드레인에서 들여다 본 출력저항이 매우 커지게 됨으로써 출력전송선로의 손실이 줄어드는 효과가 있고, 공통 소스의 게이트 단자에서 봤을 때에는 Miller effect 또한 감소하게 되어 회로가 고주파까지 원활히 동작할 수 있다는 특성이 있다. Cascode의 출력단자에서는 부성저항 특성을 보이게 되어 출력 전송선로의 손실을 줄이는 장점이 있는 반면에 전체 회로의 동작을 불안정하게 만들 가능성을 내포하고 있고, 만일 공정변수가 변하거나 설계할 때 사용한 트랜지스터의 모델이 부정확할 경우 공정완료된 회로가 이득의 band edge 근처에서 발진할 가능성이 높아지게 된다. 이는 cascode 이득단을 가진 DA가 가지는 치명적인 단점이 된다. 본 연구에서는 cascode 이득단의 공통게이트의 게이트 단자에 가변 커패시터를 연결하여 출력 부성저항 값을 조절함으로써 발진의 위험을 막을 수 있음을 보여준다.

본 논문은 하나의 cascode 이득단의 특성과 이러한 특성이 전체 회로에 미치는 영향(2-1절), 제작된 distributed amplifier의 안정도 특성(2-2절), 그리고 결론의 순서로 구성되어 있다.

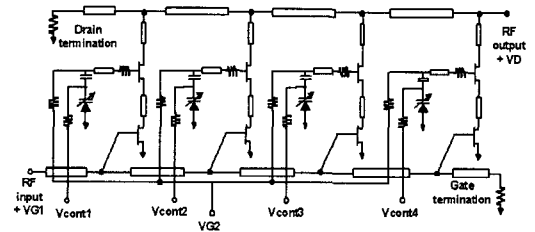
II. 본 론

2-1 단위 Cascode 이득단의 특성과 Cascode 이득단이 전체회로 특성에 미치는 영향

단위 cascode 이득단은 그림 1(a)와 같이 구성된다. 공통 게이트의 게이트 단자에는 p-HEMT의 소스와 드레인을 묶은 단자가 MIM 커패시터에 연결되



(a) 단위 cascode 이득단
(b) Unit cascode gain cell



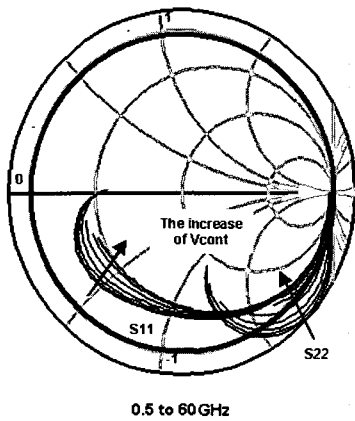
(b) 가변 커패시터를 가지고 있는 4단 DA의 도식도
(c) Schematic of the 4-stages DA with varactors

그림 1. 설계한 DA의 단위 이득단과 전체 도식도
Fig. 1. The unit gain cell and schematic of the designed distributed amplifier.

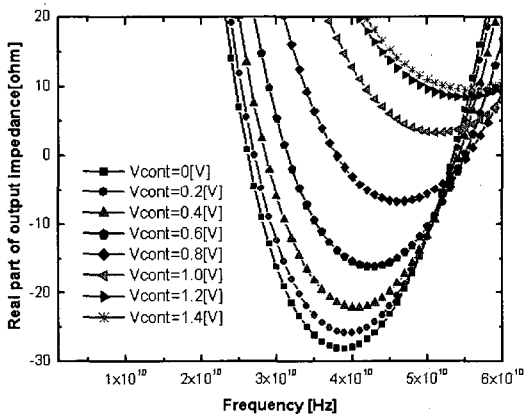
고 게이트 단자는 접지되도록 하여 가변 커패시터로 동작하도록 만든다. 그리고 V_{cont} 값을 조절함으로써 드레인과 게이트, 소스와 게이트간의 공간 전하 영역의 폭을 바꿔줌으로서 접합 커패시터 값을 변화시킨다. L_1 은 공통소스와 공통게이트 트랜지스터를 연결해 주고 cascode 출력단에 negative feedback 효과를 가지며, L_2 는 공통게이트의 게이트 단자에 R_{gate} 와 MIM 커패시터 그리고 가변 커패시터를 연결해 주며 cascode 출력단에 positive feedback 효과를 준다^[1]. R_{gate} 는 band edge에서 전체 회로 특성이 발진하지 않도록 도와주며 MIM 커패시터는 DC 전압인 V_{G2} 와 V_{cont} 을 독립적으로 동작하도록 하기 위해 삽입되었다. 공통 게이트의 게이트 단자에 저항과 고정된 값의 커패시터를 연결하여 회로의 안정도와 이득 특성을 조절할 수는 있으나^[2] 회로가 완성된 이후에 회

로의 안정성이 보장되고 원하는 특성이 나오도록 할 수는 없다.

p-HEMT를 가변 저항으로 이용하여 입출력 전송 선로의 종단 저항값과 단위 이득단의 출력 부성 저항값을 조절하여 이득, 군지연, 대역폭 그리고 안정도를 개선할 수 있는 방법^[3]이 있으나 본 논문은 p-HEMT를 이용한 가변 커패시터를 이용하여 안정도를 조절할 수 있음을 보고자 한다. 이러한 단위 이득 단으로 구성된 전체회로는 그림 1(b)와 같다. p-HEMT를 가변 커패시터로 사용하여 V_{cont} 를 0.2 V 간격으로 0 V부터 1.4 V까지 변화시킬 때 단위 이득



(a) V_{cont} 값에 의한 S_{11} , S_{22} 특성 변화
 (a) The change of characteristics of the S_{11} , S_{22} by value of V_{cont}



(b) V_{cont} 값에 의한 출력 임피던스의 실수값의 변화
 (b) The change of real part of output impedance by value of V_{cont}

그림 2. V_{cont} 값에 의한 단위 이득단의 특성
 Fig. 2. Characteristics of the unit gain stage by value of V_{cont} .

단의 S_{11} , S_{22} 및 출력 임피던스의 실수부 값을 모의 실험한 결과는 그림 2와 같다.

그림 2(a)는 V_{cont} 값이 증가할수록 S_{11} 과 S_{22} 가 스미스 차트의 안쪽으로 들어감을 보여주고 있으며 이는 단위이득단이 안정화되고 있음을 보여준다. 그림 2(b)는 V_{cont} 값이 증가할수록 단위이득단의 출력임피던스의 실수부분이 작은 부성 저항값으로 변화되고 있음을 보여준다. 그리고 부성 저항값의 절대값이 가장 큰 값을 가질 때의 주파수는 점점 증가하고 있음을 알 수 있다^[4]. 각각의 이득단의 공통 게이트의 게이트 단자에 동일한 커패시터 값을 사용하면 하나의 주파수에 부성 저항이 가장 큰 값이 모이게 되고 회로에 발진을 유발할 수 있기에 각 단을 다른 전압원(V_{cont1} , V_{cont2} , V_{cont3} , V_{cont4})을 사용하여 단위적으로 조절할 수 있는 방법을 취하였다.

그림 3은 V_{cont} 값을 변화시켰을 때 전체 회로의 응답 특성에 대한 모의 실험 결과이다. $V_{cont}=0$ V의 경우 주파수에 대해 S_{21} 값이 band edge까지 계속 증가하고 있음을 볼 수 있다. 이러한 특성은 커넥터, 본딩 와이어, DC 차단 커패시터 등과 같이 모듈을 제작할 때 피할 수 없이 생기는 소자나 기생성분에 의한 손실을 보상하는 것에 효율적으로 사용될 수 있다. 게다가 전치 증폭기에 TIA와 함께 사용되는 DA의 경우에는 이득의 기울기가 양수의 값을 가져야만 전체 이득 특성이 전 주파수 영역에 대하여 평평한 특성을 가지게 된다^[2]. V_{cont} 의 값이 증가할수록 S_{21} 값은 감소하는 경향을 보이는데 이는 band edge에서 발진이 발생할 경우 부성 저항값을 줄여 회로가 안

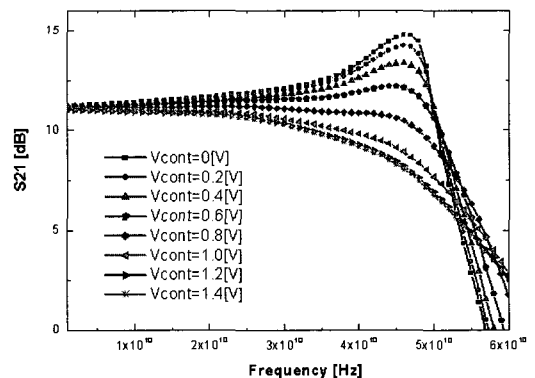


그림 3. V_{cont} 에 의한 DA의 S_{21} 값에 대한 모의실험
 Fig. 3. Simulated S_{21} of DA by value of V_{cont} .

정화되도록 만드는데 사용될 수 있다. 이처럼 이득 특성을 회로 완성 이후에 외부의 독립 전원으로 조절할 수 있다는 것은 cascode 이득단을 사용한 DA의 수율을 증가시킬 뿐만 아니라 원하는 특성을 자유롭게 조절할 수 있으므로 매우 유용한 회로 설계 방법이라 할 수 있다.

2-2 제작된 DA의 안정도 특성

제작된 DA는 그림 4와 같다. 회로의 크기는 $1.3 \times 0.83 \text{ mm}^2$ 이다. 인가된 DC 바이어스는 $V_{G1} = -0.5 \text{ V}$, $V_{G2} = 1.8 \text{ V}$, $V_D = 4.8 \text{ V}$ 이다. V_{cont} 값을 0 V부터 2.2 V 까지 변화시켜가며 측정된 이득($S_{21}[\text{dB}]$)은 그림 5와 같다. 비록 주파수에 따라 사용한 트랜지스터의 유효 커패터 값에 변동이 생기긴 하지만, V_{cont} 값이 변함에 따라 대략 60 fF~180 fF 범위의 값을 가진다. 모의실험의 결과와 비슷하게 V_{cont} 값이 증가하면

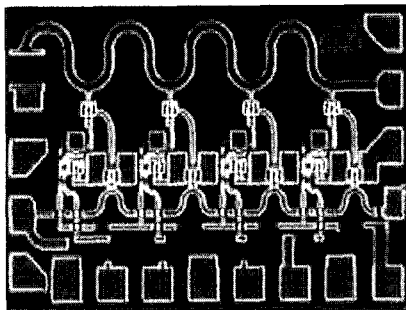


그림 4. 제작된 DA의 사진
Fig. 4. Photograph of the fabricated DA.

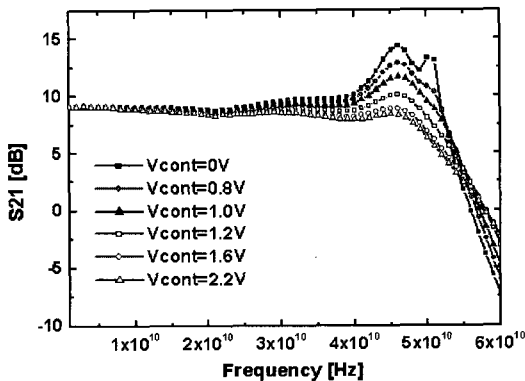


그림 5. V_{cont} 값에 따른 DA 이득의 측정 결과
Fig. 5. Measured performance of gain of DA by value of V_{cont} .

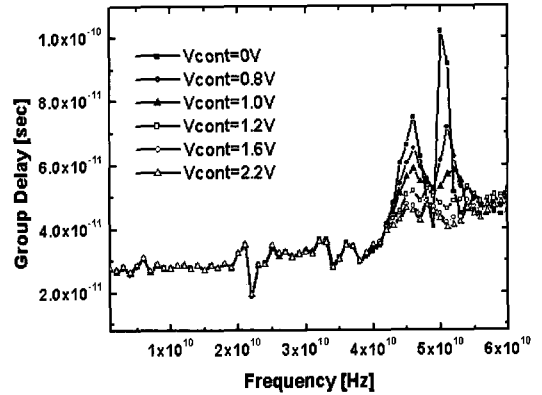
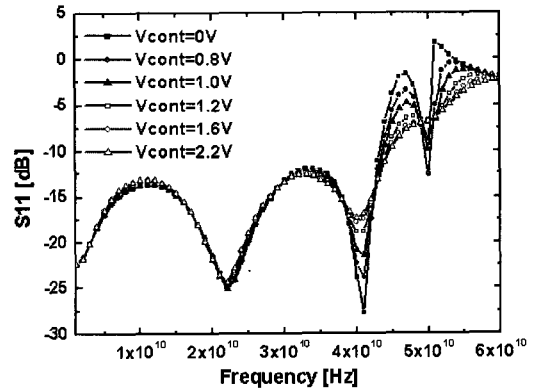
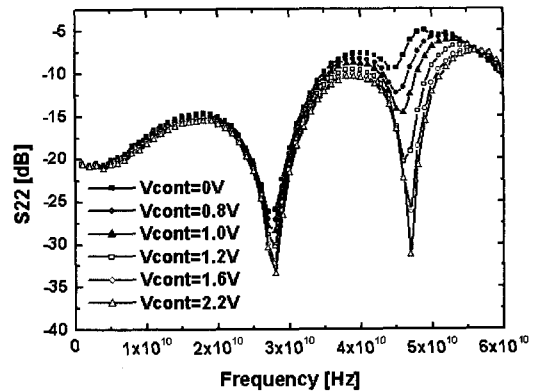


그림 6. V_{cont} 값에 따른 DA 군지연의 측정 결과
Fig. 6. Measured performance of Group delay of DA by value of V_{cont} .



(a) V_{cont} 값에 따른 S_{11} 의 측정 결과
(a) Measured performance of S_{11} by value of V_{cont}



(b) V_{cont} 값에 따른 S_{22} 의 측정 결과
(b) Measured performance of S_{22} by value of V_{cont}

그림 7. V_{cont} 값에 따른 S_{11} , S_{22} 의 측정 결과
Fig. 7. Measured performance of S_{11} , S_{22} by value of V_{cont} .

서 positive feedback 효과와 이득은 감소하고 회로는 안정적으로 동작하게 됨을 알 수 있다(제작된 회로는 V_{cont} $i(i=1, 2, 3, 4)$ 를 가지고 각각의 이득단의 가변 커패시터값을 다른 값을 가질 수 있도록 설계되어 있지만, 측정해본 결과 하나의 V_{cont} 만으로도 충분히 안정도를 보장할 수 있었기에 V_{cont} 에 의한 결과만 제시하였다.). 선형적인 위상 특성을 나타내는 대표적 지표인 군지연 특성은 그림 6과 같다. 주파수 영역에 대해 군지연의 큰 변동은 광통신 시스템에서 전송된 자료의 형태에 변형을 가져오기 때문에 광대역 증폭기의 성능을 결정하는 중요한 요소 중 하나이다. 41 GHz까지 군지연은 ± 9.3 psec 범위 내에서 변동하고 있음을 알 수 있다. 그리고 V_{cont} 값이 클수록 40 GHz 이상의 주파수 영역에서도 그 변동량이 크지 않음을 확인할 수 있다.

그림 7은 제작된 DA의 S_{11} 과 S_{22} 특성을 보여준다. V_{cont} 값이 0.6 V 이하일 경우 S_{11} 의 값이 차단 주파수 근처에서 0 dB보다 크지만 0.8 V 이상에서는 모든 주파수 영역에 걸쳐 0 dB보다 작음을 알 수 있다. 이는 V_{cont} 를 통해 발진의 위험을 제거할 수 있음을 의미한다. V_{cont} 의 모든 값에 대하여 40 GHz까지 S_{11} 은 -12 dB 이하이며 S_{22} 는 -7 dB 이하의 특성을 보이고 있다. 특히 S_{22} 는 V_{cont} 값이 증가할수록 더욱 좋은 정합 특성을 보이고 있다.

III. 결 론

DA의 단위이득단으로서 cascode 형태를 취하면 큰 출력저항, 작은 Miller 효과, 출력 부성 저항으로 인한 손실 보상 등 여러 장점이 있다. 그러나 트랜지스터 모델이 부정확하거나 공정변수가 바뀐다면 제작된 이후에 cascode의 부성 저항 특성 때문에 이득의 band edge 부분에서 발진할 위험성이 있다. 본 논문은 cascode 단위이득단의 공통 게이트의 게이트 단자에 p-HEMT를 이용한 varactor를 연결하여 안정도 특성을 회로가 제작된 이후에도 조절이 가능하도

록 하였다. V_{cont} 값을 증가시킬수록 varactor의 커패시터값은 감소하고 단위이득단의 출력에 positive feedback의 양을 줄이면서 발진을 제거할 수 있음을 알 수 있었다. 49 GHz의 밴드폭 내에서 이득은 8.92 ± 0.82 dB이며, 군지연은 41 GHz 이내에서 ± 9.3 psec 범위 이내였다. 본 논문에서 제시하는 방법을 통하여 여러 가지 변수에 대해서 회로제작 이후에도 안정적으로 동작하는 DA의 수율 증가에 많은 도움을 주리라 생각된다.

참 고 문 헌

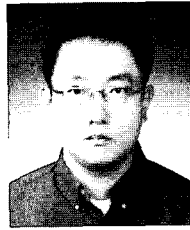
- [1] Shunji Kimura, Yuhki Imai, Yohtarō Umeda, and Takatomo Enoki, "Loss-compensated distributed baseband amplifier IC's for optical transmission systems", *IEEE Transaction on Microwave Theory and Techniques*, vol. 44, no. 10, pp. 1688-1693, Oct. 1996.
- [2] Hisao Shigematsu, Masaru Sato, Toshihide Suzuki, Tsuyoshi Takahashi, Kenji Imanishi, Naoki Hara, Hiroaki Ohnishi, and Yuu Watanabe, "A 49-GHz preamplifier with a transimpedance gain of 52 dB Ω using InP HEMTs", *IEEE Journal of Solid-State Circuits*, vol. 36, no. 9, pp. 1309-1313, Sep. 2001.
- [3] Jinho Jeong, Youngwoo Kwon, "Monolithic distributed amplifier with active control schemes for optimum gain and group delay flatness, bandwidth and stability", *IEEE Transaction on Microwave Theory and Techniques*, vol. 52, no. 4, pp. 1101-1110, Apr. 2004.
- [4] M. Hafele, C. Schworer, K. Beilenhoff, and H. Schumacher, "A GaAs PHEMT distributed amplifier with low group delay time variation for 40 GBit/s Optical Systems", *33rd European Microwave Conference*, vol. 3, pp. 1091-1094, Oct. 2003.

추 경 태



1999년 8월: 국민대학교 전자공학과 (공학사)
2002년 2월: 서울대학교 전기공학부 (공학석사)
2002년 8월~현재: 서울대학교 전기 컴퓨터공학부 박사과정
[주 관심분야] RF mems, MMIC

권 영 우



1988년 2월: 서울대학교 전자공학과 (공학사)
1990년 2월: 미국 University of Michigan 전기공학과 (공학석사)
1994년 2월: 미국 University of Michigan 전기공학과 (공학박사)
1994년~1996년: Rockwell International Science Center, MTS
1996년~현재: 서울대학교 전기 컴퓨터공학부 부교수
1999년~현재: 3차원 밀리미터파 창의 연구단 단장
[주 관심분야] MMIC 설계, 밀리미터파 회로 및 시스템, 능동소자 모델링, RF MEMS, Microwave cancer detecting

정 진 호



1997년 2월: 서울대학교 전기공학부 (공학사)
1999년 2월: 서울대학교 전기공학부 (공학석사)
2004년 9월: 서울대학교 전기 컴퓨터공학부 (공학박사)
2004년 9월~현재: University of California San Diego, Department of Electrical & Computer Engineering, post doctor.

[주 관심분야] 능동소자 모델링, 준광학적 전력 결합기, MMIC/OEIC 설계