

# 용량형 지문인식센서를 위한 전하분할 방식 감지회로의 CMOS 구현

남진문<sup>†</sup> · 이문기

## A CMOS integrated circuit design of charge-sharing scheme for a capacitive fingerprint sensor

Jin Moon Nam<sup>†</sup> and Moon Key Lee

### Abstract

In this paper, a CMOS integrated detection circuit for capacitive type fingerprint sensor signal processing is described. We designed a detection circuit of charge-sharing sensing scheme. The proposed detection circuit increases the voltage difference between a ridge and valley. The test chip is composed of  $160 \times 192$  array sensing cells (12 by  $12.7 \text{ mm}^2$ ). The chip was fabricated on a 0.35  $\mu\text{m}$  standard CMOS process. Measured difference voltage between a ridge and valley was 0.95 V.

**Key Words** : fingerprint sensor, capacitive type, charge-sharing, pixel array

## 1. 서 론

용량형(capacitive) 지문센서의 원리는 센서부분인 최상위 금속판(metal plate)과 지문의 굴곡인 ridge와 valley가 절연층(passivation)을 사이에 두고 존재하는 capacitance 값의 차이를 전압 혹은 전류로 변환하여 기준신호와의 크기를 비교하여 이진화된 신호로 만들어 이미지화 한 다음 적절한 지문이미지처리 알고리즘을 거쳐 본인여부를 판별하도록 일련의 처리가 반도체 회로로 구현된다. 센서신호를 처리하기 위한 방식에 있어서, charge-sharing 방식<sup>[1]</sup>, feedback-capacitive sensing 방식<sup>[2]</sup>, sample and hold 방식<sup>[3]</sup>, charge-transfer 방식<sup>[4]</sup> 등이 구현된 바 있다. 이중 charge-sharing 방식은 회로가 간단하여 센서플레이트 면적을 줄이면서 고품질의 이미지를 얻는데 유리하다. 반면, charge-sharing 방식을 이용한 지문센서의 신호처리에 있어서 최상위 센서 금속판에 존재하는 기생용량은 지문의 ridge와 valley간의 감지되는 전압차이를 감소시켜 기준전압의 동작범위에 제한을 주고 전체적으로 지문센서의 이미

지 질 저하에 결정적 요인이 된다. 따라서 charge-sharing 방식의 회로는 지문의 ridge와 valley간의 전압차이를 최대한 크게 해줄 수 있도록 설계되어야 한다.

본 논문에서는 기존의 전하분할 방식의 감지회로를 새롭게 개선 설계하여 기생용량을 제거하고 ridge와 valley 사이의 전압차를 증폭함으로써 기준전압의 동작범위를 향상 시켜 고품질의 지문이미지를 얻고자 한다. 제안된 신호처리회로는  $160 \times 192$  pixel 규모로 설계되었다. 테스트 칩의 크기는  $12 \mu\text{m} \times 12.7 \mu\text{m}$ 이고 0.35  $\mu\text{m}$  4-metal, 1-poly 표준 CMOS 공정으로 제작되었다.

## 2. 센서 감지회로 설계 및 구현

그림 1은 기존의 charge-sharing 방식의 회로를 나타낸다. 최상위에 센서플레이트가 있고 감지회로는 하부에 놓이게 된다. 그림 1에서 최상위 금속판에 존재하는 기생용량  $C_{p3}$ 는 식 1에서와 같이 ridge와 valley간의 전압차이를 감소시켜 기준전압의 동작범위에 제한을 주게 된다. 이러한 측면에서 그림 1에서처럼 단위이득 버퍼(U-BUF)를 이용하여  $C_{p3}$ 의 양단의 전압차를 0에 근접하게 유지함으로써 센서 금속판 하부의 기생용량 값의 영향을 줄인 점은 효과적이라 할 수 있다<sup>[1]</sup>.

연세대학교 대학원 전기전자공학과 (Dept. of Electrical & Electronics Eng., Graduate School, Yonsei Univ.)

<sup>†</sup>Corresponding author: namjmc@hanmir.com

(Received : May 21, 2003 Accepted : November 23, 2004)

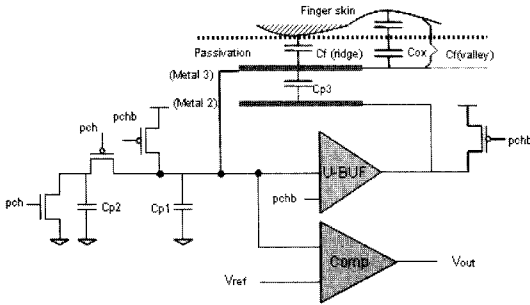


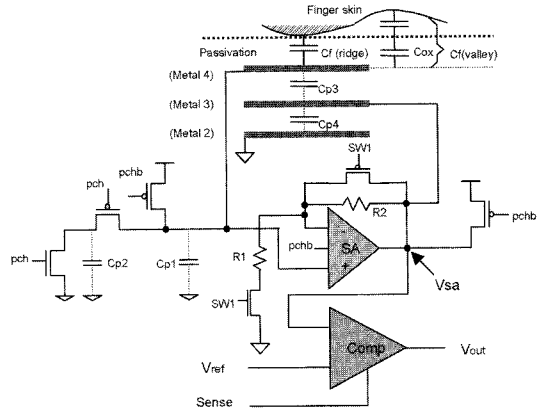
그림 1. 기존의 charge-sharing 방식 센서감지회로  
Fig. 1. Conventional charge-sharing sensing scheme.

$$V_{ridge} - V_{valley} = \frac{(C_{p2} * C_{ox}) * V_{dd}}{(C_{p1} + C_{p2} + C_{p3})^2 + (C_{p1} + C_{p2} + C_{p3}) * C_{ox}} \quad (1)$$

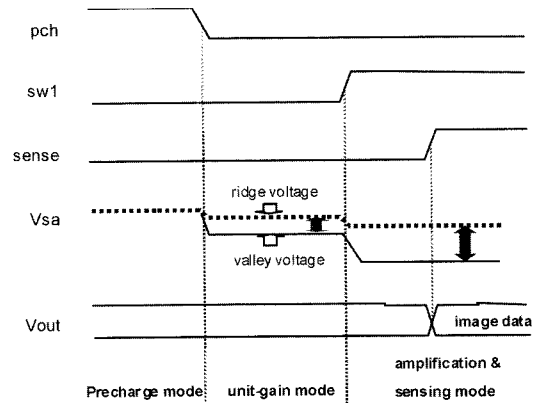
여기서,  $C_{ox}$  : passivation layer capacitance  
 $V_{ridge}$  : detected voltage of ridge  
 $V_{valley}$  : detected voltage of valley

하지만 실제 반도체 구조상  $C_{p3}$ 가 이상적으로 제거된다고 할 수 없고 조건에 따른 공정파라미터의 변화를 감안 한다면 실제 얻을 수 있는 ridge와 valley 간의 전압 차는 훨씬 작아질 것으로 예상된다. 따라서 전압 차를 더욱 향상시키기 위한 새로운 회로의 개발이 필요하다.

그림 2(a)는 제안된 센서 감지회로이다. 제안된 회로는 그림 2(b)와 같이 크게 3가지 동작 모드를 갖게 된다. 첫 번째 모드는 precharge mode이며, 두 번째는 unit-gain mode로서 SA(simple current mirrored amplifier)의 출력단과 negative 입력 단을 연결하여 buffer로 동작한다. 1차 감지된 ridge와 valley 간의 전압 차는 마지막으로 amplification mode에서 크게 증폭된다. 이때, SA는 센서플레이트 면적의 제약에 따라 그림 3과 같은 간단한 회로를 적용하였다. 따라서 이상적이지는 못하지만 저항 R1과 R2의 비율에 비례하여 non-inverting amplifier로서 동작한다. 결국 제안된 회로에서 SA는 단위가득버퍼는 물론 증폭기로서 재사용됨으로써 기생 용량을 제거하고 감지된 ridge와 valley 간의 전압 차를 더욱 크게 한다. 본 논문에서는 이러한 효과를 확인하기 위하여 우선, 0.35  $\mu\text{m}$  표준 CMOS공정 디자인 규칙을 이용하여 최적화된 레이아웃을 실시하여 기생 성분을 추출한 결과  $C_{p1}$ 과  $C_{p2}$ 가 4.3 fF을,  $C_{p3}$ 가 86 fF, 그리고  $C_{pd}$ 는 80 fF을 얻을 수 있었다. Ridge에서의 센서 플레이트와 지문간의 용량은 43 fF를, valley에서는 0.1 fF을 얻었다. 그림 4는 센서 감지회로의 레이아웃을



(a) 제안된 센서감지회로



(b) 회로의 동작 모드

그림 2. 제안된 전하분할 방식 센서감지회로  
Fig. 2. Proposed charge-sharing sensing scheme.

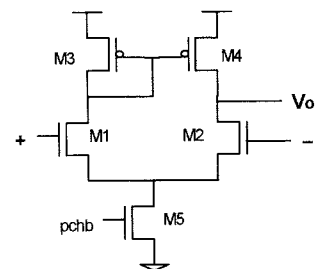


그림 3. SA (Simple current mirrored Amplifier)  
Fig. 3. SA (Simple current mirrored Amplifier).

나타낸다.

추출된 기생 용량을 적용하여 HSPICE 모의실험을 한 결과 센서플레이트 면적의 증가를 최소화 하면서도

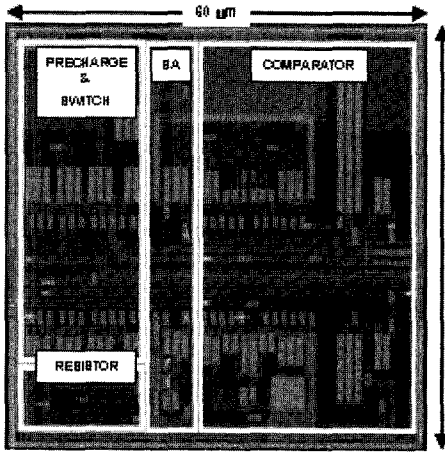


그림 4. 센서 단위픽셀 레이아웃  
Fig. 4. One-pixel sensor layout.

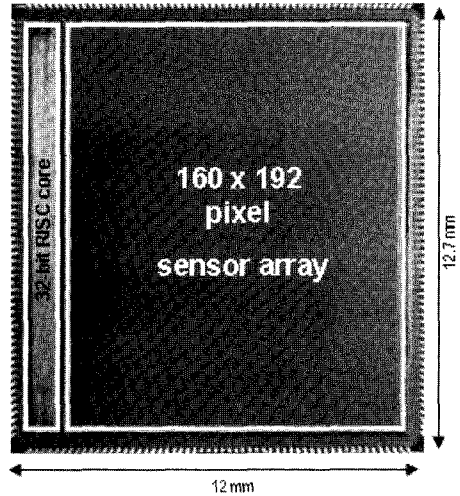


그림 6. 테스트 칩 사진  
Fig. 6. Chip photomicrograph.

ridge와 valley 간의 최대 전압 차를 얻기 위한 저항 R1의 값은 1.4 Kohm, R2는 4 Kohm을 얻을 수 있었다. 최종 레이아웃에서 저항은 0.4 μm 두께의 poly layer를 적용하였으며 110 ohm/□으로서 저항 및 SW1의 신호를 위한 두 개의 MOS 트랜지스터의 면적은 센서플레이트 면적의 2%에 불과하다.

감지회로의 최종 모의실험 결과는 그림 5에서와 같다. 기존의 회로에서 기생용량을 0으로 계산한 이상적인 ridge와 valley 간의 최대 전압 차는 0.6 V였다<sup>[11]</sup>. 동일 조건에서 본 논문에서 제안된 회로의 최종 전압 차는 대략 1.1 V로서 80%의 증가를 보였다. 제안된 회로를 이용하면, 넓어진 기준전압의 범위로 인하여 비교기가 쉽게 ridge와 valley를 구분할 수 있게 되고 이는 고

화질의 이미지를 얻을 수 있음을 의미한다.

### 3. 테스트 칩 제작 및 측정

제안된 회로의 특성을 확인하기 위하여 본 논문에서는 테스트 칩을 제작하였다. 그림 6은 칩 사진을 나타낸다. 다이 크기는 12×12.7 mm<sup>2</sup>이며 센서 영역은 160×192 어레이로 총 30,720개의 픽셀 규모로 10×11.7 mm<sup>2</sup> 면적을 나타내었다. 각 픽셀은 24개의 MOS 트랜지스터로 구성되어 있다. 센서 감지회로는 58×58 μm<sup>2</sup> 센서 플레이트 하부에 구성되어 있으며 센서 피치는 60 μm로서 이미지 해상도는 423 dpi이다. 센서의 ridge와 valley의 감지전압을 측정하기 위하여 본 논문에서는 그림 7에서와 같은 고 평탄화 된 집지 금속판을 적용하였다. 이는 센서의 전 면을 ridge로 만들어 이진화

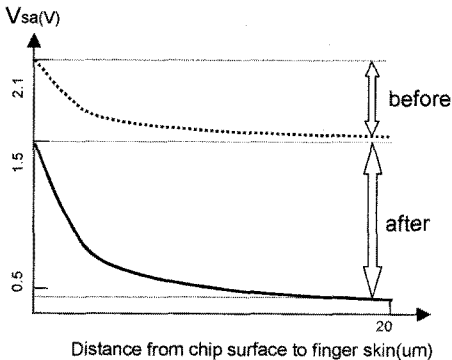


그림 5. 기존회로(before) 및 제안된 회로(after) 결과비교 (모의실험조건 : Vdd = 3.0 V, 0.35 m CMOS typical process)  
Fig. 5. Simulation result.

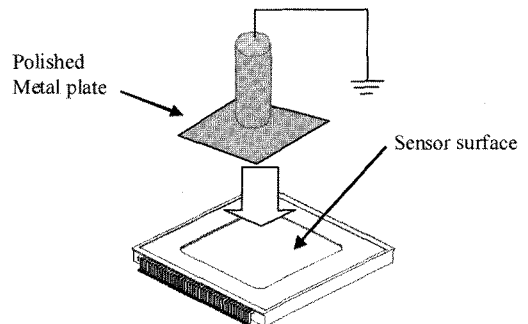


그림 7. Ridge 감지전압 측정을 위한 프로브  
Fig. 7. Test probe.

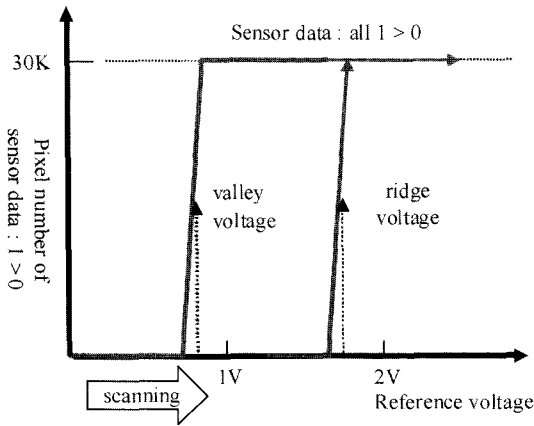


Fig. 8. Ridge 및 valley 전압측정 결과  
 Fig. 8. Test result of defection voltage.

출력 이미지 값이 모두 논리 '0'로 나타나게 한다. 측정은 그림 8에서와 같이 기준전압을 0에서 3V 까지 불연속적으로 스캐닝하면서 30,720개의 이진화이미지 출력 값이 모두 논리 '1'에서 '0'으로 바뀌는 시점을 측정하였다. 측정에는 모두 50개의 샘플을 적용하였다. 측정결과 감지된 ridge 전압은 평균 1.75 V를 나타내었다. Valley 전압의 측정은 센서표면을 노출 시킨 상태에서 동일한 방법으로 기준전압을 스캐닝한 결과 0.8 V를 나타내었으며 ridge와 valley 간의 전압 차는 0.95 V로 나타났다. 이로서 기존 회로에 비하여 50% 이상 향상된 전압차를 얻을 수 있음을 확인하였다. 이는 넓어진 기준전압 범위를 이용하여 고화질의 지문 이미지를 얻을 수 있음을 의미한다.

#### 4. 결 론

본 논문에서는 반도체 방식의 직접 터치식 용량형 지문인식센서의 신호처리를 위한 새로운 감지회로를 설계하고 표준 CMOS 공정으로 구현하였다. 지문센서

의 감지회로는 charge-sharing 방식의 회로를 적용하였다. 제안된 감지회로는 제한된 면적에 적용이 가능한 간단한 형태의 SA(simple current mirrored amplifier)를 적용하여 기생용량을 제거하고 ridge와 valley 사이의 전압차를 증폭함으로써 모의실험 결과, 기준전압의 동작범위를 1.1 V까지 향상 시켜 고화질의 지문 이미지를 얻을 수 있음을 확인하였다. 제안된 신호처리회로는 160×192 pixel 규모로 설계되고 칩으로 구현되었다. 테스트 칩의 크기는 12 mm×12.7 mm이고 0.35 μm 4-metal, 1-poly 표준 CMOS 공정으로 제작되었다. Ridge 감지 전압의 측정을 위하여 고 평탄화된 접지 금속판을 적용하였다. 측정결과 ridge와 valley 사이의 전압차는 0.95 V였다. 본 논문에서 제안된 센서신호 감지회로는 기존 회로에 비하여 50% 이상 향상된 전압차를 얻을 수 있음을 확인 하였다. 이와 같이 넓어진 기준전압 범위를 이용하여 고화질의 지문 이미지를 얻을 수 있음을 확인할 수 있었다.

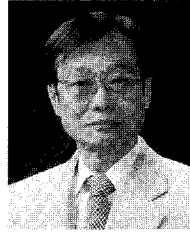
#### 참고 문헌

- [1] J. W. Lee, D. J. Min, J. Y. Kim, and W. C. Kim, "A 600-dpi Capacitive Fingerprint Sensor Chip and Image-Synthesis Technique", *IEEE J. of Solid-state Circuits*, vol. 34, No. 4, pp. 469-475, April, 1999.
- [2] M. Tartagni and R. Guerrieri, "A Fingerprint Sensor Based on the Feedback Capacitive Sensing Scheme", *IEEE J. of Solid-state Circuits*, vol. 33, pp. 133-142, Jan. 1998.
- [3] D. Inglis *et al.*, "A Robust 1.8 V 250 usW Direct-Contact 500 dpi Fingerprint Sensor", *ISSCC Digest of Technical Papers*, Feb. pp. 284-285, 1998.
- [4] H. Morimura, S. Shigematsu, and K. Machida, "A Novel Sensor Cell Architecture and Sensing Circuit Scheme for Capacitive Fingerprint Sensors", *IEEE J. of Solid-state Circuits*, vol. 35, pp. 724-731, May, 2000.



### 남진문

- 1987년 경북대학교 전자공학사
- 2002년 연세대학교 공학대학원 전자계산학과 공학석사
- 2002년 연세대학교 대학원 전자공학과 박사과정
- 1988년 ~ 1995년 (주)금성사 선임연구원
- 2002년 ~ 현재 용인송담대학 정보통신과 겸임교수
- 주관심분야 : 디지털신호처리, Computer Architecture, ASIC, 반도체센서, 통신시스템 설계



### 이문기

- 1965년 연세대학교 전기공학사
- 1967년 연세대학교 대학원 석사
- 1973년 연세대학교 전기공학과(공학박사)
- 1980년 미국 오클라호마대학(공학박사)
- 1982년 ~ 현재 연세대학교 전기전자공학과 교수
- 주관심분야 : 고성능 마이크로프로세서 및 IP, VLSI & CAD design, Embedded system design, Smart sensor & system