

나노 와이어 MOSFET 구조의 광검출기를 가지는 SOI CMOS 이미지 센서의 픽셀 설계

도미영* · 신영식* · 이성호* · 박재현*** · 서상호* · 신장규** · 김 훈**

Design of SOI CMOS image sensors using a nano-wire MOSFET-structure photodetector

Mi-Young Do*, Shin Young Shik*, Sung-Ho Lee*, Jae-Hyoun Park***,
Sang-Ho Seo*, Jang-Kyoo Shin**†, and Hoon Kim**

Abstract

In order to design SOI CMOS image sensors, SOI MOSFET model parameters were extracted using the equation of bulk MOSFET model parameters and were optimized using SPICE level 2. Simulated I-V characteristics of the SOI NMOSFET using the extracted model parameters were compared to the experimental I-V characteristics of the fabricated SOI NMOSFET. The simulation results agreed well with experimental results. A unit pixel for SOI CMOS image sensors was designed and was simulated for the PPS, APS, and logarithmic circuit using the extracted model parameters. In these CMOS image sensors, a nano-wire MOSFET photodetector was used. The output voltage levels of the PPS and APS are well-defined as the photocurrent varied. It is confirmed that SOI CMOS image sensors are faster than bulk CMOS image sensors.

Key Words : SOI, CMOS image sensor, MOSFET photodetector

1. 서 론

이미지 센서는 광 신호를 전기적 신호로 변환하는 소자로, 크게 두 가지로 분류할 수 있는데 전하결합소자(charge coupled device)와 CMOS 이미지 센서(CMOS image sensor)가 그것이다. 전하결합소자는 CMOS 이미지 센서보다 잡음특성이 뛰어나고 화질이 우수하지만 상대적으로 복잡한 제조 공정으로 인해 단가가 비싸고, 주변 회로가 복잡하여 구동 회로와의 원칩(one chip)화가 불가능하여 시스템의 집적화가 어려운 단점이 있다. 그러나, 기존의 실리콘 공정으로 제작되는 CMOS 이미지 센서는 단가가 저렴하고 집적화가 가능하며 소비 전력이 전하결합소자보다 낮다. 그리고 최근 공정 기술의 발달과 신호처리의 개선을 통해

CMOS 이미지 센서가 가지는 노이즈와 동작 범위의 한계가 극복되고 있어 CMOS 이미지 센서의 관심이 높아지고 있다^[1].

SOI(silicon-on-insulator) 기판은 벌크(bulk) 기판과 비교하여 많은 장점들을 가진다^[2]. 이러한 장점들은 소자가 SOI 기판의 절연층 위에 제작된다는 점에 기인한다. SOI 기판을 사용함으로써 각 소자들의 완전한 절연을 이룰 수 있어 회로의 치명적인 결함을 발생시킬 수 있는 래치업(latch-up)을 방지한다. 또한 벌크 기판보다 적은 양의 p-n 접합 기생 커패시터를 가지므로 더 좋은 성능과 더 낮은 전압을 가지는 회로에의 응용을 가능하게 한다. 이러한 점 때문에 1990년 이후 공정 기술의 발달과 제작비용의 감소로 더 넓은 분야에서 SOI 기판의 응용이 가능하게 되었다.

SOI 기판을 사용하여 제작된 이미지 센서는 많은 장점을 가진다^[3]. 그러나 SOI 기판을 사용하여 제작된 이미지 센서는 양자 효율이 낮은 치명적인 단점을 지닌다. SOI 기판을 사용하여 제작된 포토다이오드를 광검출기로 사용한 경우, 광검출기가 제작되는 실리콘의 두

*경북대학교 전기전자공학과(School of Electronic and Electrical Engineering, Kyungpook National University)

**한국전자부품연구원(Korea Electronics Technology Institute)

†Corresponding author: jkshin@ee.knu.ac.kr

(Received : August 31, 2005, Accepted : September 29, 2005)

께가 얇아서 대부분의 광자(photon)가 흡수되지 못하고 빠져 나가게 된다. 이러한 단점으로 인하여 이미지 센서의 제작에 있어서 SOI 기판의 사용이 제한되어 왔다.

본 연구에서는 나노 와이어 NMOSFET 구조의 광검출기를 이용하여 이러한 단점을 극복하였다^[5]. 나노 와이어 NMOSFET 구조의 광검출기를 이용하여 SOI 기판 위에 제작된 CMOS 이미지 센서는 벌크 기판에서 제작된 CMOS 이미지 센서보다 낮은 기생 커패시턴스를 가지므로 빠른 응답 속도가 요구되는 소자에 응용될 수 있다. SOI 기판을 사용하여 CMOS 이미지 센서를 설계하기 위해 SOI NMOSFET을 제작, 측정하여 그것의 모델 파라미터(model parameter)를 추출하였다. SOI NMOSFET의 모델 파라미터는 SPICE level 1 방정식을 이용하여 수동픽셀센서(passive pixel sensor), 능동픽셀센서(active pixel sensor), 로그리드믹(logarithmic) 회로 등의 서로 다른 구조를 가지는 CMOS 이미지 센서의 단위 픽셀을 설계하고, 시뮬레이션 하였다. SOI 기판 위에 제작된 CMOS 이미지 센서의 특성을 알아보기 위해 기존의 벌크 CMOS 이미지 센서와 비교하여 시뮬레이션 하였다. 그 결과, 설계한 SOI CMOS 이미지 센서의 응답 시간이 벌크 CMOS 이미지 센서의 응답 시간보다 더 짧았다.

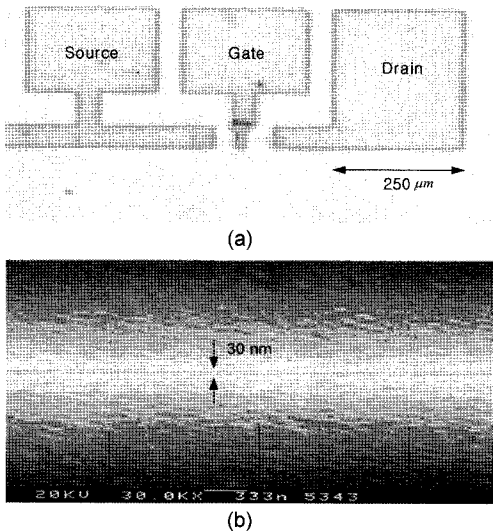


그림 1. 제작된 SOI NMOSFET; (a) 완성된 소자의 사진 (b) 30 nm 선폭을 가진 실리콘 나노 와이어의 SEM 사진

Fig. 1. The fabricated SOI NMOSFET; (a) photograph of the fabricated device and (b) SEM image of the 30 nm width silicon nano-wire.

2. 나노 와이어 MOSFET 광검출기와 특성

나노 와이어 NMOSFET 광검출기는 190 nm의 실리콘 두께를 가지고 BOX(buried oxide)의 두께가 360 nm인 4" SIMOX(separation by implanted oxygen) 기판을 사용하여 제작되었다. 30 nm의 선폭을 가지는 나노 와이어 NMOSFET은 리소그래피 공정과 이방성 습식 식각, 반응성 이온 식각(reactive ion etching) 기술을 사용하여 SOI 기판 위에 제작되었다^[8].

그림 1(a)는 제작된 나노 와이어 NMOSFET이고 그림 1(b)는 제작된 나노 와이어 NMOSFET의 와이어 부분의 SEM 사진이다. 그림 2는 제작된 나노 와이어 NMOSFET을 상온에서 게이트 전압을 0 V에서 1.5 V 까지 0.5 V씩 증가시켰을 때 I_d - V_{ds} 곡선을 나타내고 있으며, 그림 3은 드레인 전압이 0.1 V 일 때, I_d - V_{gs} 곡선을 나타내고 있다. 상온에서는 일반적인 트랜지스터와 비슷한 특성을 보임을 알 수 있다. 그림 4는 온도

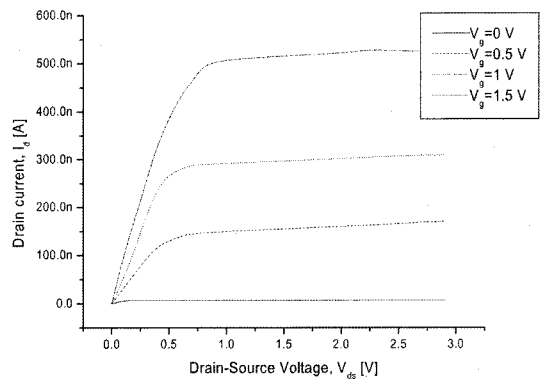


그림 2. 상온에서 측정된 I_d - V_{ds} 특성 곡선
Fig. 2. Measured I_d - V_{ds} characteristics at room temperature.

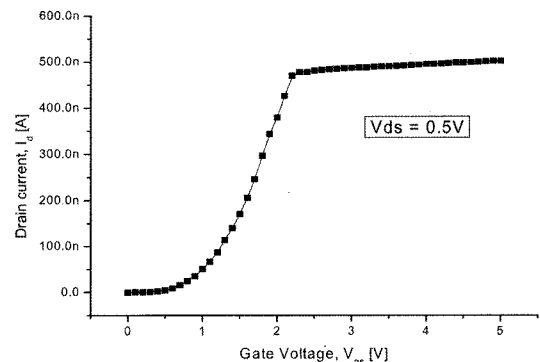


그림 3. 상온에서 측정된 I_d - V_{gs} 특성 곡선
Fig. 3. Measured I_d - V_{gs} at room temperature.

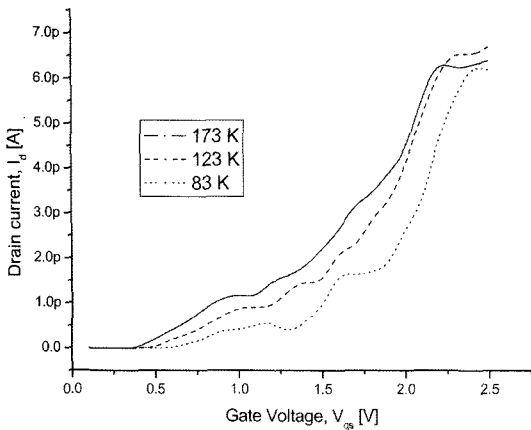


그림 4. 83 K에서 173 K까지 I_d - V_{gs} 곡선의 계단 구조
Fig. 4. Step-like I_d - V_{gs} characteristics measured at low temperatures from 83 K to 173 K.

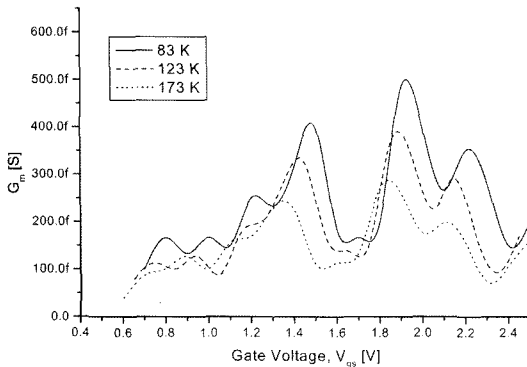


그림 5. 주기적 계곡을 나타내는 V_{gs} - G_m 특성 곡선
Fig. 5. V_{gs} - G_m characteristics which show periodic valleys.

83 K, 123 K 그리고 173 K일 때, 게이트 전압에 따른 나노 와이어 트랜지스터의 I_d - V_{gs} 곡선이다. 이것은 제작된 나노 와이어 NMOSFET의 양자화된 전도도(conductance)에 기인하는 I_d - V_{gs} 특성을 반영하고 있다. 실온에서는 전도도가 선형적으로 증가하는데 비해 저온에서는 전도도가 양자화되어 나타나며 이것은 나노 와이어 트랜지스터에서 일차원 부 밴드 효과가 나타나고 있음을 반영한다^[4]. 그림 5에서 나타났듯이 게이트 전압에 따른 G_m (transconductance)은 대략적인 주기를 가지며 변동하고 있다. 그림 6은 제작된 나노 와이어 NMOSFET의 게이트 전압을 1.5 V로 두고 광세기를 변화시켜 I_d - V_{ds} 곡선의 광응답 특성을 측정된 결과이다. 측정 시에 사용한 광원은 파장이 633 nm 인 He-Ne 레이저이다. 나노 와이어 NMOSFET의 최대 응답 특성은 1×10^2 A/W이다. 이것은 본 연구에서 제작된 나

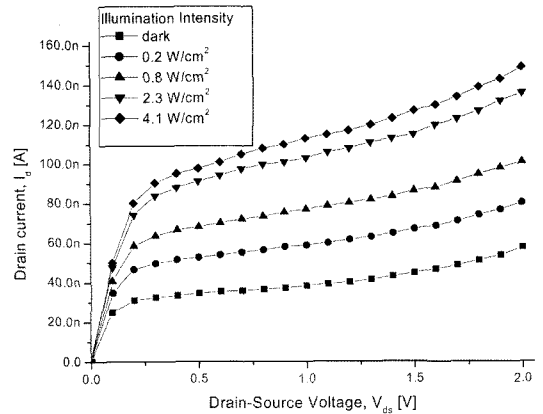


그림 6. 광세기에 변화에 따른 나노 와이어 광검출기의 I_d - V_{ds} 특성 곡선
Fig. 6. I_d - V_{ds} characteristic of the quantum wire photo-detector under different illumination.

노 와이어 NMOSFET 광검출기는 저조도에서도 잘 동작하며 높은 감도를 가진다는 것을 의미한다^[5].

3. SOI CMOS 이미지 센서의 설계

회로 설계자들은 회로 설계시, 소자의 모델 파라미터를 필요로 한다. 본 연구에서는 SOI CMOS 이미지 센서를 설계하기 위해 SOI NMOSFET의 모델 파라미터를 추출하였다. 채널 길이가 2 nm이고 채널 폭이 2 nm에서 20 nm인 SOI NMOSFET를 제작하였고, HP 4145을 이용하여 I_D - V_{DS} 와 I_D - V_{GS} 특성들을 측정하였다.

3.1. SOI NMOSFET 파라미터 추출

SOI NMOSFET 파라미터를 추출하기 위해 측정된 자료를 바탕으로 그림 7과 같은 방법을 이용하여 바이어스가 0 V일 때의 문턱전압의 값을 결정하고, 이를 표 1에 나타내었다^[6].

벌크 MOSFET 파라미터 계산 시에 이용되는 SPICE level 1 방정식을 사용하여 공정에 의해 결정되는 게이트 산화막의 두께, 접합 길이, 온도 등의 파라미터들을 기본으로 간단한 SOI NMOSFET 파라미터들을 계산하였다. 이 파라미터들은 도핑 농도와 기본적인 SOI NMOSFET의 구조에 영향을 받을 뿐 채널 폭에는 영향을 받지 않는다. 표 2에 계산된 결과를 나타내었다.

앞서 계산된 SOI NMOSFET 파라미터들의 값들을 바탕으로 HSPICE를 이용하여 DELTA, DELVTO, VMAX, THETA, KP의 값을 변화시켜 추출한 파라미터들의 값들을 최적화하였고 SPICE level 2 모델 파라

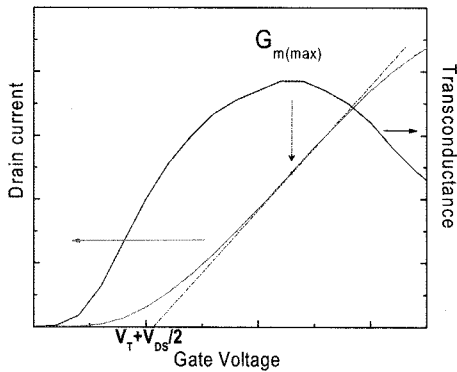


그림 7. 문턱 전압을 결정하는 방법
Fig. 7. The method to figure out the threshold voltage.

표 1. 바이어스가 0 V 일 때 측정된 문턱전압
Table 1. The zero-bias threshold voltage of the measured data

	W=2 μm	W=5 μm	W=10 μm	W=20 μm
VTO	-328 mV	-393 mV	-405 mV	-406 mV

표 2. SOI MOSFET의 계산된 파라미터
Table 2. The calculated parameters of the SOI MOSFET

VTO	COX	UO	LAMBDA	KP
158.22 mV	863 μF/m ²	600 cm ² /Vs	60 m/V	51.78 A/V ²

표 3. HSPICE를 이용하여 최적화한 파라미터
Table 3. The optimized parameters using HSPICE

	W=2 μm	W=5 μm	W=10 μm	W=20 μm
VTO [mV]	-495	-495	-478	-418
KP [μA/V ²]	58.20	58.20	56.20	57.20
LAMBDA [m ⁻¹]	70	70	85	85
DELVTO [mV]	-260	-260	-240	-180
VMAX	1E+6	3E+5	5E+5	5E+5
DELTA	4	8	10	11
THETA [V ⁻¹]	0.06	0.15	0.18	0.19

미터들을 추출하였다. 여기서 DELTA는 협폭인자(narrow width factor), DELVTO는 문턱 전압의 변화량, VMAX는 전하의 최대 표동속도(drift velocity), THETA는 이동도 변화, 그리고 KP는 진성 트랜스컨덕턴스(intrinsic transconductance)를 의미한다. 표 3에 최적화된

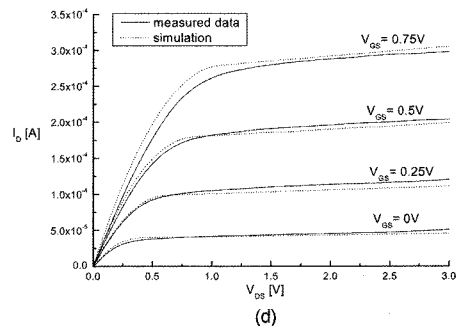
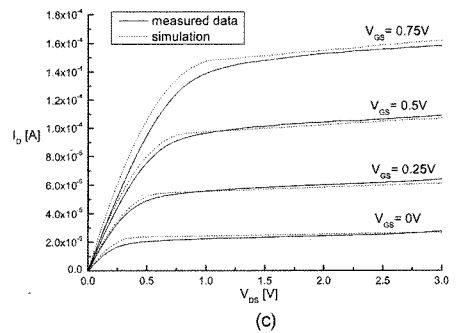
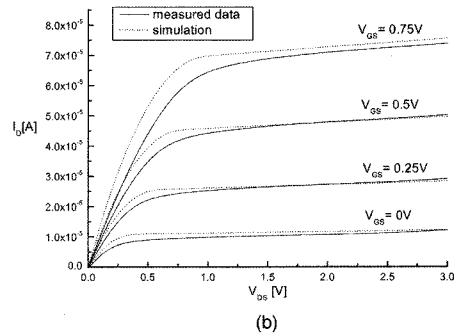
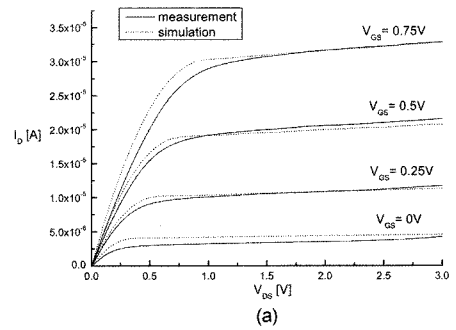


그림 8. SOI NMOSFET의 ID-VDS 특성 곡선(— ; 측정 결과 - - - ; 시뮬레이션 결과); (a) W=2 μm (b) W=5 μm (c) W=10 μm (d) W=20 μm.

Fig. 8. The ID-VDS characteristics of the SOI NMOSFET (— ; measurement results, - - - ; simulation results); (a) W=2 μm (b) W=5 μm (c) W=10 μm (d) W=20 μm.

SPICE level 2 모델 파라미터들의 값들을 나타내었다.

그림 8에서는 SOI NMOSFET의 I_D - V_{GS} 의 측정 결과와 추출한 파라미터를 이용하여 시뮬레이션으로부터 결과들을 비교하고 있다. 추출한 파라미터를 사용하여 시뮬레이션 한 결과는 측정치와 매우 유사하고, 오차는 6.42%이다. 그림 8에서 보듯이 채널 폭이 길어질수록 오차는 적어지는데 이것은 level 2 파라미터가 출력 임피던스와 핀치오프(pinch-off) 지점에서 상당한 오차를 가지고 있기 때문이다. 추출한 파라미터는 채널 폭이 큰 경우 더 정확하였다. 본 연구에서는 채널 폭이 20 nm인 SOI NMOSFET에서 추출한 파라미터를 이용하여 CMOS 이미지 센서를 설계하였다.

3.2. SOI CMOS 이미지 센서의 설계

앞서 추출한 SOI NMOSFET 모델 파라미터를 이용

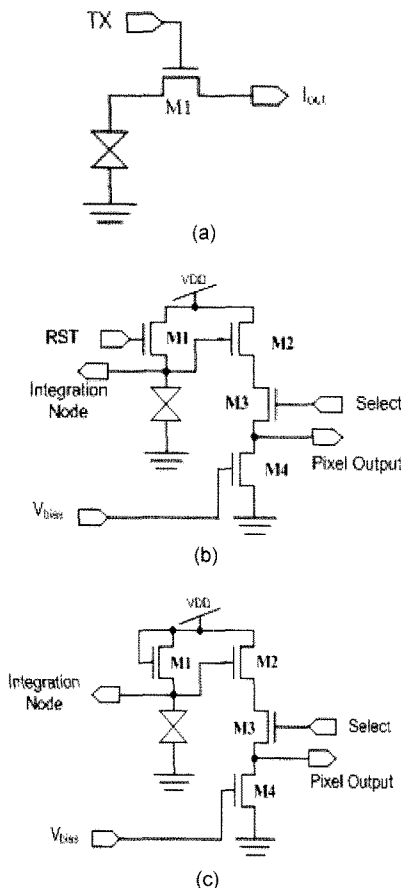


그림 9. SOI CMOS 이미지 센서의 회로도; (a) 수동픽셀센서 회로 (b) 능동픽셀센서 회로 (c) 로그리드믹 회로
 Fig. 9. The schematic of SOI CMOS image sensors; (a) PPS circuit (b) APS circuit (c) logarithmic circuit.

하여 CMOS 이미지 센서의 단위 픽셀을 설계하고, 시뮬레이션 하였다. 광검출기로는 30 nm의 선폭을 지니는 나노 와이어 NMOSFET을 이용하였다. 본 연구에서는 수동픽셀센서, 능동픽셀센서 그리고 로그리드믹 회로의 서로 다른 구조의 CMOS 이미지 센서 단위 픽셀을 설계하였고, 설계한 CMOS 이미지 센서의 회로도 는 그림 9에 나타내었다. 나노 와이어 NMOSFET 광검출기의 측정 결과를 바탕으로 광세기에 따른 광전류 값을 계산하였고 이를 이용하여 시뮬레이션 하였다.

그림 9(a)는 수동픽셀센서의 회로도이며 동작원리는 다음과 같다. M1이 도통하게 되면 광검출기와 출력이 연결된다. 수동픽셀센서 회로를 시뮬레이션을 하기 위해 출력 단자에 신호처리 회로의 부하로서 1 MΩ의 저항을 연결하였다. 설계한 SOI 수동픽셀센서의 특성과 벌크 수동픽셀센서의 특성을 비교하기 위해 SOI 수동픽셀센서와 벌크 수동픽셀센서를 시뮬레이션 하였고, 그 결과를 그림 10에 나타내었다. 모델링된 광전류를 40 nA에서 140 nA까지 변화시키면 SOI 수동픽셀센서와 벌크 수동픽셀센서의 출력 전압은 3.22 V에서 3.02 V까지 변화하였다. SOI 수동픽셀센서의 응답 시간은 0.23 μs로 벌크 수동픽셀센서의 응답 시간인 0.93 μs 보다 매우 짧다.

그림 9(b)는 능동픽셀센서의 회로도이다. 그림 9(b)에서 M1은 리셋 트랜지스터이고 M2는 공통 드레인 증폭기로 동작한다. 회로를 동작시키기 전에 M1에 펄스 신호를 인가하면 M2의 게이트 전압이 리셋 된다. 광검출기에 빛이 들어오면 광검출기에 의해 M2에 저장된 전하가 방전되고 그 결과, 전압이 공통 드레인 증폭기를 통해 출력으로 나타나게 된다. 설계한 SOI 능동픽셀센서의 특성과 벌크 능동픽셀센서의 특성을 비교하기 위해 SOI 능동픽셀센서와 벌크 능동픽셀센서에 대하여 시뮬레이션 하였고, 그 결과를 그림 11에 나타내었다. 광세기가 증가할수록 광검출기에 의해 방전되는 전하량이 증가하게 되어 출력 전압의 크기는 감소하게 된다. 모델링된 광전류를 40 nA에서 140 nA까지 변화시키면 SOI 능동픽셀센서의 출력 전압은 259 mV에서 170 mV까지 변화하였고, 벌크 능동픽셀센서의 출력 전압은 202 mV에서 160 mV까지 변화하였다. 능동픽셀센서 회로의 동작 범위는 광검출기의 출력을 처리하는 트랜지스터에 의해 제한받게 된다. 또한 능동픽셀센서 회로의 공통 드레인 증폭기의 이득이 1 보다 작기 때문에 능동픽셀센서 회로는 수동픽셀센서 회로보다 더 작은 동작 범위를 가진다. SOI 능동픽셀센서의 응답 시간은 0.52 μs이고, 벌크 능동픽셀센서의 응답 시간은 0.78 μs이다.

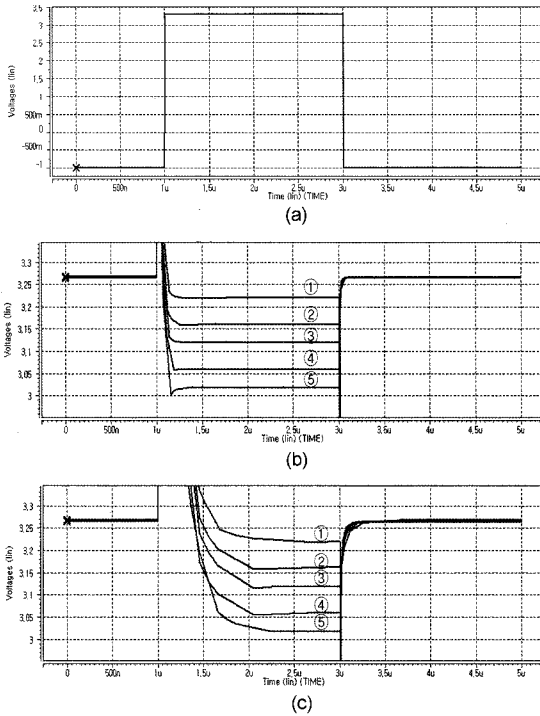


그림 10. SOI 수동픽셀센서 회로와 벌크 수동픽셀센서 회로의 시뮬레이션 결과(광전류 : ① 40 nA ② 70 nA ③ 90 nA ④ 120 nA ⑤ 140 nA); (a) M1의 입력신호 (b) SOI 수동픽셀센서 회로의 출력 전압 (c) 벌크 수동픽셀센서 회로의 출력 전압.

Fig. 10. The simulation results of the SOI PPS and bulk PPS (photocurrent : ① 40 nA ② 70 nA ③ 90 nA ④ 120 nA ⑤ 140 nA); (a) The input signal of M1 (b) The output node voltage of the SOI PPS (c) The output node voltage of the bulk PPS.

SOI 기판의 기생 커패시턴스가 벌크 기판보다 작기 때문에 SOI CMOS 이미지 센서의 응답 시간이 벌크 CMOS 이미지 센서의 응답 시간보다 짧다.

그림 9(c)는 로그리드믹 회로를 보여준다. 픽셀의 출력 신호가 광세기에 대수적으로 비례하도록 M1의 게이트를 전원전압에 연결하였으며, 이로써 큰 동작 범위를 가지게 된다. 로그리드믹 회로에서 M1은 약반전 영역에서 동작하게 된다. 이 때문에 본 연구에서 추출한 level 2 모델 파라미터로는 시뮬레이션 할 수 없었다^[7].

수동픽셀센서 그리고 능동픽셀센서 회로 시뮬레이션 결과에 보듯이 설계한 SOI CMOS 이미지 센서 회로들은 광전류의 변화에 따라 출력 전압의 변화가 명확히 나타났고, 벌크 CMOS 이미지 센서 회로보다 응답 시간이 짧았다. 그림 12는 설계한 SOI CMOS 이미지

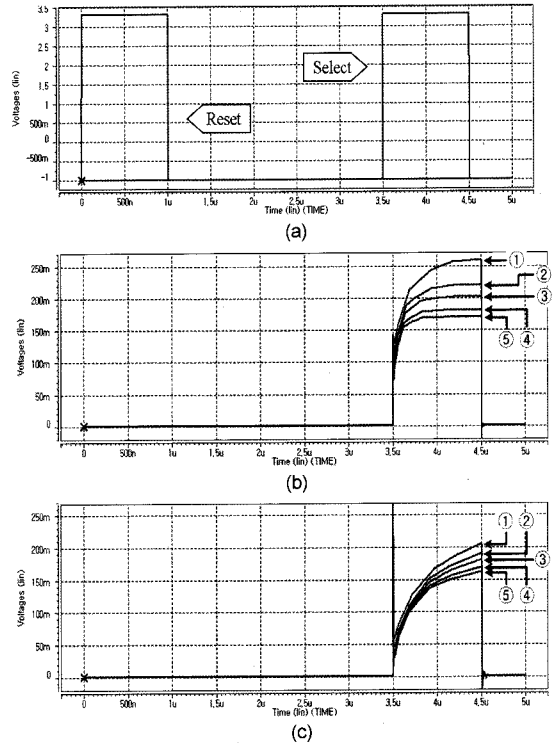


그림 11. SOI 능동픽셀센서 회로와 벌크 능동픽셀센서 회로의 시뮬레이션 결과(광전류 : ① 40 nA ② 70 nA ③ 90 nA ④ 120 nA ⑤ 140 nA); (a) 제어신호 (b) SOI 능동픽셀센서 회로의 출력 전압 (c) 벌크 능동픽셀센서 회로의 출력 전압

Fig. 11. The simulation results of the SOI APS and bulk APS (photocurrent : ① 40 nA ② 70 nA ③ 90 nA ④ 120 nA ⑤ 140 nA); (a) The control signal (b) The output node voltage of the SOI APS (c) The output node voltage of the bulk APS.

센서의 레이아웃(layout) 결과이다. 이 회로는 현재 제작 중이다.

4. 결 론

본 연구에서는 SOI 기판을 사용하여 제작된 이미지 센서의 단점인 낮은 양자 효율을 극복하기 위해 CMOS 이미지 센서의 광검출기로서 나노 와이어 NMOSFET를 이용하였다. 나노 와이어 NMOSFET 광검출기는 저조도에서 잘 동작하였고 큰 동작 범위를 가진다. 제작된 SOI NMOSFET으로부터 SOI NMOSFET 모델 파라미터를 추출하였고 이것을 이용하여 SOI CMOS 이미지 센서를 설계하였다. SOI NMOSFET 모델 파라미터는 SPICE level 1 방정식을 이용하여 계산하였고

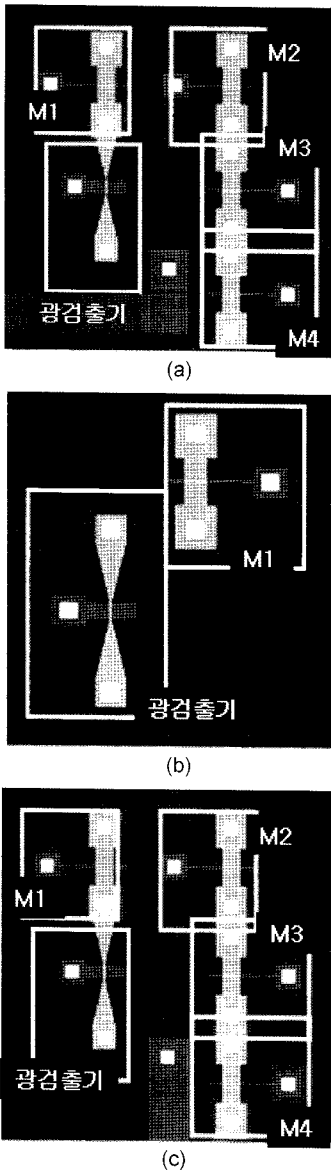


그림 12. SOI CMOS 이미지 센서의 레이아웃 그림; (a) 수동픽셀센서 회로 (b) 능동픽셀센서 회로 (c) 로가리드믹 회로
 Fig. 12. The layout of SOI CMOS image sensors; (a) PPS circuit (b) APS circuit (c) logarithmic circuit.

HSPICE를 사용하여 level 2의 모델 파라미터로 최적화하였다. 추출한 파라미터를 이용하여 시뮬레이션한 결과, 제작된 SOI NMOSFET의 측정 데이터와 매우 유사하였다. 나노 와이어 NMOSFET의 구조를 가지는 광검출기를 사용하여 수동픽셀센서, 능동픽셀센서 그리고 로가리드믹 회로의 서로 다른 구조를 가지는

CMOS 이미지 센서의 단위 픽셀을 설계하였다. 시뮬레이션 결과 수동픽셀센서, 능동픽셀센서 회로의 출력 전압은 광전류의 변화를 잘 나타내었다. SOI CMOS 이미지 센서 회로의 응답 시간은 벌크 CMOS 이미지 센서 회로의 응답 시간보다 짧았다. 따라서 본 연구에서 설계된 SOI CMOS 이미지 센서 회로들은 높은 감도를 가지며 동영상 등의 빠른 응답 시간이 요구되는 이미지 센서 시스템에 이용될 수 있으리라 기대된다.

감사의 글

“본 연구는 한국전자부품연구원(KETI) 및 BK21 프로그램의 지원으로 수행되었습니다”.

참고 문헌

- [1] Eric R. Fossum, “CMOS image sensors: Electronic camera-on-a-chip”, *IEEE Transaction on Electron Device*, vol. 44, no. 10, pp. 1689-1698, 1997.
- [2] J.-P. Colinge, *Silicon-on-insulator technology: Materials to VLSI*, Kluwer Academic Publishers, Belgium, pp. 1-5, 1997.
- [3] C. Xu, W. Zhang, and M. Chan, “A low voltage hybrid bulk/SOI CMOS active pixel image sensor,” *IEEE Electron Device Letters*, vol. 22, no. 5, pp. 248-250, 2001.
- [4] K. Barnham and D. Uvedensky, *Low-Dimensional Semiconductor Structures*, Cambridge University Press, London, 2001.
- [5] I.-S. Wang, J.-H. Park, S.-H. Seo, H.-J. Yoon, J.-K. Shin, P. Choi, M.-B. Lee, Y.-C. Jo, H. Kim, and W.-J. Cho, “Quantum wire SOI MOSFET with sub-band effects using conventional photo-lithography and its application to photodetector”, 제11회 한국반도체학술대회 논문집, pp. 277-278, 무주, 한국, 2004.
- [6] S. S.-S. Chung, “A complete model of the I-V characteristics for narrow-gate MOSFETs”, *IEEE Transaction on Electron Device*, vol. 37, no. 4, pp. 1020-1030, 1990.
- [7] B. Dierickx, D. Scheffer, G. Meynants, W. Ogiers, and J. Vlumens, “Random addressable active pixel image sensors”, *Proc. of SPIE Advanced Focal Plane Arrays and Electronic Cameras*, vol. 2950, pp. 27-32, Germany, 1996.
- [8] 이준규, 박재현, 서상호, 왕인수, 신장규, 김훈, “Photolithography를 이용한 sub-10 nm 실리콘 세션 제작”, 한국센서학회 종합학술대회 논문집, pp. 316-319, 광주, 한국, 2002.



도미영

- 1980년 4월 9일생
- 2004년 경북대학교 전자전기공학부 졸업 (공학사)
- 현 경북대학교 대학원 전자공학과 석사과정
- 주관심분야 : SOI MOSFET device, CMOS Image Sensors



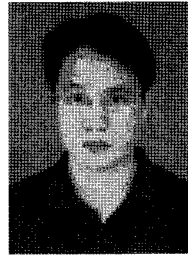
신영식 (Shin Young Shik)

- 2000년 안동대학교 전자공학과 졸업 (공학사)
- 현 경북대학교 대학원 전자공학과 석사과정
- 주관심분야 : Silicon Process, Photodetector on SOI.



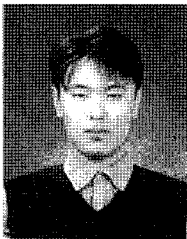
이성호

- 1978년 9월 11일생
- 2004년 경북대학교 전자전기공학부 졸업 (공학사)
- 현 경북대학교 대학원 전자공학과 석사과정
- 주관심분야 : MOSFET-type photodetectors, current-mode CMOS Image Sensors



박재현

- 1971년 9월 6일생
- 1994년 경북대학교 전자공학과 졸업 (공학사)
- 1996년 경북대학교 전자공학과 졸업 (공학석사)
- 2005년 경북대학교 전자공학과 졸업 (공학박사)
- 2001년 ~ 현재 한국 전자부품연구원 선임연구원
- 주관심분야 : nano-scaled photodetectors, CMOS Image Sensors



서상호

- 1979년 5월 4일생
- 2002년 경북대학교 전자전기공학부 졸업 (공학사)
- 2004년 경북대학교 전자공학과 졸업 (공학석사)
- 현 경북대학교 대학원 전자공학과 박사과정
- 주관심분야 : MOSFET-type photodetectors, CMOS Image Sensors



신장규

- 1978년 서울대학교 전자공학과 졸업 (공학사)
- 1980년 한국과학기술원 전기 및 전자공학과 졸업(공학석사)
- 1991년 미국 콜로라도 주립대학교 전기공학과 졸업(공학박사)
- 1995년 ~ 1997년 일본 토요하시 기술과학대학교 교환 교수
- 1980년 ~ 현재 경북대학교 전자공학과 교수
- 주관심 분야 : CMOS Image Sensors, Silicon Retina, DNA Sensor, MOSFET Sensor



김훈

- 1965년 3월 27일생
- 1993년 경북대학교 전자공학과 졸업 (공학사)
- 1996년 일본 토요하시 기술과학대학교 전자 및 전기공학과 졸업(공학석사)
- 1999년 일본 동경대학교 전자공학과 졸업 (공학박사)
- 2001년 ~ 현재 한국 전자부품연구원 책임연구원
- 주관심분야 : single electron devices, SOI MOS devices, nano-scaled photodetectors