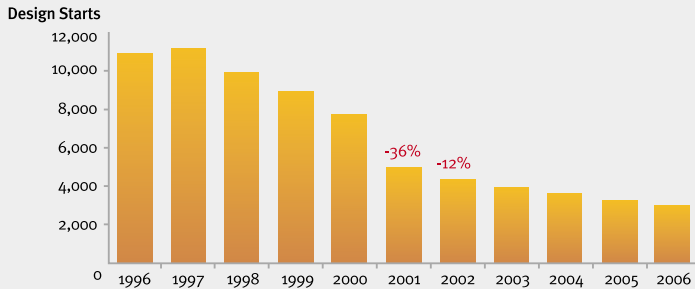


Structured ASIC을 살펴본다

조범식 | IT-SoC협회 마케팅 지원팀 | E-Mail : bsjo@itsoc.or.kr

Structured ASIC의 등장

최근 몇 년간 전자제품의 로직 컨텐츠에 커다란 변화가 있었다. 이 변화 중 하나는 전통적인 ASIC Design Start가 눈에 띄게 줄었다는 것이다.



[그림 1] [자료 : Gartner/Dataquest]

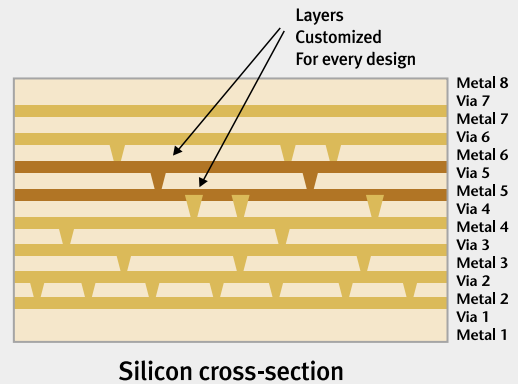
ASIC Design Start 감소의 원인은 세계적인 경제 불황의 여파도 있겠지만 전통적인 ASIC이 대부분의 어플리케이션에게는 너무 비싸다는 점이다. ASIC은 최고의 집약도와 최고의 성능, 최소 전력 소비 등의 장점이 지니고 있음에도 불구하고 하늘 높이 치솟는 마스크 비용, 높은 톨 비용과 개발 비용 때문에 오직 high-volume 디자인에서만 cell-based ASIC을 지탱해 주고 있다. mid-volume ASIC 디자인만 해도 비용을 감당 못할 정도가 되어 버렸다.

어떤 경우에는 높은 unit 비용과 제한된 성능, 높은 전력 소비에도 불구하고 과거에 ASIC으로 해 왔던 것을 하나 또는 그 이상의 FPGA로 대체하고 있는 상황이다. 실제로 개당 수백 달러(때로는 수천 달러)짜리 FPGA가 들어 있는 제품들이 출하되고 있어도 ASIC 개발에 NRE(Non-Recurring Engineering)나 자원을 투자하지 않는다. ASIC을 개발하면 수백만 달러를 아낄 수 있다 하더라도 그 개발 비용 역시 수백만 달러에 달하기 때문이다. 특히 그 복잡성으로 인해 매우 정교한 디자인 톨과 함께 고도의 전문적인 기술을 필요로 하기 때문에 더욱 어렵다.

이런 분위기 속에서 최근에 Structured ASIC이 mid-volume 시장에서 cell-based ASIC을 대체할 새로운 대안으로 떠올랐다.

Structured ASIC이란 무엇인가?

gate array와 비슷하게도 보이는 Structured ASIC은 일반적인 디자인에 공통적으로 쓰이는 I/O, 메모리, power grid, clock generator, 경우에 따라서는 IP와 같은 것을 메탈 레이어에 미리 만들어 놓은 것이다.



Silicon cross-section

[그림 2] [자료 : EE Times]

이렇게 하면 마스크, 팹 공정 등을 줄일 수 있기 때문에 백만 달러 이상의 비용을 절약할 수 있다. 게다가 gate array처럼 TTM(Time-To-Market)도 줄일 수 있다는 점은 시스템 개발이나 prototyping에 매력적인 요소로 작용한다.

정확하게 말하면 Structured ASIC은 gate array가 아니다. 실리콘 레이어에 미리 설계를 해 놓는다는 유사성이 있긴 하지만 다른 대부분의 면에서 이 둘은 차이점을 지닌다. 가장 근본적인 차이점은 gate array는 제조 사이클 시간을 줄여주지만 Structured ASIC은 디자인 사이클 시간, 디자인 비용 등을 줄여 준다는 점이다.

Structured ASIC은 test development and insertion, power analysis, signal integrity analysis 등을 design flow의 단계에서 없애려는 목적으로 만들어 졌기 때문에, 개발자들은 지루한 작업이라 할 수 있는 IP와 memory의 integration 작업 단계를 생략할 수 있게 되어 디자인 사이클과 인력을 줄일 수 있게 되었다.

Structured ASIC은 오리지널 gate array보다 더 빠르고 더 고밀도이다. 개념적으로는 FPGA 로직 단위소자(element)와 비슷하지만 훨씬 더 복잡한 array 단위소자를 사용함으로써 이런 기능적인 향상을 가져 올 수 있다.

물론 단점도 있다. 동일한 디자인의 cell-based ASIC과 비교해 볼 때 Structured ASIC은 약 20% 정도의 성능 차이를 나타내며, 상대적으로 속도가 느리고 전력 소모량이 많으며 die 사이즈가 더 크다.

FPGA, Cell-based ASIC 그리고 Structured ASIC

Cell-based ASIC, FPGA 그리고 Structured ASIC은 디자인이나 비즈니스의 요



구사함에 따라 각각의 장단점을 가지고 있다. 특히 비즈니스에 있어서는 비용과 TTM(Time-To-Market)이 가장 중요한 두 가지 요소라 할 수 있는데, 이 두 요소는 시장의 수요와 어플리케이션의 volume과 매우 밀접한 관계를 맺고 있다.

FPGA의 최신 버전은 고성능을 자랑하지만 개발 비용이나 NRE는 cell-based ASIC에 비해 저렴하다. FPGA의 설계틀은 cell-based ASIC 보다 간단하면서 값도 저렴하다. 하지만 하이엔드 FPGA의 막대한 개당 가격 때문에 몇 천 단위의 소규모 어플리케이션에만 FPGA가 사용된다.

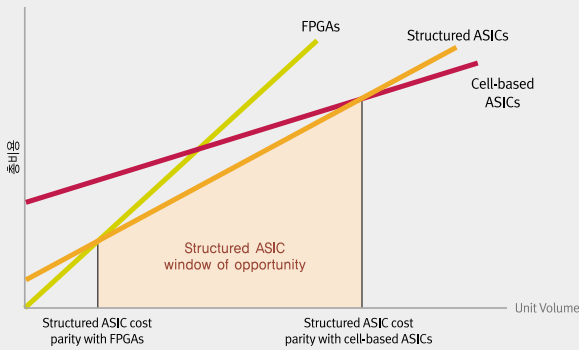
high-volume(년간 250,000개 이상)에서는 cell-based ASIC이 가장 좋지만 TTM이 길다는 단점이 있다. 또한 전문학적인 개발 비용은 NRE는 cell-based ASIC의 치명적인 약점이라 할 수 있다.

따라서 TTM이 중요한 제품인 경우 Structured ASIC이 그 대안이 될 수 있다.

Structured ASIC은 FPGA와 cell-based ASIC의 중간의 위치를 점하고 있다. 최신 SoC 어플리케이션에 맞는 성능과 기능을 제공하면서도 cell-based ASIC과 같은 엄청난 개발 비용이나 NRE가 들지도 않고 FPGA처럼 개당 가격이 높지도 않다.

위 세가지 칩의 특징들을 간단히 정리 하면

1. FPGA는 TTM이 가장 짧으며 low-volume(년간 5,000개 이하)에 가장 적합하다.
2. Structured ASIC은 TTM은 보통이며 mid-volume(년간 5,000~250,000개)에 적합하다.
3. cell-based ASIC은 TTM이 가장 길며 high-volume(년간 250,000개 이상)에 가장 적합하다.
4. 전력 소모나 성능적인 측면에서 볼 때 cell-based ASIC은 Structured ASIC보다 뛰어나며, Structured ASIC은 FPGA 보다 뛰어나다고 할 수 있다.

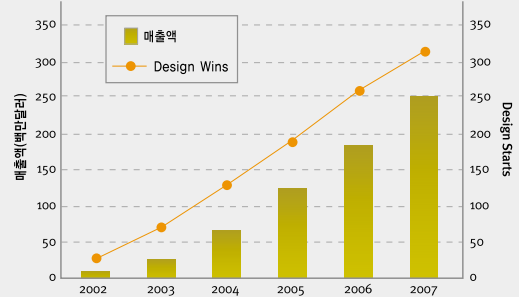


[그림 3] [자료 : iSuppli]

Structured ASIC 시장 전망

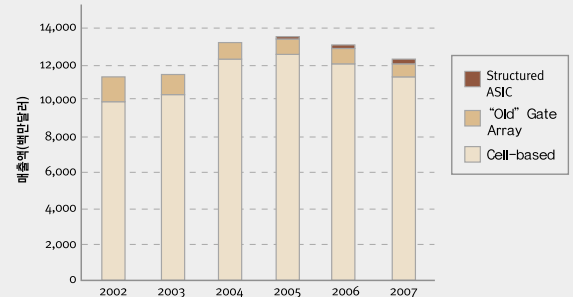
Structured ASIC이 처음 시작된 것은 1990년대 말 경이다. 1999년 Lightspeed semiconductor가 이 기술을 처음 선보였으나 당시 IT 산업이 주춤하기 시작하던 시기와 맞물려 빛을 보지 못했다. 2002년 초 AMI Semiconductor가 XPressArray를 내놓은 이후로 Chip Express, eASIC, Fujitsu, LSI Logic, NEC 등이 현재 Structured ASIC 업체를 이끌어 가고 있으며 그 숫자는 더 늘어날 전망이다.

iSuppli의 전망에 따르면 2007년까지 Design Win의 수가 300개가 넘고 매출액은 2억 5천만 달러에 이를 것으로 보인다.



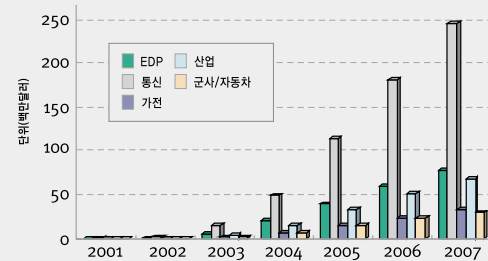
[그림 4] [자료 : iSuppli]

ASIC 시장 전체를 놓고 봤을 때 Structured ASIC은 비교적 작은 부분을 차지할 것으로 보인다.



[그림 5] [자료 : iSuppli]

Structured ASIC은 EDP(Electronic Data Processing), 통신, 가전제품, 산업용, 의료용, 군사용, 자동차 산업 등 주로 복잡한 디지털 설계가 요구되는 곳에서 소비되고 있다. In-Stat/MDR에 따르면 2007년까지 통신 시장이 Structured ASIC 시장의 절반 이상을 차지할 것으로 보인다. 그 뒤를 이어 EDP 시장과 산업, 의료 분야에서 Structured ASIC을 소비할 것으로 전망된다.



[그림 6] [자료 : In-Stat/MDR]

많은 시장 분석 전문가들은 Structured ASIC 시장은 아직 태동기에 있기 때문에 미래를 예측하기에는 불확실한 요소들이 너무 많다고 지적한다.

EDA의 기술 발전이 빨라지면서 더 저렴한 비용으로 더욱 빠르고 유연한 design flow가 가능한 cell-based ASIC이 활성화될 것이고, 따라서 개별 unit 비용이 높은 Structured ASIC을 기피하게 될 것이라는 부정적인 전망도 있다.

하지만 적어도 당분간은 mid-volume SoC 어플리케이션에서는 Structured ASIC이 미래의 시장을 이끌어갈 솔루션으로 부상하지 않을까 하는 조심스러운 전망을 해본다.