Hongkong Science &Technology Park Corp. Intellectual Property Trading Centre

Oliver Pun 박사
HKSTP의 IC설계센터와
IP 유통센터 수석엔지니어

홍콩 특별 행정구역부(HKSAR)가 2001년 5월에 설립한 HKSTP는 인큐베이션 프로그램을 통한 기초기술 양성 교육에서부터 여러 단계에서 걸쳐 산업의 요구에 맞는 폭넓은 서비스를 제공한다. 이를 위해 홍콩 싸이언스 파크 내에 응용연구 및 개발 활동을 위한 서비스와 시설을 제공한다. HKSTP는 집중화된 클러스터에서의 기술개발 및 혁신을 위한 고급 인프라 및 지원 설비를 제공하고 제조 및 서비스 산업 수용능력을 향상시켜 나가고 있다. 또한, 컨설팅, 교육과 연구 프로그램 등을 통해 산 · 학 · 연 간의 협력을 촉진한다.

HKSTP는 홍콩 특별 행정구역부의 혁신&기술 기금(ITF)에서 자금을 받아 홍콩 싸이언스 파크 내에 IC 설계/개발 지원센터를 설립하고 응용연구와 기술개발 기반을 다지기 위한 부가서비스, 설비 및 시설들을 제공하고 있다. 즉, EDA 툴, MPW 셔틀 서비스, 정밀조사 및 테스트 센터, 신뢰성 연구소, 제품 분석 연구소, 반도체설계자산(IP) 유통/서비스 센터 등을 운영하고 있다.

HKSTP의 IP 유통센터

대중국 반도체설계자산 유통센터(GCSIPTC)의 관리팀 역할을 하는 HKSTP의 IP 유통센터(IPTC)는 세계적인 협력 네트워크를 구축하고, 홍콩과 중국에서의 IP 유통을 촉진시키기 위해 2004년 4월 1일에 설립되었다. IP 유통센터는 IP 유통 업무를 시작한 지 일년 내로, IP 구매자와 판매자 간의 서비스를 제공하고 양질의 IP 코어들을 간편하고 공정하게 교환할 수 있는 메카니즘을 제공할 계획이다. IP 구매자들의 입장에서는, 유통센터를 통해 적당한 가격으로 최고의 IP를 얻고, 센터로부터 우선적으로 기술지원을 받을 수 있다. IP 판매자들은 HKSTP의 IP 유통 플랫폼을 통해 더욱 확대된 고객의 데이터베이스에 접근 할 수 있으며, 시간적인 면에서 개별 고객들과의 협상을 피함으로써 비용을 상당히 줄일 수 있다. IP 유통센터의 목표는 홍콩내 IP를 세계, 특히 중국으로 유통시키고, IP 재사용 표준과 요건을 마련하며, 국제적 표준에 따라 유통센터에서의 IP 유통을 보장하는 것이다.

SIP 유통을 성공적으로 이루기 위해서, 유통 플랫폼, 법적 구조, 기술적인 면을 포함하는 비즈니스 구조와 같은 기반시설 영역이 고려되어져야 할 것이며, 센터는 양질의 유망한 IP 거래 플랫폼을 제공하기 위해 세계의 다른 IP 기관들과 친밀히 협력할 것이다.

SIP 비즈니스 구조

홍콩은 IP 유통을 지원하기 위해 세계에서 통용되는 기준에 필적하는 사업적? 재정적 노하우를 제공한다. 중국에는 IP 형태로 제품을 판매하는 수백 개의 소규모 IC 디자인하우스들이 있는데, 본 IP 사업은 그들의 투자를 위한 중요한 "재정적 출구"가 될 것이다. IP 유통을 위해서는 IP 가격과 거래 조건들을 정할 수 있는 독립적인 제 3자가 필요한데, HKSTP는 IP 거래에 내포된 위험부담들을 분담할 수 있는 라이센싱 비즈니스 모델을 제공하고 적정한 IP 가격을 정하기 위해 합당한 노력을 행할 것이다.

SIP 법적구조

IP 투자자들은 홍콩이 신용할 수 있는 법적체제를 가지고 있다고 생각한다. HKSTP가 제공하는 법적구조는 홍콩 국제 중재센터(HKIAC)와 같이 홍콩의 독특한 특성과 잘 정비된 국제법 체제에 기반을 두게 될 것이다.

1977년 UN이 승인한 홍콩 주재 HKIAC는 국제적 비즈니스 경영진의 관점에서 보면 홍콩의 법적 체제에 신뢰성을 제공할 뿐 아니라 국제적으로 적용가능한 저가의 법적 중재를 제공한다. 따라서, 이러한 IP 법과 함께, 홍콩은 IP 유통에 있어서 커다란 이점을 가지고 있다.

IP 소유권자들의 주요 관심사는 IP에 대한 안전성 확보와 권한이 부여되지 않은 자가 IP에 액세스하는 것을 금지시키는 것이다. 이를 위해 중립적인 제3자가 운영하는 HKSTP 내 안전한 데이터 센터가 IP 액세스 안전성을 보장해주며, 데이터 센터의 보안 기준을 유지하기 위해 독립된 관리기관으로서의 네트워크 안전이사회가 승인된 기관에만 센터의 자세한 보안 정보를 제공한다.

SIP 기술적인 면

재사용을 위한 설계, "플러그 앤 플레이(plug and play)" 특히 IP 통합을 위한 인터페이스의 표준화, 서로 다른 결합의 설계 툴과 설계 플랫폼을 갖는 IP 검증 및 특성화, IP 인증 등은 명확히 정의되고 문서화되어야 하며, 모든 기준과 요건은 VSIA에서 제안하는 것과 같이 잘 알려진 국제적 기준으로 명시되어야한다. 퀄러티 매트릭스 형태의 우수한 시스템은, IP 코어의 질을 나타내는 설계 스타일, 기술 지원(자원), 성과(프로토타입, 실리콘 검증, 널리 사용된 상업성), 전달물 매체(문서화 및 평가표), 논리합성(상이한 설계 라이브러리를 이용한 합성가능성), 검증 체크, 기능 체크(게이트 레벨, 테스트 벡터) 등 실사 공정의 최종산물인 측정가능한 요소들을 고려하며, 퀄러티 메트릭스(실사 공정의 최종산물) 없이는 IP의 완성여부나 요구한 바대로 되었다고 말할 수 없을 것이다.

2003년 10월 16일 GCSIPTC를 구축하기 위한 협력의향서를 체결한 것에 더하여, HKSTP는 한국과학기술원 반도체설계자산연구센터(SIPAC)와 IP의 재사용, 표준화, 양질의 IP와 IP 넘버링 등을 추진하는 것에 협력하고 있다. SIPAC과 HKSTP는 공동으로 IP 플랫폼을 개발할 것이며, IP 데이터베이스의 표준을 정의하기 위해 함께 노력할 것이다.

KAIST의 SoC 연구활동 소개

KAIST 전기및전자공학과는 54명의 교수와 800여명의 대학원생들이 활발한 연구활동을 하고 있으며, SoC와 관련해서는 10명의 교수와 150여명의 석박사과정 학생이 시스템 VLSI의 설계와 검증에 관한 연구를 활발히 진행하고 있으며 운영체제를 포함한 소프트웨어 분야에서도 다양한 성과를 내고 있다. 특히, 차세대 RISC 및 CISC 프로세서 설계, 유무선 통신용 SoC 개발, 멀티미디어용 SoC 개발, 휴대 게임용 칩 설계, DSP 처리기 설계, SoC 설계 및 검증시스템, 시스템 소프트웨어 개발 등의 분야에서 많은 핵심 연구가 이루어지고 있다. 이러한 성과를 통해 1999년에는 SoC 설계에 관련해서 2개의 연구실이 국가지정연구실로 지정되었다.

SoC 교과과정

KAIST 전기및전자공학과의 교과과정은 다양한 고급 산학연 협동연구, 철저한 실험을 통한 이론과 개념의 터득, 다양한 그룹별 세미나 활동을 특징으로 하며 학생들이 전공지식과 함께 관련분야의 능력 및 응용력을 기를 수 있도록 편성되어 있다. 다양한 설계를 중심으로 한 교과과목을 통해 SoC설계의 기본을 익힐 수 있도록 하고 있으며, 교과 프로젝트를 통한 실습 경험을 강조하고 있다. 통합적인 SoC 설계 인력 양성을 위해 VLSI 설계, 컴퓨터 구조 및 회로 설계 기술에 대해 심화된 강의를 개설하고 있으며 시스템 프로그래밍 같은 소프트웨어 관련된 강의와 SoC 설계 방법론 등의 강의도 진행하고 있다.

SoC 설계와 관련된 연구 활동

수천만개의 트랜지스터가 한 개의 칩에 집적되어 복잡한 기능을 수행하는 SoC를 개발하기 위해서는 프로세서를 포함한 다양한 IP의 구조와 회로에 대한 연구 뿐만 아니라, 빠른 시간 내에 동작을 확인할 수 있는 검증 시스템과 소프트웨어 개발 시스템에 대한 연구도 필수적이다. KAIST에서는 프로세서, IP, 회로, 시스템 소프트웨어, 검증 환경 등에 대한 심도 있는 SoC 연구를 다방면으로 진행하고 있다.

프로세서 설계 분야는 KAIST의 SoC 관련 활동 중 주목할 만한 분야이다. 국내에 시스템 IC 설계 기반이 전무하던 시절인 1993년에 Grimdol 프로세서와 응용 시스템을 개발한 이후로 Intel의 Pentium 호환 프로세서 등을 개발하여 국내 시스템 IC 산업의 새 장을 열었으며, 이후 ARM7, ARM9과 호환성을 유지하면서도 고성능을 보이는 프로세서의 개발에 성공하였고, 이를 바탕으로 32비트 멀티쓰레드 프로세서를 개발하고 이를 탑재한 시스템플랫폼 칩을 ISSCC와 JSSC에 발표하여 좋은 평가를 받았다. 또한 저전력 부동 소수점 디지털 신호 처리 프로세서를 개발하여 음성 신호 처리 응용 분야인 MP3 엔코더에 성공적으로 적용하여 상품화하였으며, 작은 면적을 차지하면서도 매우 효율적으로 시스템을 관리할 수 있는 VLIW 형태의 마이크로 컨트롤러를 개발하여 HDTV 용 싱글 칩 디코더에 내장하여 상품화하는 등 최고 수준의 마이크로프로세서 설계 기술을 보유하고 있다. 그 동안 개발한 기술을 바탕으로 최근에는 산업체에서 쉽게 이용할 수 있는 32-bit 임베디드 프로세서와 컴파일러, 실시간 운영체제 등 관련 시스템 소프트웨어를 여러 연구실이 협력하여 개발하고 있으며, 이를 바탕으로 한 임베디드 시스템 교육 실습 교재도 집필하여 SoC 교육에 기여할 예정이다.

국내의 우수한 메모리 기술을 한단계 높이기 위해서는 시스템 VLSI 기술을 융합하여 시너지 효과를 창출하여야 하므로 메모리 내장형 시스템 VLSI에 대한 연구를 활발히 진행하고 있다. 예를 들면, 메모리와 마이크로 프로세서가 단일 칩에 들어간 고밀도 저전력 이동용 2D/3D 그래픽 가속기 칩(RAMP)을 제작하여 ISSCC와 같은 유명학회에서 발표하였으며, 국내외에 특허로 등록하고 있다. 또한 칩 내의 고속 데이터 전송을 위한 on-chip bus와 network 구조에 대한 연구를 진행하고 있고 이를 기반으로 다양한 IP를 효율적으로 집적할 수 있는 플랫폼을 칩으로 제작하고 있다.

SoC 설계에 있어서 가장 중요한 기반 기술인 회로 설계 분야에서도 고성능 저전력 회로에 대한 연구를 진행하고 있다. 3D 그래픽스와 MPEG 같은 멀티미디어 응용분야에서 애니메이션, 가상 현실 등을 실시간으로 보여주기 위해서는 고성능 그래픽스 가속기와 영상 압축 처리기가 필수적이다. 이를 위해서 고성능 부동소수점 및 정수 연산기의 최적설계에 대한 연구를 진행하고 있으며 고성능 동작을 위해 각 기능 블록을 full custom으로 설계하고 있다. 아날로그 회로 설계 분야에서는 Ethernet 통신용 칩, mixed-mode audio IC, mixed-mode regulator IC를 비롯해 이동통신용 RF IC, ADC/DAC, PLL에 대해 연구하고 있다.

좁은 시장 진입 시간을 맞추기 위해서는 SoC를 빠르고 정확하게 검증할 수 있어야 하므로, IP를 기존보다 더 빠르게 검증할 수 있는 검증환경과 이들을 통합하여 설계할 수 있는 S/W 및 H/W 통합 설계 환경을 구축하는 것은 매우 중요하다. 다양한 IP의 크기와 성능을 고려하여 여러 FPGA에 매핑하는 기술과 S/W와 H/W 사이의 인터페이스 성능 향상을 위한 연구를 진행하고 있으며, 이를 바탕으로 IP의 설계 환경의 수준에 따른 디버깅 기능을 개발하고, 상위 수준에서 성능 및 전력 소모들 예측할 수 있는 기능 등을 탑재한 상위 수준 SoC 설계 환경을 구축하기 위한 핵심 기술 개발을 하고 있다.

컴퓨터 구조와 관련해서는, 상위수준의 시스템 구조 연구에서부터 운영체제(Operating System) 최적화에 이르기까지 다양한 연구를 수행하고 있다. 고성능 병렬처리 컴퓨터인 한빛 1호기, 2호기 등을 개발한 경험을 바탕으로, 최근에는 유비쿼터스 환경의 컴퓨터 시스템, 임베디드 시스템의 실시간 운영체제(RTOS)에 관한 연구를 수행하고 있으며, 저전력화 방식과 실시간성 보장에 대한 연구에 집중하고 있다.

앞으로의 연구 계획

KAIST의 SoC 설계 그룹은 연구실 간의 활발한 교류를 통해 SoC 통합시스템에 대한 실용적인 연구를 진행하고 있으며, 이를 통하여 응용시스템에서 회로까지 심도 있는 이해력을 가진 수직적인 인재를 양성하려고 노력하고 있다. Full custom 회로 설계 기술과 고성능 저전력 회로 기술을 적용하여 산업체에서 바로 사용할 수 있는 최고 수준의 디지털, 아날로그 IP를 개발하고 통합 SoC 설계 환경을 구축하여 국내 SoC 설계 산업을 한 차원 높이는 데 기여하고자 한다. 특히 마이크로 프로세서 설계 기술과 소프트웨어 개발 기술을 결합하여 임베디드 프로세서와 컴파일러, RTOS 등 관련 개발 환경 및 응용 환경을 연구 개발하고 있으며, 산업체가 필요로 하는 연구 결과로 조만간 가시화 될 것이다.