

KIPA IT SoC 사업단

KIPA IT SoC 사업단 IP DB에는 총 166개의 IP가 등록되어 있으며 이중 IT SoC사업단 도입 IP는 25종이며 ARM Core를 포함한 설계의 에뮬레이션지원을 위하여 Integrator 3 set(ARM7TDMI 2 set, ARM940T 1 set)를 보유하고 있다. 도입 IP중 가장 수요가 많은 ARM IP(19종), Integrator 현황 및 지원프로그램은 아래와 같다.

1. ARM 프로세서 Core 및 ARM PrimeCell

IP 명	기능	비고
ARM Core 922T	ARM Processor Core 922T	netlist & GDS
ARM Core 946E	ARM Processor Core 946E	netlist & GDS
ARM ADK(AMBA Design Kit)	AMBA 시스템 구성	VHDL/Verilog
ARM PrimeCell UART	UART	VHDL/Verilog
ARM PrimeCell SMC	Static Memory Controller	VHDL/Verilog
ARM PrimeCell SDRC	SDRAM Controller	VHDL/Verilog
ARM PrimeCell RTC	Real Time Clock	VHDL/Verilog
ARM PrimeCell GPIO	General Purposed Input/Output	VHDL/Verilog
ARM PrimeCell SSPMS	Synchronous Serial Port Master/Slave	VHDL/Verilog
ARM PrimeCell SCI	Smart Card Interface	VHDL/Verilog
ARM PrimeCell DCDC	DC-DC Converter	VHDL/Verilog
ARM PrimeCell AACI	Advanced Audio Codec Interface	VHDL/Verilog
ARM PrimeCell KMI	Keyboard/Mouse Interface	VHDL/Verilog
ARM PrimeCell DMAC	Direct Memory Access Controller	VHDL/Verilog
ARM PrimeCell VIC	Vector Interrupt controller	VHDL/Verilog
ARM PrimeCell EBI	External Bus Interface	VHDL/Verilog
ARM PrimeCell CLCDC	Color LCD Controller	VHDL/Verilog
ARM PrimeCell MPMC	Multi-Port Memory Controller	VHDL/Verilog
ARM PrimeCell MMC	Multimedia card interface	VHDL/Verilog

2. 보유 Integrator 현황

명칭	수량	기능	비고
ARM7TDMI Integrator	1	Emulation (LM 보드에 XCV-1000 탑재)	KIPA안에서 사용하거나 대여가능
ARM7TDMI Integrator	1	Emulation (LM 보드에 XCV-1000 탑재)	"
ARM7TDMI Integrator	1	Emulation (LM 보드에 XCV-1000 탑재)	"
LM 보드	2	Logic Module	"
CM 보드(ARM7TDMI)	2	Core Module(ARM7TDMI)	"
CM 보드(ARM720T)	2	Core Module(ARM720T)	"
CM 보드(ARM940T)	2	Core Module(ARM940T)	"
IM 보드	2	Interface Module	"
AM 보드	2	Analyzer Module	"

* Integrator 1 set은 AP 보드, LM 보드, CM 보드, AM 보드, MultiICE, ADS가 기본 구성요소임
 * Integrator 사용 신청서를 IP KIPA에 제출하여 사용 가능
 * 장비 대여 기간: 1개월 단위로 신청(연장 가능)

SIPAC

2004년 7월 한달 동안 11개의 IP가 SIPAC에 새로 등록되었습니다. SIPAC 홈페이지(<http://www.sipac.org>)를 방문하시면 보다 다양하고 자세한 IP 정보를 볼 수 있다.

No.	IP Name (Type / Format)	Seller	Category	Description
1	SPDIF-AES/EBU Self-Clocked Receiver (Soft IP, Firm IP / VHDL, Verilog)	Coreworks, Lda (http://www.coreworks.pt)	Data Transmission →Compression / Decompression →Audio	The CWda07 inputs an SPDIF-AES/EBU (aka AES3 or IEC958) signal spdif_in, synchronizes with it, and extracts data and control bits from it.
2	SPDIF to non-PCM Encoded Audio (Soft IP, Firm IP / VHDL, Verilog)	Coreworks, Lda (http://www.coreworks.pt)	Data Transmission →Format Conversion	The CWda12 inputs an SPDIF (aka AES3 or IEC958) signal spdif_in, synchronizes with it, and extracts the encoded audio streams from it. It can extract up to eight independent time multiplexed streams from the incoming SPDIF signal.
3	Non-PCM Encoded Audio to SPDIF converter (Soft IP, Firm IP / VHDL, Verilog)	Coreworks, Lda (http://www.coreworks.pt)	Data Transmission →Format Conversion	The CWda13 inputs a non-PCM encoded audio stream, as well as other information related to it, and inserts the data in the output SPDIF (aka AES3 or IEC958) signal spdif_out.
4	CoreConnect(TM) Audio Input V1.00a (Soft IP, Firm IP / VHDL, Verilog)	Coreworks, Lda (http://www.coreworks.pt)	Data Transmission →Format Conversion	The CWda20 is a CoreConnect(TM) Audio Input peripheral that can be used to feed a stereo audio stream to a processor core in an embedded system.
5	CoreConnect(TM) Audio Output V1.00a (Soft IP, Firm IP / VHDL, Verilog)	Coreworks, Lda (http://www.coreworks.pt)	Data Transmission →Format Conversion	The CWda21 is a Core Connect(TM); peripheral for outputting a stereo audio stream from a processor core in an embedded system.

2. 지원 프로그램

IP 명		
ARM Core 922T	1,500,000	<ul style="list-style-type: none"> 500개까지 시제품 제작 가능하며, 500개 이상의 양산 경우에는 해당기업이 ARM과 별도로 라이선스 계약 체결 IP 형태는 GDS0이며, 공정 Technology는 0.18um 임 업체에 대한 IP 지원 방법 <ul style="list-style-type: none"> B/E 설계: 지정 디자인하우스(서두인칩, 상화) 파운드리 제작 <ul style="list-style-type: none"> ARM922T: 동부아남 ARM946E: TSMC, UMC, 동부아남 패키지 제작: ARM 로고 표시 해당기업은 시제품 제작 종료 후, IP 관련 전달물을 폐기하고 그 사실을 KIPA에 통지해야 함
ARM Core 946E	1,500,000	
ARM ADK	936,000	<ul style="list-style-type: none"> 해당 기업에 단일 품목에 한해서만 Sub-license 가능 1,000개까지 시제품 제작 가능하며, 1,000개 이상의 양산 경우에는 해당기업이 ARM과 별도로 라이선스 계약 체결 업체에 대한 IP 지원 방법 <ul style="list-style-type: none"> VHDL 경우, ModelSim Simulator로 compile 하여 제공 Verilog 경우, encryption 하여 제공 KIPA가 표준 합성 script를 해당 기업에 제공 PrimeCell은 VHDL/Verilog 지원 가능 해당기업은 시제품 제작 종료 후, IP 관련 전달물을 폐기하고 그 사실을 KIPA에 통지해야 함 CLCDC, MPMC, MMC(2004년도 신규도입)
ARM PrimeCell UART	126,000	
ARM PrimeCell SMC	126,000	
ARM PrimeCell SDRC	316,800	
ARM PrimeCell RTC	64,800	
ARM PrimeCell GPIO	46,800	
ARM PrimeCell SSPMS	126,000	
ARM PrimeCell SCI	262,800	
ARM PrimeCell DCDC	46,800	
ARM PrimeCell AACI	342,000	
ARM PrimeCell KMI	64,800	
ARM PrimeCell DMAC	300,000	
ARM PrimeCell VIC	58,500	
ARM PrimeCell EBI	19,500	
ARM PrimeCell CLCDC	230,000	
ARM PrimeCell MPMC	180,000	
ARM PrimeCell MMC	90,000	

* ADK : AMBA Design Kit

보다 자세한 안내는 KIPA IT-SoC사업단의 IP지원 홈페이지(<http://ip.asic.net>)를 통해 검색할 수 있다.

IP CATALOG

No.	IP Name (Type / Format)	Seller	Category	Description
6	1.1MHz 12-bit Multibit Sigma-Delta Modulator (Hard IP / GDS II, Spice)	Chonbuk National University (http://www.chonbuk.ac.kr)	Analog & Mixed Signal	This IP presents block and timing diagrams of the DWA(data weighted averaging) to optimize a feedback time delay of the sigma-delta modulator.
7	Pipelined FFT (Vectis Range) (Firm IP / EDIF, Other(Bit Stream))	RF Engines Ltd. (http://www.rfel.com)	Digital Signal Processing	The Vectis FFT range are Radix 2, fully Pipelined, Complex FFTs and are optimised to meet different processing speeds. The cores are also highly optimised in terms of their memory, multiplier and logic use, for each processing speed.
8	ARIA Block Cipher Processor (Soft IP / VHDL)	Chonbuk National University (http://www.chonbuk.ac.kr)	Processor & Micro-controller	This Soft-IP is a macro IP of the block cipher algorithm ARIA for encryption and decryption.
9	Lower-error fixed-width multiplier based on error bound analysis (Soft IP / Verilog)	Chonbuk National University (http://www.chonbuk.ac.kr)	Arithmetic & Logic Function → Multiplier → Integer	The maximum error has serious effect on the performance of fixed-width multipliers that receive two W-bit inputs and produce W-bit products.
10	DiffServ-aware-MPLS PHB Switch (Soft IP / VHDL, Verilog)	Chonbuk National University (http://www.chonbuk.ac.kr)	Software	DiffServ-aware-MPLS network PHB(Per-Hop-Behavior) Design.
	PSPP1284 (Soft IP / VHDL)	HDL Design House (http://www.hdl-dh.com)	Data Transmission	The PSPP1284 core implements the IEEE 1284 interface. The core is software programmable for the operation as a host or peripheral device.