

# IP 및 플랫폼을 이용한 SoC설계

## 서론

반도체 칩이 점점 미세화 복잡화되어짐에 따라 SoC (System on a Chip)가 대두되게 된 것은 주지의 사실이다. 일반적으로 SoC는 그 내부에 프로세서를 가지게 되고 그로 인하여 처리해야 할 버스, 메모리를 비롯한 레지스터, 주변회로 등도 포함함과 아울러 해당되는 시스템을 구현하기 위한 소프트웨어까지도 하나의 칩에 집적 시켜야하므로 종래의 칩들 보다 그 규모가 커지게 되어 칩의 개발기간이 더 소요되게 된다. 한편 반도체 칩은 조속히 칩을 개발하여 누가 먼저 시장에 출시하느냐에 따라 그 성패가 좌우되며 이것은 설계를 빨리 해야 한다는 것과 직결된다. 반도체 칩의 설계를 빨리 하기 위해서 IP (Intellectual Property)를 사용하는 방법이 적극 추천되고 있다. IP란 해당 칩에 적용될 수 있는 설계 블록을 누군가 미리 오랜 기간을 투입하여 개발해 놓은 것을 의미한다. 즉, SoC 시대에 있어 IP는 필수 불가결한 재료로 인식되어져 있으며, 관련 업체들은 이의 확보를 위해 부단한 노력을 경주하고 있다 이에 따라 본 고에서는 먼저 SoC설계의 동향과 IP에 대한 동향을 기술하고, 다음으로 IP에대한 관련 단계 및 비즈니스 모델 등을 소개하고 이어서 IP를 사용하는 플랫폼을 이용한 SoC 설계에 대해 언급하고자 한다.

## 본론

### 1. SoC 설계동향 및 추세

SoC설계는 설계하고자 하는 Hardware와 Software를 동시에 고려하면서 진행이 되어야 하므로 그 설계에 있어서 고려해야 할 사항들이 종래의 설계에 비해 많아지게 된다. 그러므로 그 설계의 진행에 있어 기능적인 설계를 완벽하게 미리 해 두는 것이 필수적이다. [그림 1]에서는 SoC설계의 개괄적인 순서를 보이고 있는데 Behavioral 수준 설계에 해당하는 부분이 바로 전체 칩에 대한 기능설계에 해당하는 것이다. 만약에 Behavioral 수준 설계에서 기능 설계를 완전하게 해 두지 않았다면 그 아래 단계 설계에서 이를 완성해야 하는데 이것은 Behavioral 수준 설계에서 소요되는 설계 시간 보다 훨씬 많은 시간을 소비해야 하므로 그만큼 SoC의 출시가 늦어지게 되는 것이다. 즉, 반도체 칩 설계의 특성상 [그림 1]의 Gate 수준 설계나 Layout 수준 설계를 진행하는 중에 기능적인 오류를 발견하게 될 경우, RTL 수준

설계나 Behavioral 수준 설계부터 다시 진행해야 하는데 오류를 수정하여 칩 전체에 대한 완전한 검증을 또 다시 수행해야 하므로 그 만큼 설계 기간이 길어지게 되는 것이다. 한편 위와 같은 오류의 경우가 자주 발생하면 할수록 설계기간은 견잡을 수 없이 늘어나게 된다.



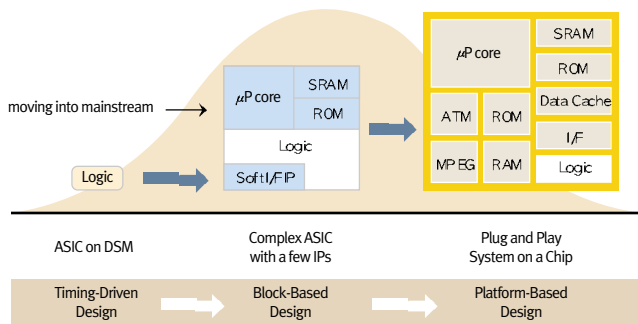
[그림 1] SoC 설계의 개괄적인 순서도

한편, Behavioral수준 설계에서의 시뮬레이션 시간과 RTL수준 설계에서의 시뮬레이션 시간을 비교하였을 때에도 Behavioral수준 설계의 시간이 훨씬 빨리 수행이 되므로 기능검증을 위한 설계는 Behavioral수준 설계에서 마무리하는 것이 가장 바람직하다. 그러므로 Behavioral 설계단계에서 그 기능의 설계가 완벽하다면 설계기간을 상당 기간 단축하는 효과가 있는 것이다.

[그림 2]에서는 ASIC을 비롯한 SoC에 대한 설계 방법이 변천 되는 동향을 나타내고 있는데, 여기에서는 90년대 초까지 주로 적용되던 Time Driven Design (TDD) 방법, 90년대 중 후반까지 적용이 되던 Block Based Design (BBD) 방법, 현재와 향후에도 적용될 것으로 예상되는 Platform Based Design (PBD) 방법등으로 구분하여 볼 수 있다. 먼저 TDD에 대해 설명을 하면 칩 규모가 10만 게이트 내외이던 당시에 적용하던 설계 방법으로써 Schematic을 주로 사용하였고 RTL설계가 태동하여 적용되기 시작하던 때이다. 이 당시에는 Reuse의 개념이 별로 적용되지 않던 시기이기도 하며, 소수의 인력으로 칩 설계가 가능하던 때였다. 다음으로 BBD가 적용되던 시기에는 칩 규모가 100만 게이트 내외이던 때에 적용되던 설계방법이며, 이 때에는 Schematic 설계는 사라지고 RTL을 주로 이용하게 되는데, 그 이유는 100만 게이트 내외의 규모에 Schematic설계를 적용한다면 배선 등의 오류 수정에 시간이 많이 소요되어 비효율적이기 때문이다.



한편 BBD는 칩의 규모 증가로 인해 테스트 기능을 삽입하기도 하고 (Scan, JTAG, BIST 등) 여러 부분으로 분할하여 설계하여야 하므로 TDD에 비해 많은 숙련된 설계인력이 필요하게 된다. PBD설계방법은 현재 혹은 향후의 수십만, 수백만 게이트 이상의 설계에 적용되는 방법으로 IP가 필수적으로 갖추어 져야 하며 전체 칩의 구조 설계를 선행해야 칩 설계가 이루어질 수 있는 경우에 적용되는 방법이다. 또한 이러한 칩은 Hardware와 Software가 동시에 다루어 지며, 칩 설계가 진행되게 됨과 아울러 Software도 칩 내부에 내장될 수 있도록 하는 Embedded Software 설계 방법을 적용하여야 한다. 그러므로 PBD는 Hardware 부분뿐만 아니라 Software 및 Firmware부분도 재사용(Reuse)될 수 있도록 준비되어야 적시에 칩 설계를 완료할 수 있는 것이다. [그림 2]에서도 볼 수 있듯이 SoC 설계에 대한 동향은 이와 더불어 Plug and Play가 가능하도록 되는 방향으로 진행이 될 것이며, 이를 위해서는 필요로 하는 IP의 확보가 필수적이다.

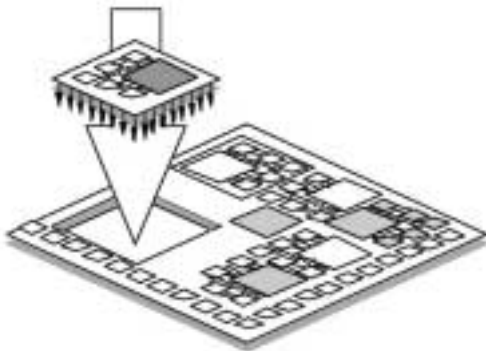


[그림 2] 설계방법 변천 동향

## 2. IP 동향

### 가. IP의 개요

IP에 대한 국제적인 표준화 단체인 VSIA(Virtual Socket Interface Alliance)에서는 VC(Virtual Component)라 명명하는 가상의 블록을 설정하여 IP를 정의한다.



[그림 3] VC의 개념도

[그림 3]에 VC에 대한 개념도를 보이고 있는데 설계되어야 할 칩을 완성하기 위하여 필요한 부분적인 블록에 가상의 블록이 자리잡게 함으로써 칩의 설계를 마무리할 수 있음을 나타내고 있다. 즉, 이 가상의 블록을 어디에 선가 가져오기만 한다면 필요로 하는 칩을 설계할 수 있음을 볼 수 있다. 한편, 이 VC가 라이선스를 부여 받았을 때 IP라 불리어지게 된다. [그림 4]에 VC를 분류하고 있는데 크게 Soft VC, Firm VC, Hard VC로 분류한다. 물론 이들이 라이선스를 부여 받으면 Soft IP, Firm IP, Hard IP로 나뉘어 지는데 본 고에서는 이들이 라이선스를 부여 받는다는 가정 하에 Soft IP, Firm IP, Hard IP로 부르기로 한다. [그림 4]에서 보면 Soft IP는 Synthesizable RTL로 이루어진 IP 이고, Firm IP는 Netlist이며, Hard IP는 Physical Layout을 의미하는 것을 알 수 있다.

	Design Flow	Representation	Libraries	Technology	Protability
<b>Soft</b> Not Predictable Very Flexible	System Design	Behavioral	N/A	Technology Independent	Unlimited
	RTL Design	RTL			
<b>Firm</b> Flexible Predictable	Floor Planning Synthesis	RTL & Blocks	Reference Library	Technology Generic	Library Mapping
	Placement	Netlist	· Footprint · Timing model · Wiring model		
<b>Hard</b> Not Flexible Very Predictable	Routing Verification	Polygon Data	Process specific Library & design Rules · Characterized Cells · Process rules	Technology Fixed	Process Mapping

[그림 4] VC의 분류도

### 나. IP관련 단체

IP에 대한 단체가 여러 곳이 있는데 크게 기술적인 표준을 다루는 VSIA와 거래 단체인 VCX(Virtual Component eXchange) 등으로 나눌 수 있다. 이들 단체에 대하여 소개하면 다음과 같다.

#### 1) VSIA(Virtual Socket Interface Alliance)

VSIA(<http://www.vsi.org/>)는 1996년 9월 미국에서 설립된 IP표준화 단체로 그 역할은 Hardware와 Software의 인터페이스를 정의함으로써 데이터 포맷 및 설계방법을 정의하는 것이고, 그 구성은 SWG(Steering Working Group)와 9개의 DWG(Development Working Group)로 되어 있는데 SWG는 전체 그룹을 통괄하는 역할을 담당하게 된다. 9개의 DWG의 명칭과 역할은 아래와 같다.

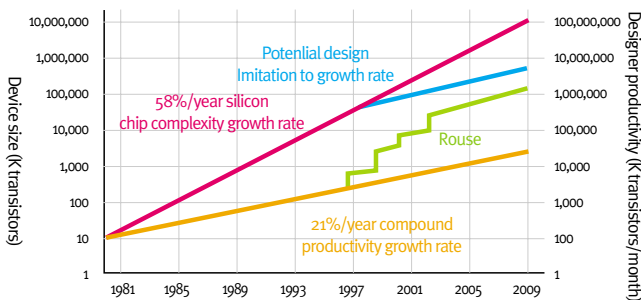
DWG 명칭	역 할
Functional Verification DWG	<ul style="list-style-type: none"> <li>SoC에서 VC의 기능검증 관련 표준화</li> </ul>
Hardware Dependent Software DWG	<ul style="list-style-type: none"> <li>SoC의 Hardware Platform과의 Interface Software 표준</li> </ul>
Implementation DWG	<ul style="list-style-type: none"> <li>VC와 관련한 표현 표준 제정</li> </ul>
IP Protection DWG	<ul style="list-style-type: none"> <li>IP Protection 관련 Standard-Based Solution 제공</li> </ul>
Manufacturing Related Test DWG	<ul style="list-style-type: none"> <li>VC의 SoC에 대한 효율적인 칩 테스트 표준 제정</li> </ul>
On Chip Bus DWG	<ul style="list-style-type: none"> <li>온 칩 버스 표준화 제정</li> </ul>
Platform Based Design DWG	<ul style="list-style-type: none"> <li>SoC-Based 임베디드 시스템 관련 플랫폼 표준화</li> </ul>
VC/IP Quality	<ul style="list-style-type: none"> <li>VC에 대한 Essential Quality 표준</li> </ul>
VC/IP Transfer DWG	<ul style="list-style-type: none"> <li>다른 DWG에서 다루지 않는 Transfer 관련 표준</li> </ul>

한편, IP 검증을 위해 Synopsys가 보유하고 있던 OpenMore와 ST Micro가 개발한 ChartReuse 등의 프로그램 등이 VSIA에 2001년 경 기증이 되었으며 향후 이들을 보완하여 IP 검증용 도구로 VSIA가 직접 공급할 예정인데 VSIA 회원들에게만 공급이 될 예정이다.

## 2) VCX(Virtual Component eXchange)

VCX는 1998년 8월 스코틀랜드에서 설립된 IP의 거래를 위한 국제기구로 법적, 상업적인 문제를 해결하는 역할을 수행하고, SWG와 4개의 DWG로 구성되어 VSIA와 마찬가지로 회원제로 운영이 되고 있으며, 현재 설립 초기에는 스코틀랜드 정부의 재정지원을 받았으나 현재는 민간회사로 독립하여 사업을 수행하고 있으며 그 URL은 아래와 같다.

(<http://www.thevcx.com>)



[그림 5] 제작능력 및 칩 복잡도 증가율에서 IP재사용 효과

[Terry Thomas, "Technology for IP Reuse and Portability," IEEE Design & Test of Computers, October-December, 1999.]

## 다. IP와 Reuse

[그림 5]에서 보면 칩 제작능력에 대한 증가율은 칩 복잡도에 대한 증가율을 따라 미치지 못함을 보여준다. 즉, 칩이 점점 복잡해 지고 SoC화 되어 감에 따라 필요한 칩의 규모는 점점 증가하지만 칩에 대한 제작능력은 그에 훨씬 못 미침으로 인해 큰 문제점이 발생하게 된다. 이 점에 대한 해결책으로 IP를 재사용 (Reuse) 하게 되면 위의 문제점이 상당부분 해소됨을 [그림 5]에서 볼 수 있다. 즉 IP의 재사용을 통해 부족한 설계 생산성을 향상시킬 수가 있는 것이다. 또한 IP는 재사용이 되어져야 경제적, 기술적인 가치를 보유하게 되는 것이다.

## 3. 플랫폼

플랫폼 기반의 SoC설계 방법은 알고리즘에서의 요구 사항을 설계 초기부터 충실하게 접근시켜줄 뿐만 아니라 여러 가지 응용을 하나의 플랫폼 상에서 구현 가능하도록 여러 가지 IP들이 상호 유기적으로 연결되어 있다. 이러한 방법으로 구현할 수 있는 좋은 예가 디지털 비디오, 디지털 TV, DVD 플레이어 등의 응용과, 차세대 무선 통신에 적용되는 단말기와 기지국에서의 사용 등을 들 수 있다.

근본적으로 플랫폼 기반 SoC 설계 방법에서는 칩 설계에 필요한 하드웨어 라이브러리와 소프트웨어 블록들을 다량으로 구비하고 있어야 한다. 그 이유는 시장에서 요구하는 대용량의 복잡한 수백만 게이트 급의 칩을 시기를 놓치지 않고 적시에 설계하기 위함이다. 여기에서 언급된 하드웨어 라이브러리는 IP를 의미하는데 재사용 가능한 IP가 구비되어야 함은 물론이다.

그런데 실질적으로 재사용 가능한 IP란 아래와 같은 여러 가지 이유로 인해 그 실현이 꽤 어렵다. 그것은 첫째로 사용자가 인수된 IP에 대하여 친숙하지 못하며 그 IP 블록이 어느 정도수준의 설계자에 의한 것인지와 그 검증 정도를 실제 파악할 수 없다는 것이다. 둘째는 사용자가 인수된 IP에 대하여 실제 설계에 적용하기 위해서는 인터페이스 처리, 버스 구조 파악하는 등에 꽤 많은 시간을 투자해야 한다는 것이다. 셋째는 여러 가지 각종 IP들을 하나의 칩에 효율적으로 집적하기 어렵다는 것이다.

위와 같은 여러 가지의 문제점을 해결하기 위한 방안의 하나로 제시되는 것이 또한 플랫폼 기반 SoC 설계 방법인 것이다. 즉, 효율적으로 IP를 재사용하기 위해 총체적인 하드웨어-소프트웨어 플랫폼을 마련하는 것은 불가능하므로 유사한 응용 분야별로 각 분야마다 적합한 플랫폼을 구축하는 것이다.



다시 말하면 Application Specific Platform 즉, 각 응용 분야에 적합한 구조를 정의하고 이에 대한 플랫폼을 구현하여 됨으로써 IP를 비롯하여 각종 필요한 소프트웨어에 대한 효율적인 사용을 도모할 수 있는 것이다. 하나의 예를 들어 디지털 비디오 플랫폼에는 다음과 같은 것을 구비하여 둔다. 디지털 비디오에 관련된 각종 IP, CPU와 DSP 코어, 그리고 여러 가지 디지털, 아날로그 블록들을 마련하고, Operating System, 응용 프로그램 인터페이스, 그리고 각종 소프트웨어를 구비함으로써 Application System 설계에 적용할 하드웨어 부분, 소프트웨어 부분 모두에 대한 준비를 해 두는 것이다. 또한 MPEG-2 Decoder에도 응용 가능하도록 Dual-Processor 구조도 마련하여 둘 수 있는데, 이것은 MPEG-2의 빠른 속도 데이터 처리 요구를 충족할 수 있다. 이러한 구조들은 시스템 설계자에게 높은 유연성(성능이 다각화된 제품을 여러 가격대에 맞추어 설계할 수 있음을 의미)을 제공하여 준다.

이러한 Application Specific Platform은 점차적으로 그 사용이 증대되고 있는 기술분야의 하나로서 앞으로 차세대에 적용할 할 통신시스템, 가전시스템, 자동차 시스템 등의 설계에 대한 해결책으로 제시되고 있다. 현재 ARM사에서 공급하고 있는 플랫폼으로 Wireless Platform으로 ARM926EJ를 기반으로 하는 PrimeXsys와 Configurable Platform인 OptimoDE를 들 수 있는데 OptimoDE는 DSP와 SoC의 중간 수준에 해당하는 것으로 생성되는 Micro Code를 이용하여 재구성형으로 까지 사용 가능하도록 해 주고 있다. 그 외의 플랫폼의 예로는 TI의 OMAP, Infineon사의 M-Gold 3G Wireless Platform 등을 들 수 있으며 그 외의 많은 제품들이 출시되고 있다.

## 결론

SoC설계와 IP의 개략적인 개념과 관련 기술적인 동향을 살펴 보았다. 아울러 현재 혹은 장래에도 적용될 것으로 보이는 플랫폼 기반 SoC 설계에 대해서도 소개하였다. SoC 설계와 IP는 불가분의 관계를 가지는 것이며, 얼마나 빨리 관련 IP를 확보하고 효율적으로 이를 설계에 적용하는 가가 앞으로의 SoC 설계의 관건이 될 것이다. 즉, 사용자는 적당한 IP 비즈니스 모델을 미리 파악하고 해당 IP를 신속하게 구입하여 이를 최대한 효율적이면서도 신속하게 SoC 설계에 적용하여야 장래의 경쟁에서 이길 수 있을 것이다. 이를 위해 자신에게 적당한 비즈니스 모델을 미리 정립해 둬야 하고 아울러 IP 공급자들을 미리 파악해 두는 노력이 필요하다 하겠다.

## 〈참고문헌〉

- [1] Henry Chang et al "Surviving the SoC Revolution," Kluwer Academic Publisher 1999.
- [2] "Architecture Document Version 1.0," VSI Alliance 1997.
- [3] Terry Thomas, "Technology for IP Reuse and Portability," IEEE Design & Test of Computers, October-December, 1999.