

반도체 칩 설계의 변화

비즈니스표준과 전문위원 홍귀현
02)509-7272 parpeh@ats.go.kr

반도체 칩 설계에서, 더 이상 빠른 속도가 가장 중요한 조건이 아니다. 칩에 장착되는 트랜지스터는 기하급수적으로 증가할 것이라는 1965년 고든 무어가 주장한 무어의 법칙은 아직까지는 그 효력을 증명하고 있다. 한계에 도달한 듯 보이면서도, 지속적인 신기술 개발로 더욱 소형화되고 보다 많은 수의 트랜지스터가 칩에 장착되고 있다.

1947년 제작된 최초 트랜지스터의 크기는 가로 및 세로가 2~3인치, 높이 0.5 인치였다. 1959년 한번에 한 개의 트랜지스터를 생산하는 대신, 전기를 띤 실리콘 웨이퍼에 전도 경로를 단들으로써 한번에 다수의 트랜지스터를 제작할 수 있게 되었다.

이는 근대 컴퓨터 발전의 근간이 되었고, 문체의 중심은 소형화로 이동하였다. 오늘날 트랜지스터는 수천 단개가 가로 및 세로가 1인치 크기인 마이크로칩 위에 매우 얇은 막으로 만들어진다.

최초의 컴퓨터 칩은 두 데이터를 더하거나 비교하는 등 일련의 직렬 처리를 시행하도록 설계되었다. 또한 결과를 저장하고 처리중인 프로그램에서 다시 재생할 수 있었다. 현재 칩 내부 및 칩과 메모리간의 데이터 이동은 클락과 같이 정기 신호를 보내는 진동 크리스탈을 이용하여 조정된다.

클락 속도와 같은 이 신호 주기는 수년동안 프로세서 성능의 주요 척도였다. 칩에 장착된 트랜지스터의 수가 기하급수적으로 증가할 것으로 예측한 무어의 법칙과 함께, 클락 속도 또한 1971년 초당 수천 회에서 현재는 수 십억 회로 약 18개월마다 배가되어왔다. 낙관론자들은 이러한 상황이 지속될 것으로 보고 있지만, 칩 개발자들은 다음 몇 가지 이유로 클락 속도가 더 이상 프로세서 성능의 주요 척도가 되지 못할 것으로 보고 있다.

병렬처리

첫째, 칩이 다수 작업을 동시에 수행하는 병

렬 처리의 발전이다. 과거에 이는 고성능 슈퍼 컴퓨터의 성능 개선을 위한 방법으로 한정되어 왔다. 그러나 이제 퍼스널 컴퓨터에서도 일반화되고 있으며, 그 경향은 심화될 것이다. 그 결과, 한 개의 칩이 클락 초당 실행할 수 있는 처리 용량은 클락의 신호 발생주기와 다찬가지로 중요하게 될 것이다.

병렬 처리가 각광 받는 이유는 프로세서 속도가 놀라운 속도로 증가하는 한편, 메모리 속도는 느려지기 때문이다. 전문가들은 프로세서와 메모리 속도간의 격차는 더 커지게 될 것으로 전망한다. 단일 칩 내의 병렬 처리는 여러 처리기가 동일 메모리를 공유하므로, 메모리의 느린 속도는 문제가 되지 않는다.

이는 제한 요소가 메모리 칩의 처리량이 아니라, 프로세서 내?외부를 이동하는 정보 운영을 위한 간접비용이기 때문이다. 칩 설계자들은 동일 칩에 성격이 다른 여러 프로세서를 장치함으로써 이득을 얻을 수 있고, 칩의 빠른 로컬 메모리를 공유할 수 있도록 한다. 이는 다중코어 시스템으로, 관련 방식은 동시 멀티쓰레딩(multithreading)이다. 멀티쓰레딩에서 단일 프로세서는 상이한 여러 작업을 위해 신속한 변환이 가능하다. 한 작업이 주메모리에서 데이터가 도착하기를 기다리는 동안, 다른 작업은 다른 업무를 계속 수행할 수 있다.

둘째, 클락 신호를 칩의 다른 부분에 배분하

는 것이 어렵기 때문이다. 클락 신호의 비동기 용량인 칩의 스큐(skew)를 감소시키는 것은 속달된 칩 설계자를 필요로 한다. 이는 칩이 더 커지고 복잡해질수록 더 어려워질 것이다.

클락

이는 선마이크로시스템즈 등 관련 기업들이 클락의 완전한 제거를 포함하는 비동기 기술을 공격적으로 추구하는 이유이다. 이 방식은 "랑데뷰 회로"로 알려진 소형 회로가 데이터 흐름을 조정하기 위하여 회로 접속점에 배치되어야 하므로 이점뿐만 아니라 비용도 소요된다. 최근 동기 및 비동기 모드 대한 칩 실험에서, 비동기 모드의 승리로 밝혀졌다. 이는 동기 설계에서 작업 완성을 위해 가장 느린 처리를 기다려야 하기 때문이다. 한편 비동기 설계에서는 처리가 느린 부분에서만 지연된다.

클락이 없는 칩은 또한 훨씬 적은 전자파를 방출하는 이점을 가지고 있다. 그러므로 비동기 회로는 특히 전자파 장애가 중요한 관건인 무선 전화와 같은 기기에서 유용하다. 비동기 칩 설계에 관한 의견은 상당히 분분하다. 그러나 최소한 시장 일부에서 더욱 중요성을 갖게 될 것은 분명해 보인다.

전력 소비는 몇 가지 이유로 현재 칩 설계에서 가장 큰 관건이 되고 있다. 첫째, 랩탑 및 소형 컴퓨터와 같은 이동 기기의 급속한 성장

이다.

문제는 발생하는 열이다. 오늘날 가장 빠른 PC 마이크로프로세서는 밝은 백열전구에 해당하는 약 100 와트의 전력을 소비한다. 이는 데스크탑 컴퓨터가 소음을 내는 팬을 장착하는 이유이며, 랩탑 컴퓨터는 그 정도의 속력을 내지 못한다. 고성능 PC는 수냉식 냉각 시스템과 같은 신기술에 의존하게 될 것으로 예측된다. 그러나 일반용 PC에서 이러한 냉각 시스템은 데스크탑은 너무 비싸고 랩탑의 부피는 너무 크게 단들게 된다.

현재 칩 설계자들은 속도는 부차적으로 고려하면서, 칩의 전력 소비를 최소화하기 위해 노력 중이다. 한가지 해결책은 속도의 증가보다 발생 열을 최소화하기 위해 한 코어에서 다른 코어로 변환하는 다중 코어의 사용이다. 한 코어가 너무 뜨거워지면, 냉각시키는 동안 다른 코어를 사용하는 것이다.

입체형

이러한 개념은 이미 어느 정도는 기존 마이크로칩에 사용되고 있다. 예를 들어, 필립스는 비동기 기술을 사용하는 무선호출기를 제작하였다. 인텔은 동시 멀티쓰레딩이 가능한 칩을 판매하고 있으며, 선다이크로시스템즈는 멀티코어 및 멀티쓰레딩을 병합한 UltraSparc IV 칩을 2월에 출시하였다.

컴퓨터의 개별 칩 성능이 개선됨에 따라 전반적인 시스템 성능에 대한 제한 요소는 칩 간의 상호 연결이다. 이는 칩 가장자리에 돌출한 작은 선인 핀들로 이루어져 있다. 이들 핀 개수는 증가하였지만, 트랜지스터 수만큼 빠르게 증가하지는 않았다. 그 결과 수 십억 개의 트랜지스터를 가진 칩이 이웃과 통신하기 위해 수백 개 핀으로 해결해야 한다.

한 가지 솔루션은 “근접 통신”으로 두개 칩의 연결에 선을 사용하는 대신 칩들을 매우 근접하게 위치시키는 것이다. 한 칩에 전기가 충전되면 용량 연결 장치로 알려진 프로세스에 의해 다른 칩에 동량의 충전을 유도한다. 이러한 복잡한 문제들이 해결된다면, 이 방식은 전체 시스템의 성능을 개선하면서 상호 연결성을 증대시키게 될 것이다. 이 기술은 고성능 제품시장에서 최소한 2007년에 이용이 가능할 것으로 예측된다.

한편, 과거에 작으면서도 충분히 빠른 칩 성능에 대한 제한 요소는 트랜지스터 자체였다. 트랜지스터 설계의 발전으로 더 많은 진보가 가능함에도 불구하고, 오늘날 문제는 트랜지스터가 아니라 전자가 칩의 한 부분에서 다른 부분으로 이동하는 선인 칩의 금속 박막 경로이다.

작업 속도를 높이는 한 방법은 칩을 현재와 같은 평면이 아니라 입체적으로 만드는 것이

다. 실제 트랜지스터는 각 최상층에 존재하지 않음에도 불구하고 선은 칩 위에서 횡단이 가능하므로, 이미 어느 정도 실용화되고 있다. 그러나 박막기술이 여전히 초기 단계이므로, 충실한 입체 칩은 여전히 요원한 상황이다. 설계시에 극복해야할 많은 과제들이 여전히 남아 있다. 예를 들어, 이러한 칩에서 발생하는 열의 처리는 기존 설계보다 훨씬 더 다루기가 어려

울 것이다.

트랜지스터 밀도의 증가와 관련하여, 무어 법칙의 효력은 당분간 지속될 것으로 보인다. 한편, 컴퓨터 구매자들이 속도 이상을 요구하고 칩 설계자들이 맞춤 설계를 제공하게 되면 문제는 달라지게 될 것이다. 