

BiCMOS 회로의 Stuck-Open 고장 검출을 위한 테스트 패턴 생성

論 文
53P-1-4

Test Pattern Generation for Detection of Stuck-Open Faults in BiCMOS Circuits

신 재 흥
申 載 興

Abstract - BiCMOS circuit consist of CMOS part which constructs logic function, and bipolar part which drives output load. In BiCMOS circuits, transistor stuck-open faults exhibit delay faults in addition to sequential behavior. In this paper, proposes a method for efficiently generating test pattern which detect stuck-open in BiCMOS circuits. In proposed method, BiCMOS circuit is divided into pull-up part and pull-down part, using structural property of BiCMOS circuit, and we generate test pattern using set theory for efficiently detecting faults which occurred each divided blocks.

Key Words : BiCMOS, test pattern generation, fault, sequential behavior

1. 서 론

LSI/VLSI기술의 발전으로 단일 칩상에 CMOS가 VLSI의 구성소자로 많이 사용되고 있지만, 부하구동 능력이 떨어지는 단점 때문에 고속동작을 필요로 하는 분야에서는 바이폴라 소자가 사용되고 있다.[1]

따라서 CMOS의 저 전력소비, 고 집적도의 특성과 바이폴라 소자의 빠른 회로동작, 큰 부하 구동능력을 갖을 수 있도록 동일한 기판위에 바이폴라 기술과 CMOS 기술을 결합하므로써 위에서 언급한 문제를 해결할 수 있는 BiCMOS기술이 등장하게 되었다. 이와 같은 BiCMOS 회로의 고속동작, 고집적도, 다양한 I/O 인터페이스(CMOS, TTL, ECL등), 다양한 설계방법등의 장점때문에 RAM, 마이크로 프로세서, 게이트 어레이등의 여러 분야에서 BiCMOS 회로가 성공적으로 사용되고 있다.[2,3]

CMOS 기술과 바이폴라 기술이 결합되는 BiCMOS 회로는 복잡한 제조공정으로 인하여 수율이 떨어지기 때문에 BiCMOS 회로에 대한 테스트가 중요한 문제로 대두되고 있다. BiCMOS 회로에서 발생하는 stuck-open 고장은 기존의 stuck-at 고장 모델에 의해 모델링되지 않는다.[6,7] BiCMOS 회로에서의 stuck-open 고장은 순차동작(sequential behavior)을 하거나 지연 고장처럼 나타난다. stuck-open 고장에 의한 지연 고장을 검출하기 위해서는 두개의 테스트 패턴이 필요하다. 첫번째 패턴은 회로의 출력을 초기화시키고 두번째 패턴에 의해 고장이 검출된다.[8,9,12] 풀-업측(풀-다운측)에서의 stuck-open 고장을 검출하기 위해서는 첫번째 패턴은 출력을 '0'('1')로 초기화 시켜야한다. 두번째 패턴은 고

장이 발생한 트랜지스터를 통해 출력과 VDD(GND)사이에서 저항 경로를 형성하여 고장의 유무를 판단한다.[10,11,13]

본 논문에서는 BiCMOS 회로에서 발생하는 stuck-open 고장을 검출하는 테스트 패턴을 효율적으로 생성하는 방법을 제안한다. 제안된 방법은 BiCMOS 회로의 구조적 특성을 이용하여, 회로를 풀-업측(pull-up part)과 풀-다운측(pull-down part)으로 분할하고, 분할된 각 블록에서 발생하는 고장을 효율적으로 검출할 수 있는 테스트 패턴을 집합 이론을 이용하여 생성한다.

2. BiCMOS 회로의 Stuck-open 고장

BiCMOS 회로의 기본적인 구성은 논리를 실현하는 CMOS 부분과 출력을 증폭시켜 부하를 구동하는 바이폴라로 구성된다. 그림 1은 두개의 바이폴라 트랜지스터를 사용한 BiCMOS NAND 회로를 나타낸 것이다.

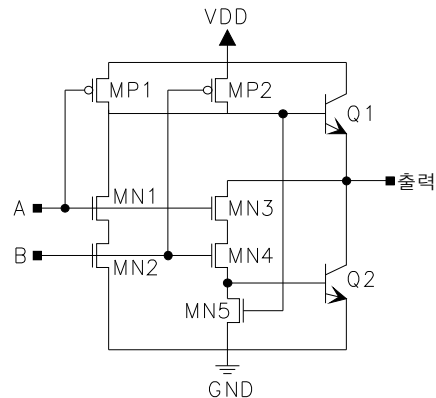


그림 1 BiCMOS NAND 회로
Fig. 1 BiCMOS NAND Circuit

* 正 會 員 : 동서울대학 컴퓨터시스템과 助教授 · 工博
接受日字 : 2003年 10月 27日
最終完了 : 2003年 11月 25日

BiCMOS 회로에서 발생하는 stuck-open 고장은 출력에서 순차동작을 하거나 지연 고장의 형태로 나타난다. BiCMOS 회로내의 한 트랜지스터에서 stuck-open 고장이 발생했을 때, 출력에서 고장 효과를 평가하기 위해 한번에 하나의 stuck-open 고장을 대상으로 시뮬레이션하였다. pMOS 트랜지스터와 nMOS 트랜지스터에서 발생한 stuck-open 고장은 해당 트랜지스터를 OFF시키고 시뮬레이션하였으며, 바이폴라 트랜지스터의 에미터, 베이스, 콜렉터에서 발생한 stuck-open 고장은 해당 노드에 저항 (> 1MΩ)을 직렬 연결하여 시뮬레이션하였다.

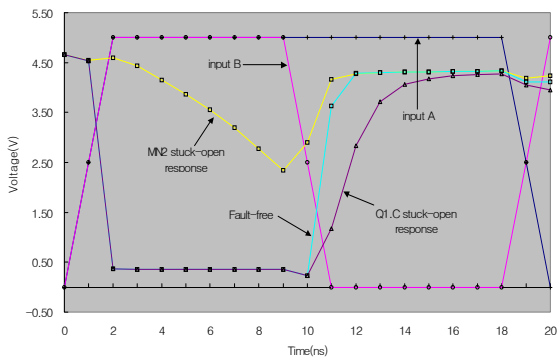


그림 2 MN2와 Q1 콜렉터 stuck-open 고장에 대한 시뮬레이션 결과

Fig. 2 Simulation result for MN1 and Q1 collector stuck-open fault

본 연구에서 BiCMOS 회로에 사용한 시뮬레이션 파라미터는 pMOS(Lp, Wp)와 nMOS(Ln, Wn)의 길이와 폭은 pMOS(Lp = 1.5μm, Wp = 30μm)와 nMOS(Ln = 1.5μm, Wn = 26μm)을 사용하였다. BiCMOS 회로상에서 팬-아웃을 고려하기 위해 부하는 0.85pF로 시뮬레이션하였다. 그림 2는 MN2 트랜지스터에서 stuck-open 고장이 발생한 경우와 Q1 콜렉터에서 stuck-open 고장이 발생한 경우의 Spice 시뮬레이션 결과를 나타낸 것이다. 그림 1의 BiCMOS NAND 회로의 고장이 없는 경우와 stuck-open 고장이 발생했을 때의 출력을 표 1에 정리하였다.

표 1 stuck-open 고장이 있는 BiCMOS NAND 회로의 동작

Table 1 Behavior of BiCMOS NAND circuit with stuck-open fault

BiCMOS NAND stuck - open RESULTS													
Input	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12	M13
AB	0	0	0	0	0	0	0	0	0	0	0	0	0
0 0	1	1	1	1	1	1	1	1	1	1	1	1	1
0 1	0	1	1	1	1	1	1	1	1	1	1	1	1
1 0	1	0	1	1	1	1	1	1	1	1	1	1	1
1 1	0	0	0	0	0	0	0	0	0	0	0	0	0

표 1에서 PS는 전상태 값을 나타내고 E, B, C는 바이폴라 트랜지스터의 에미터, 베이스, 콜렉터를 나타낸다. 또한, STF는 하강(Slow to Fall)지연 고장, STR은 상승(Slow to Rise) 지연 고장, SA0는 초기화 후에 stuck-at-0 (특수한 경우 PS), SA1는 초기화 후에 stuck-at-1 (특수한 경우 PS)을 각각 나타낸다.

그림 1의 BiCMOS NAND 회로는 입력 패턴이 AB = <11>일때, 트랜지스터 MN3과 MN4를 통해 바이폴라 트랜지스터 Q2의 베이스에 전하를 공급하여 Q2를 ON시켜서 출력 기생 커패시턴스의 전하를 방전한다. 입력 패턴이 AB = <00>, <01>, <10>일때는 MP1이나 MP2, 또는 MP1과 MP2 모두를 통해 바이폴라 트랜지스터 Q1의 베이스에 전하를 공급하여 Q1을 ON시켜서 출력 기생 커패시턴스를 충전한다. 그러나 MN1과 MN2 트랜지스터에서 stuck-open 고장이 발생하면, 출력에서 고장의 효과는 지연 고장으로 나타난다. 입력 패턴이 AB = <11>일때, 직렬 연결된 MN3과 MN4는 ON되지만 MN1과 MN2는 stuck-open 고장으로 인하여 ON되지 않는다. 이것은 바이폴라 트랜지스터 Q1의 베이스에 저장된 전하로 인하여 어느 정도 ON상태로 남게 되어 출력을 충전하기 때문에 Q2와 MN3, MN4의 ON 저항을 통해서 느리게 방전하게 한다.

바이폴라 트랜지스터 Q1의 에미터와 베이스의 stuck-open 고장은 표 1에서 나타낸 것과 같이 초기화 후에 stuck-at-1 고장과 같은 결과를 나타낸다. 에미터와 베이스에서의 고장은 VDD과 출력사이에서 경로가 존재하지 않기 때문에 출력이 '1'이 될 수 없다. 콜렉터에 stuck-open 고장이 발생하면 상승 지연 고장을 일으킨다. 출력을 '1'로 만드는 입력이 주 입력에 인가되어도, MN5에서 stuck-open 고장이 발생하면 Q2의 베이스에 저장된 전하로 인하여 Q2가 어느 정도 ON상태로 남게 되어 출력을 방전하기 때문에 출력이 느리게 충전된다.

3. BiCMOS 회로의 입력 패턴

그림 1에서 pMOS 트랜지스터 MP1, MP2와 nMOS 트랜지스터 MN3, MN4는 NAND 논리를 구현하는 트랜지스터들이다. 그리고 MN1, MN2, MN5는 풀-업측과 풀-다운측 바이폴라 트랜지스터의 베이스 전하를 방전하는 역할을 수행하여 회로가 고속으로 동작하도록 한다. 일반적인 BiCMOS 회로의 각 부분에서 수행하는 역할에 따라 블록도로 나타내면 그림 3과 같다.

두 개의 바이폴라 트랜지스터를 사용하는 BiCMOS 회로에서 발생하는 고장의 형태와 출력에서 나타나는 효과를 풀-업측과 풀-다운측에 대하여 정리하면 표 2와 같다.

표 2에서 나타낸 것과 같이 논리를 구성하는 부분에서 stuck-open 고장이 발생하면 순차동작을 하고, 바이폴라 트랜지스터의 베이스 전류를 방전하는 트랜지스터(n1-블록과 MN)와 바이폴라 트랜지스터의 콜렉터에서의 stuck-open 고장은 출력에서 지연고장으로 나타나고, 바이폴라 트랜지스터의 베이스와 에미터에서의 stuck-open 고장은 stuck-at 고장으로 나타난다.

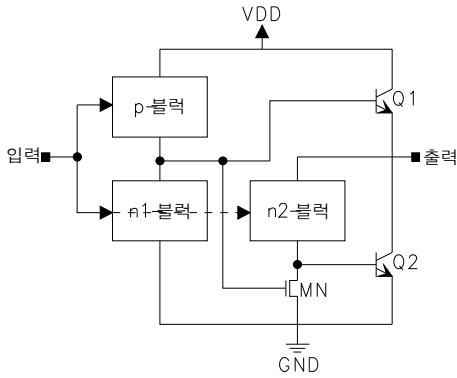


그림 3 일반적인 BiCMOS 회로의 블럭도
Fig. 3 The block diagram of conventional BiCMOS circuit

표 2 고장의 형태와 출력에서의 고장 효과
Table 2 Fault types and fault effects at output

고장 위치	고장의 형태	출력에서의 고장 효과
Pull-up part	p-블럭 stuck-open	순차 동작
	Q1의 에미터, 베이스 open	stuck-at 고장
	Q1의 콜렉터 open	지연 고장
	MN의 open	지연 고장
Pull-down part	n1-블럭 stuck-open	지연 고장
	n2-블럭 stuck-open	순차 동작
	Q2의 에미터, 베이스 open	stuck-at 고장
	Q2의 콜렉터 open	지연 고장

이 장에서는 고장이 존재할 때, 출력에서의 고장 효과에 따라 고장을 검출하기 위한 입력 패턴을 생성하는 방법에 대하여 논의한다.

그림 3의 BiCMOS 회로를 구성하는 각 블럭은 입력 패턴에 따라 ON되거나 OFF된다. 이 장에서는 p-블럭을 ON되게 하는 입력 패턴 집합은 P_{on} 으로 나타내고, n1-블럭과 n2-블럭을 ON되게 하는 입력 패턴 집합은 N_{1on} 과 N_{2on} 으로 나타내기로 한다. BiCMOS 회로 구성의 특성 때문에 N_{1on} 과 N_{2on} 는 같은 집합이고 P_{on} 는 아래 그림 4와 같이 N_{1on} 과 N_{2on} 의 여집합이다.

BiCMOS 회로를 구성하는 각 블럭에서 stuck-open 고장이 발생했을 때, 그 블럭을 ON되게 하는 입력 패턴 집합은 P_{on}^{sob} , N_{1on}^{sob} 와 N_{2on}^{sob} 로 나타낸다. stuck-open 고장이 존재하면, 도통 경로를 형성하는 경로의 수가 줄어들기 때문에, 고장이 없는 회로에서 각 블럭을 ON시키는 패턴의 수보다 줄

어든다. 따라서, 단일 stuck-open 고장이 발생했을 때, BiCMOS 회로의 각 블럭이 받는 영향을 정리하면 다음과 같다.

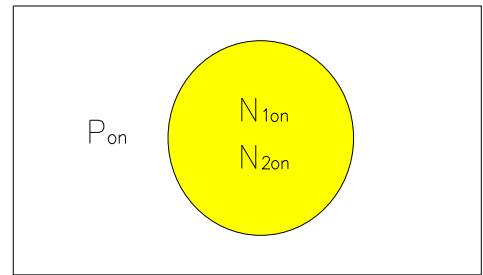


그림 4 고장이 없는 BiCMOS 회로의 입력 패턴
Fig. 4 Input pattern of fault-free BiCMOS circuit

정리 1. n1-블럭(n2-블럭)에서 stuck-open 고장이 발생한 BiCMOS 회로의 n1-블럭(n2-블럭)을 ON되게 하는 입력 패턴 집합 $N_{1on}^{sob}(N_{2on}^{sob})$ 은 고장이 없는 BiCMOS 회로의 n1-블럭(n2-블럭)을 ON되게 하는 입력 패턴 집합 $N_{1on}(N_{2on})$ 의 부분 집합이다. 즉 $N_{1on}^{sob}(N_{2on}^{sob}) \subset N_{1on}(N_{2on})$.

증명) 입력 패턴 $t \in N_{1on}^{sob}(N_{2on}^{sob})$ 를 해보자. $N_{1on}^{sob}(N_{2on}^{sob})$ 가 n1-블럭(n2-블럭)을 ON되게 하는 집합이라면, 이 집합의 원소에 의해 n1-블럭(n2-블럭)을 도통하게 하는 경로가 적어도 하나있다. 그러나 stuck-open 고장(예를 들어, 트랜지스터 T에서)이 발생했다면, 이 도통 경로는 트랜지스터 T를 지나지 않을 것이다. 트랜지스터 T에서 stuck-open 고장이 발생했기 때문에, 도통 경로는 stuck-open 고장이 발생한 트랜지스터를 지나지 않는다. 그러나 stuck-open 고장이 없는 회로에서는 이 트랜지스터를 포함하는 도통 경로가 존재하게 된다. 즉, $t \in N_{1on}(N_{2on})$. 따라서 $t \in N_{1on}^{sob}(N_{2on}^{sob})$ 이면 $t \in N_{1on}(N_{2on})$ 이다.

예제) 그림 1의 2-입력 BiCMOS NAND 회로의 n2-블럭은 그림 5와 같다. 고장이 없는 상태에서 n2-블럭을 ON되게 하는 입력 패턴 집합 $N_{2on} = \{ \langle 1, 1 \rangle \}$ 이다. 그러나 트랜지스터 MN3에서 stuck-open 고장이 발생하면, n2-블럭은 모든 입력에 대하여 OFF되기 때문에 $N_{2on}^{sob} = \{ \}$ 이다. 따라서 $N_{2on}^{sob} \subset N_{2on}$.

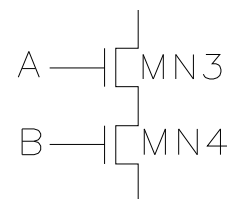


그림 5 2-입력 BiCMOS NAND 회로의 n2-블럭

Fig. 5 n2-block of 2-input BiCMOS NAND circuit

정리 2. p-블럭에서 stuck-open 고장이 발생한 BiCMOS 회로의 p-블럭을 ON되게 하는 입력 패턴 집합 P_{on}^{sob} 는 고장이 없는 BiCMOS 회로의 p-블럭을 ON되게 하는 입력 패턴 집합 P_{on} 의 부분 집합이다. 즉 $P_{on}^{sob} \subset P_{on}$.

증명) 정리 1의 증명을 확장하면, 위와 같은 결과를 얻을 수 있다.

예제) 그림 1의 2-입력 BiCMOS NAND 회로의 p-블럭은 그림 6과 같다. 고장이 없는 상태에서 p-블럭을 ON되게 하는 입력 패턴 집합 $P_{on} = \{\langle 0, 0 \rangle, \langle 0, 1 \rangle, \langle 1, 0 \rangle\}$ 이다. 트랜지스터 MP1에서 stuck-open 고장이 발생하면, $P_{on}^{sob} = \{\langle 1, 0 \rangle, \langle 0, 0 \rangle\}$ 이고, MP2에서 stuck-open 고장이 발생하면, $P_{on}^{sob} = \{\langle 0, 0 \rangle, \langle 0, 1 \rangle\}$ 이다. 따라서 $P_{on}^{sob} \subset P_{on}$ 이다.



그림 6 2-입력 BiCMOS NAND 회로의 p-블럭
Fig. 6 p-block of 2-input BiCMOS NAND circuit

고장이 없는 회로에서, p-블럭을 ON되게 하는 입력 패턴은 바이폴라 트랜지스터를 ON시킨다. 바이폴라 트랜지스터를 ON시키는 다른 입력 패턴은 없다.

4. 고장 검출을 위한 테스트 집합

3장의 결과로부터 BiCMOS 회로에 대한 테스트 패턴은 아래와 같은 과정을 통하여 생성할 수 있다. p-블럭, n1-블럭, n2-블럭의 서로 다른 블럭에서 고장의 효과를 알고 있기 때문에, 출력에서 각 고장의 효과를 관측할 수 있도록 적절한 테스트 집합을 생성하는 것이 필요하다.

BiCMOS 회로를 구성하는 어떤 트랜지스터에서 stuck-open 고장이 발생하면, 고장이 없는 회로에 비해서 그 트랜지스터가 해당하는 블럭의 도동 경로를 ON시키는 패턴의 수는 줄어든다. stuck-open 고장을 테스트하기 위해서는 $\langle t_1, t_2 \rangle$ 의 두 개의 테스트 패턴이 필요하다. 풀-업측(풀-다운측)의 stuck-open 고장을 검출하기 위해서는 첫 번째 패턴은 출력을 '0'('1')로 만든다. 두 번째 패턴은 고장이 발생한 트랜지스터를 통하는 출력과 VDD(GND)사이에서 저 저항 경로를 생성하는 패턴을 인가한다. t_1 과 t_2 에 가능한 패턴들의 집합을 $\{T_1\}$ 과 $\{T_2\}$ 라고 하면, 풀-업측과 풀-다운측에서 발생하는 stuck-open 고장을 검출하기 위한 테스트 패턴은 아래의 표 3과 같이 구할 수 있다.

표 3에서 Q1의 에미터와 베이스에서 발생한 stuck-open 고장은 출력에서 stuck-at 고장과 동일한 효과를 나타내기 때문에 $T = \{P_{on}\}$ 의 하나의 테스트 패턴 집합을 이용하여 검출할 수 있다. 마찬가지로 Q2의 에미터와 베이스에서 발생한 stuck-open 고장도 $T = \{N_{1on}\} = \{N_{2on}\}$ 를 이용하여 검출할 수 있다.

표 3 stuck-open 고장의 발생 위치와 테스트 패턴 집합
Table 3 Stuck-open fault location and test pattern set

고장 위치	고장이 발생한 트랜지스터 또는 고장이 발생한 트랜지스터가 포함된 블럭	테스트 패턴 집합
Pull-up part	p-블럭	$T_1 = \{N_{1on}\} = \{N_{2on}\}$ $T_2 = \{P_{on}^{sob}\}^C \cap \{P_{on}\}$
	Q1 베이스, 에미터	$T = \{P_{on}\}$
	Q1 콜렉터	$T_1 = \{N_{1on}\} = \{N_{2on}\}$ $T_2 = \{P_{on}\}$
Pull-down part	MN	$T_1 = \{N_{1on}\} = \{N_{2on}\}$ $T_2 = \{P_{on}\}$
	n1-블럭 (n2-블럭)	$T_1 = \{P_{on}\}$ $T_2 = \{N_{1(2)on}^{sob}\}^C \cap \{N_{1(2)on}\}$
	Q2 베이스, 에미터	$T = \{N_{1on}\} = \{N_{2on}\}$
	Q2 콜렉터	$T_1 = \{P_{on}\}$ $T_2 = \{N_{1on}\} = \{N_{2on}\}$

예제) 그림 5의 2-입력 BiCMOS NAND 회로 n2-블럭의 MN3에서 발생한 stuck-open 고장을 검출하기 위한 테스트 패턴 집합은

$$T_1 = \{P_{on}\} = \{\langle 0, 0 \rangle, \langle 0, 1 \rangle, \langle 1, 0 \rangle\},$$

$$T_2 = \{N_{2on}^{sob}\}^C \cap \{N_{2on}\}$$

$$= \{\langle 0, 0 \rangle, \langle 0, 1 \rangle, \langle 1, 0 \rangle, \langle 1, 1 \rangle\} \cap \{\langle 1, 1 \rangle\} = \{\langle 1, 1 \rangle\}$$

따라서 n1-블럭의 MN1에서 발생한 stuck-open 고장을 검출하는 테스트 패턴은 초기화 패턴으로 $\langle 0, 0 \rangle, \langle 0, 1 \rangle$ 또는 $\langle 1, 0 \rangle$ 을 사용하고 테스트 패턴으로 $\langle 1, 1 \rangle$ 을 사용하면 검출할 수 있다.

5. 테스트 패턴 유도

두 개의 바이폴라 트랜지스터를 사용하는 BiCMOS 회로에서 발생한 stuck-open 고장을 검출하기 위해서는 각 고장

에 대한 P_{on}^{sob} , N_{1on}^{sob} , N_{2on}^{sob} 을 알 수 있다면, 테스트 패턴은 앞 절에서 주어진 과정을 통해서 구할 수 있다. 서로 다른 블럭 (p-블럭, n1-블럭, n2-블럭)에서 발생한 고장에 대한 출력에서의 효과를 알고 있기 때문에, 출력에서 각 고장들에 대한 효과를 관측할 수 있도록 테스트 패턴을 생성하는 것이 필요하다.

이 장에서는 게이트의 주 입력이 각 블럭의 한 트랜지스터에만 연결되어 있다는 가정아래, 서로 다른 고장들에 대한 P_{on} , P_{on}^{sob} , N_{1on} , N_{1on}^{sob} , ... 등을 구하는 방법을 알아본다.

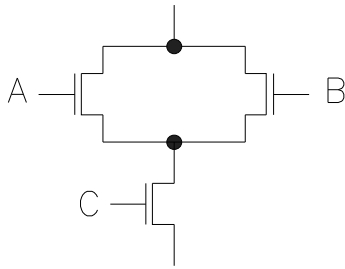


그림 7 $f = \overline{(A + B)C}$ 의 n1-블럭

Fig. 7 n1-block of $f = \overline{(A + B)C}$

n1-블럭의 고장을 고려해보자. n1-블럭을 구성하는 함수를 $f(x)$ 라 하자. 여기서 $x = \{x_1, x_2, \dots, x_n\}$ 이고 x_i 는 i 번째 트랜지스터의 게이트 입력이 된다. 예를 들어, 그림 8가 두 개의 바이폴라 트랜지스터를 사용하는 BiCMOS 회로의 n1-블럭을 나타낸다고 가정하자.

여기서 $x = \{A, B, C\}$ 이고 $f = (A + B)C$ 이다.

$$h(x, x_i) = f(x_1, \dots, x_{i-1}, 0, x_{i+1}, \dots, x_n)$$

$$g(x, x_i) = f(x_1, \dots, x_{i-1}, 1, x_{i+1}, \dots, x_n)$$

라고 하자. 예를 들어, 위의 그림 7에서 $h(x, B) = AC$ 이고 $g(x, B) = C$ 이다.

정리 3. 트랜지스터 x_i 에서의 stuck-open 고장에 대한 집

합 $N_{1on}^{sob}(N_{1on}^{sob}), P_{on}^{sob}$ 는

$$N_{1on}^{sob} = N_{2on}^{sob} = \{x \mid h(x, x_i) = 1\}$$

$$P_{on}^{sob} = \{x \mid g(x, x_i) = 0\}$$

증명) 정리 1의 증명에 의해 증명된다.

예제) 위의 그림 7에서 트랜지스터 B의 stuck-open 고장에 대한 집합 $N_{1on}^{sob} = N_{2on}^{sob}$ 는 $N_{1on}^{sob} = N_{2on}^{sob} = \{x \mid AC = 1\}$ 이다. 따라서 트랜지스터 B의 stuck-open 고장에 대한 $N_{1on}^{sob} = N_{2on}^{sob} = \{\langle 101 \rangle, \langle 111 \rangle\}$ 이다. p-블럭의 stuck-open 고장에 대한 집합 P_{on}^{sob} 도 비슷한 방법으로 유도할 수 있다.

6. 적용 예

BiCMOS 회로는 동일한 기판위에 CMOS와 바이폴라 트랜지스터를 집적하기 때문에 고장의 형태와 출력에서의 고장의 효과가 매우 복잡하다. 본 논문에서는 BiCMOS 회로에서 발생하는 stuck-open 고장이 절에서는 논의된 방법을 BiCMOS 회로에 적용하여 테스트 패턴을 생성한다.

두 개의 바이폴라 트랜지스터를 사용하는 일반적인 BiCMOS 회로에서 발생하는 stuck-open 고장을 고장 발생 위치 따라 그 고장을 검출하는 테스트 패턴 집합을 정리하여 표 3에 나타냈다.

표 3에 나타낸 테스트 패턴 생성 집합을 그림 8의 함수 $f = \overline{(A + B)(C + D)}$ 를 구현한 두 개의 바이폴라 트랜지스터를 사용하는 BiCMOS 회로에 적용하였다. 함수 $f = \overline{(A + B)(C + D)}$ 를 구현하는 의 각 트랜지스터에서 발생하는 stuck-open 고장을 검출하는 테스트 패턴 집합을 구하면 표 4와 같다.

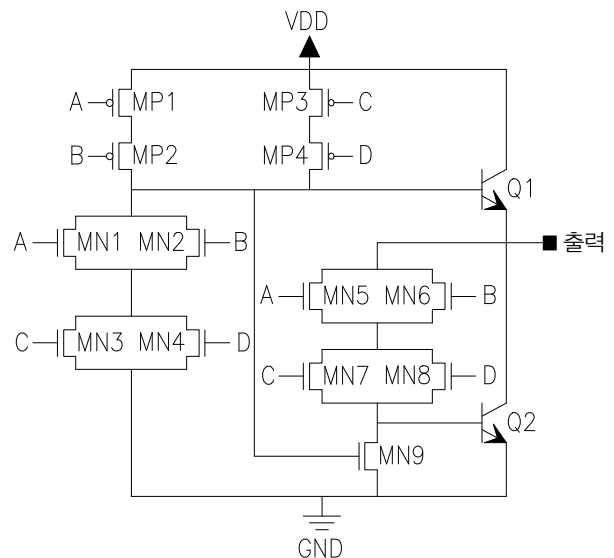


그림 8 $f = \overline{(A + B)(C + D)}$ (BiCMOS)

Fig. 8 $f = \overline{(A + B)(C + D)}$ (BiCMOS)

7. 결 론

BiCMOS 회로는 논리를 구성하는 CMOS 부분과 출력을 구동하는 바이폴라 트랜지스터로 구성된다. BiCMOS 회로에서 발생하는 stuck-open 고장은 순차동작(sequential behavior)를 하거나 지연고장(delay fault)의 형태로 나타난다. 이러한 BiCMOS 회로에서 발생하는 stuck-open 고장은 회로의 출력단에 부가 트랜지스터를 사용하여 검출하였다. 본 논문에서는 BiCMOS 회로에서 발생하는 stuck-open고장과 stuck-on 고장을 검출할 때 필요한 테스트 패턴을 효율적으로 생성하는 방법을 제안하였다. 제안된 방법은 BiCMOS 회로의 구조적 특성을 이용하여, 회로를 풀-업측(pull-up part)

과 풀-다운측(pull-down part)으로 분할하고, 분할된 각 블록에서 발생하는 고장을 효율적으로 검출할 수 있는 테스트 패턴을 집합 이론을 이용하여 생성하였다.

표 4 stuck-open 고장이 발생한 트랜지스터와 테스트 패턴 집합

Table 4 Stuck-open Fault transistor and test pattern set

고장 위치	고장 발생한 블록 또는 트랜지스터		테스트 패턴	
	블럭	트랜지스터	초기화 패턴	테스트 패턴
Pull-up part	p-블럭	MP1(MP2)	0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111	0001, 0010, 0011 0100, 1000, 1100
		MP3(MP4)		
	Q1 베이스,에미터		0000, 0001, 0010, 0011, 0100, 1000, 1100	
	Q1 콜렉터		0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111	0000, 0001, 0010, 0011, 0100,1000, 1100
Pull-down part	n1-블럭	MN1		1001, 1010, 1011
		MN2	0000, 0001, 0010, 0011, 0100, 1000, 1100	0101, 0110, 0111 0110, 1010, 1110
		MN3		0101, 1001, 1101
		MN4		
	n2-블럭	MN5		1001, 1010, 1011
		MN6	0000, 0001, 0010, 0011, 0100, 1000, 1100	0101, 0110, 0111 0110, 1010, 1110
		MN7		0101, 1001, 1101
		MN8		
	Q2 베이스,에미터		0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111	
	Q2 콜렉터		0000, 0001, 0010, 0011, 0100, 1000, 1100	0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111

참 고 문 헌

[1] Kubo, I. Masuda, K. Miyata, and K.Ogiue, "Perspective on BiCMOS VLSI's." *IEEE J. Solid-State Circuits*, vol.23.no.1, pp.5-11, Feb. 1988.
 [2] E.W.Greeneich and K.L.Maclaughlin, "Analysis and Characterization of BiCMOS for High - Speed Digital Logic." *IEEE J. Solid-State Circuits*, vol.23, no.2, pp.558-565, Apr. 1988.
 [3] J.D. Gallia, et al., "High-Performance BiCMOS 100K

-Gate Array," *IEEE J. Solid-State Circuits*, vol.25, no.1, pp.142-149, Feb. 1990.
 [4] M.E. Levitt, K. Roy and J.A. Abraham, "BiCMOS Fault Models : Is Stuck-At Adequate?," *IEEE ICCD*, pp.294-297, 1990.
 [5] K. Roy, M.E. Levitt and J.A. Abraham, "Test Considerations for BiCMOS Logic Families," *IEEE CICC*, pp.17.2.1-17.2.4, 1991.
 [6] S. Chakravarty, "On Synthesizing and Identifying Stuck-Open Testable CMOS Combinational Circuits," *27th ACM/IEEE DAC*, pp.736-739, 1990.
 [7] M. Favalli, P. Olivo, M. Damiani, and B. Ricco, "Fault Simulation of Unconventional Faults in CMOS Circuits," *IEEE Trans. ON CAD*, vol.10, no.5, pp.677-682, May. 1991.
 [8] Sankaran M. Menon, Anura P. Jayasumana, and Yashwant K. Malaiya, "Input pattern Classification for Transistor Level Testing of BiCMOS Circuits," *IEEE VLSI Test Symp. 1994*, pp. 457-462, 1994.
 [9] Walter W. Weber, Adit D. Singh, "An Experimental Evaluatuin of Differential BICS for IDDQ Testing," *IEEE VLSI Test Symp. 1995*, pp. 472-480, 1995.
 [10] I. Pomeranz, S.M. Reddy, "On n-Detection Test Sets and Variable n-Detection Test Sets for Transition Faults," *IEEE VLSI Test Symp. 1999*, pp. 173-181, 1999.
 [11] C.-W. Tseng, E. McClusky, "Multiple-Output Propagation Transition Fault Test," in Proc. *Intl. Test Conf., 2001*, pp. 358-366, 2001.
 [12] Y. Sbao, I. Pomeranz, S. Reddy, " On Generating High Quality Tests for Tansition Faults," *11th ATS' 02*, pp. 1-8, 2002.
 [13] S. Chakravarty, A. Jain, "Fault Models for Speed Failures Caused by Bridges and Opens," *IEEE VLSI Test Symp. 2002*, pp. 373-378, 2002.

저 자 소 개



신재흥 (申載興)

1986년 한양대 전자공학과 졸업, 1991년 동대학원 전자공학과 졸업(공학석사), 1997년 동대학원 전자공학과 졸업(공학박사), 1997년 3월 ~ 현재 동서울대학 컴퓨터시스템과 조교수.

Tel : 031) 720 - 2175

Fax : 031) 720 - 2294

E-mail : jhshin@haksan.dsc.ac.kr