
AMBA기반의 LCD 컨트롤러 설계

AMBA-based LCD controller design and implementation

조태경*, 홍재인**

상명대학교 정보통신공학과*, 삼성전자 반도체총괄 System LSI사업부**

Tae-Kyung Cho(tkcho@smu.ac.kr)*, Jae-In Hong(jaein.hong@samsung.com)**

요약

본 논문에서는 AMBA기반의 LCD 컨트롤러를 설계하였다. 일반적으로 LCD를 사용한 디스플레이 시스템은 고속의 데이터 액세스를 위하여 독자적인 버스 구조를 채택하고 있다. 제안한 컨트롤러는 AMBA의 데이터 포맷을 준수하며, 내부에 이미지 보간을 위한 이미지 스케일러를 내장하고 있다. 이미지 보간에는 수평방향으로 FOI(First Order Interpolation) 보간 알고리즘을 이용하고 수직 방향으로 H-형 PMED(H-Shape Pseudomedian)필터를 이용하였다. 본 컨트롤러의 모든 회로는 VHDL을 이용하여 설계하고, Xilinx FPGA를 이용하여 테스트 보드를 만들어 구현하여 LCD 패널에 직접 데이터를 출력함으로써 검증하였다.

■ 중심어 : | AMBA | LCD 컨트롤러 | FOI 보간 알고리즘 | VHDL |

Abstract

In this paper, we have designed an LCD controller based on AMBA. Normally display systems using the LCD are adopted independent bus architecture for high speed data access. Proposed LCD controller complies with AMBA data format and has an image scaler that executes interpolation for full screen display. This image scaler employs FOI for horizontal scaling and H-Shape pseudomedian filter for vertical scaling. It has been designed with VHDL and verified on prototype board using Xilinx FPGA and LCD panel.

■ Keyword : | AMBA | LCD Controller | FOI Interpolation Algorithm | VHDL |

1. 서론

오늘날 멀티미디어 산업의 발달과 고도의 전자 시스템의 급속한 보급으로 인하여 인간과 각종 전자 장치와의 가교적 역할을 담당하는 디스플레이 장치에 대한 중요성이 크게 증대되고 있다[1]. 이러한 디스플레이 장치

중 현재 LCD(Liquid Crystal Display)는 기존의 CRT 보다 높은 고화질, 경량화, 저전력 소비 등의 우수한 특성 때문에 그 응용 분야가 더욱 확대되고 있다. 이러한 LCD를 채용한 디스플레이 시스템은 응용분야에 따라 다양한 해상도와 고화질을 요구하고 있으며, 현재 개발되고 있는 RISC(Reduced Instruction Set Computer)

프로세서들은 고속 및 광대역의 데이터 액세스를 위하여 독자적인 버스 구조를 적용하여 저전력, 고성능 동작이 요구되는 휴대용 컴퓨터와 모바일 기기 등에 장착되고 있는 실정이다. 이러한 기능을 위해서는 다기능, 고성능 이미지 컨트롤러가 필요하다.

기존의 디스플레이 시스템에서는 버스 구조에 대한 고려가 없고 입력 영상에 대해 일관된 보간법 및 축소법을 적용하고 있었다. 이를 보완하여 본 논문에서는 고성능의 버스 구조인 AMBA AHB를 이용하여 AMBA의 데이터 포맷에 따라 수신된 데이터를 LCD 컨트롤러에서 수신하여 이미지 보간 과정을 거쳐 LCD에 전 화면을 표시하도록 AMBA기반의 LCD 디스플레이를 위한 타이밍 컨트롤러를 설계하였다. 이를 위하여 내부에 프레임 메모리, DMA 컨트롤러, 이미지 스케일러 등을 내장하였다. 평판 디스플레이용 보간 방식으로는 ZOI(Zero Order Interpolation), 미디언 방법(median method), 의사 미디언 필터(pseudomedian filter), ELA 보간 알고리즘 등의 방식들이 있다[2]. 본 논문의 내부 이미지 스케일러 에서는 수평방향으로 FOI 보간 알고리즘을 사용하고, 수직방향으로 H-형 PMED 필터를 이용하여 기존 영상의 화질 손상 없이 LCD 패널에 출력될 수 있도록 하였다.

II. 제안한 AMBA 기반의 LCD 컨트롤러 설계

제안한 컨트롤러는 고성능 버스 구조인 AMBA AHB를 통해서 전송된 데이터를 실제 LCD 패널에 디스플레이 하는 역할을 한다. 제안한 컨트롤러에서는 AMBA DMA 컨트롤러를 이용하여 데이터를 전송 받고, 전송 받은 데이터를 외부 프레임 메모리에 저장한다. 저장한 데이터는 내부의 이미지 스케일러를 거쳐서 타이밍 컨트롤을 통해 LCD 패널에 디스플레이 된다. 아래의 그림 1에 제안한 AMBA기반 LCD 컨트롤러의 블록도를 나타냈다[3].

본 컨트롤러에서 AMBA를 통해 입력되는 데이터는 320×240 크기의 저해상도 입력으로 VGA포맷(640×480) 크기의 패널에 전화면 표시를 하기 위해 확장을 위한

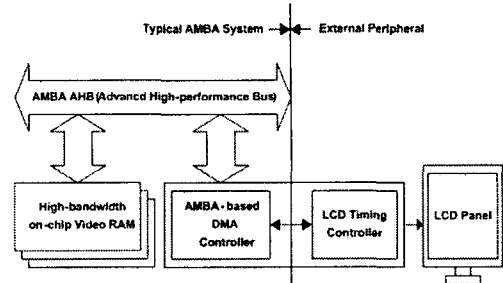


그림 1. AMBA기반 LCD 컨트롤러의 블록도

스케일링을 위해서 이미지 스케일러를 내장하였다. 내부의 이미지 스케일러는 수평방향으로 FOI알고리즘을 사용하고, 수직방향으로 H-형 PMED 필터를 사용하였다.

1. AMBA 기반 DMA 컨트롤러

AMBA 기반의 DMA 컨트롤러는 AMBA 슬레이브로써 AMBA spec에 따른 파이프라인 오퍼레이션과 버스트 전송을 하며, AMBA 버스를 이용하여 화면 데이터를 DMA 전송한다.

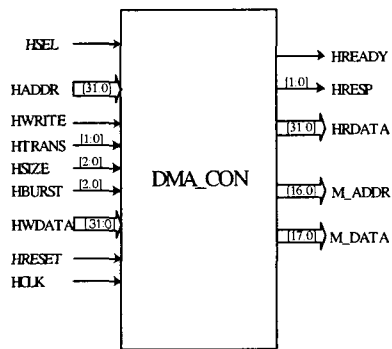


그림 2. DMA 컨트롤러 블록도

본 DMA 컨트롤러는 AMBA 버스를 통하여 마스터가 전송한 컨트롤 신호 및 320×240 크기의 저해상도 화면 데이터를 전송 받고, 전송에 대한 응답 신호를 마스터로 전송한다. 또한 전송된 데이터는 외부 프레임 메모리 제어 블록으로 전달되어 메모리에 저장된다. 그림 2는 AMBA 기반 DMA 컨트롤러의 블록도이다.

2. 외부 프레임 메모리 컨트롤러

외부 프레임 메모리 컨트롤러는 두 개의 외부 프레임 메모리에 데이터를 write/read 오퍼레이션을 위한 메모리 컨트롤 신호를 발생시키는 역할을 한다. 프레임 메모리 컨트롤러 블록의 세부 동작은 다음과 같다. 두 외부 메모리 중 하나의 메모리에 DMA 컨트롤러로부터 받은 320×240 크기의 화면 데이터를 저장하며, 다른 하나의 메모리로부터 이전에 저장되었던 320×240 크기의 화면 데이터를 읽어 이미지 스케일러 블록으로 전송한다. 이러한 동작은 두 메모리에 대하여 교차로 반복 수행된다. 다음 그림 3은 외부 프레임 메모리 컨트롤러의 블록도이다.

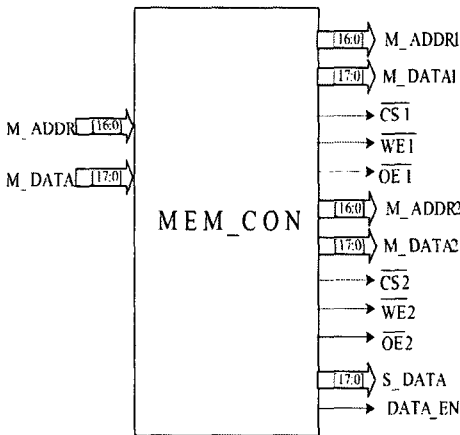


그림 3. 외부 프레임 메모리 컨트롤러 블록도

3. 내부 이미지 스케일러

AMBA 기반 LCD 타이밍 컨트롤러는 AMBA DMA 컨트롤러로부터 320×240 크기의 데이터를 입력으로 받아서, VGA 포맷인 640×480 크기의 LCD 패널에 출력한다. 따라서, LCD 패널에 전 화면 디스플레이를 하기 위해서는 이미지 스케일러를 통하여 이미지를 보간하여야 한다. 내장 이미지 스케일러의 수평 방향으로는 FOI 보간 알고리즘을 이용하였고, 수직 방향으로는 H-형 PMED 보간 알고리즘을 이용하였다. FOI 보간 알고리즘은 구조가 간단하고, 구현이 쉬우며, AMBA로 받은 데이터를 실시간으로 처리할 수 있는 장점이 있다. 이미지 스케일러의 수직 방향으로는 직선

성이 좋은 H-형 PMED 보간 알고리즘을 이용하였다. H-형 PMED를 이용하기 위해서, 내부에 라인 메모리를 사용하여 실시간 처리가 가능하도록 하였다. 다음 그림 4는 이미지 스케일러의 전체 블록도이다.

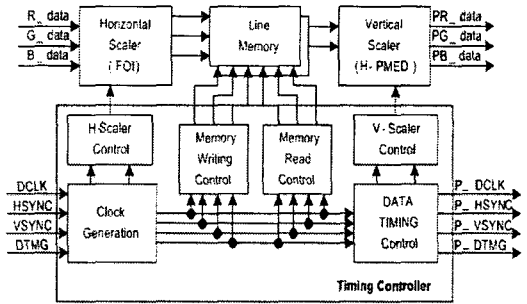


그림 4. 이미지 스케일러의 블록도

3.1 수평 스케일러의 보간 알고리즘

내부 이미지 스케일러의 수평 방향 보간을 위해서 FOI 알고리즘을 사용하였다. 이 방식은 라인 평균 방법 (line average method)이라고 칭하며, 비월 주사된 각 필드에 빠져있는 주사선을 인접한 위, 아래의 주사선의 화소값을 평균하여 보간하는 방식이다. FOI의 원리를 그림 5에 나타내었다. FOI 방식의 차분 방정식은 식 (1)로 표현된다.

$$y(n) = 0.5 * (n-1) + 0.5 * (n+1) \quad (1)$$

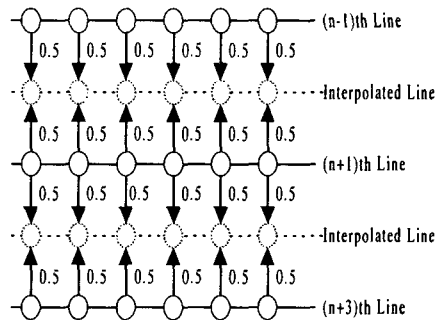


그림 5. FOI 원리

3.2 수직 스케일러의 보간 알고리즘

내부 이미지 스케일러의 수직 방향 보간을 위해서 H-형 PMED(H-shape pseudomedian) 필터를 사용하였다.[4] 그림 6은 PMED 연산에 사용되는 화소들을 나타낸 것이다. a, b, c는 (n-1)번째 라인에 위치하는 화소들이며, d, e, f는 (n+1)번째에 위치하는 화소들이다. 여기서 g는 보간될 화소를 나타낸다. 그림 6에 도시된 형태의 윈도우에 대한 부윈도우는 {a,b,c}, {d,e,f}, {b,e}이다. 이때 이 방식에 의해 보간되는 화소값 g는 아래의 식 (2)와 같이 산출되어 진다. 식 (2)가 의미하듯이 보간되는 화소값 g는 수평, 수직방향으로 인접하는 화소들의 선형 및 비선형에 의해 산출되어 진다.

$$\begin{aligned}
 g &= \text{PMED}\{a,b,c,d,e,f\} \\
 &= 0.5 * \max[\min\{a,b,c\}, \min\{d,e,f\}, \min\{b,e\}] \\
 &\quad + 0.5 * \min[\max\{a,b,c\}, \max\{d,e,f\}, \max\{b,e\}]
 \end{aligned}
 \tag{2}$$

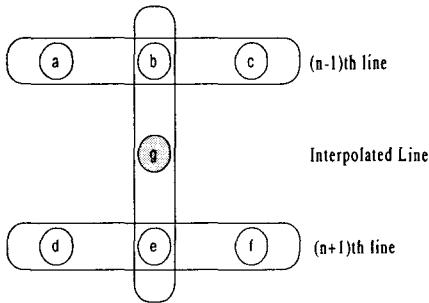


그림 6. H-형 PMED 연산에 사용된 화소군

3.3 수평 스케일러의 블록도

1-채널 수평 스케일러는 실시간 처리가 가능하도록 하기 위하여, 구조가 간단하고 비교적 성능이 우수한 FOI 알고리즘을 이용하였으며, 다양한 비디오 모드를 지원할 수 있다.

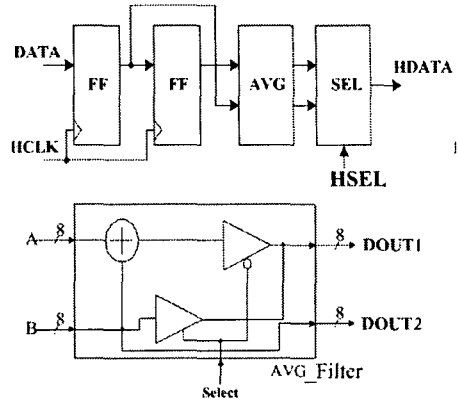


그림 7. 수평 스케일러 블록

3.4 수직 스케일러의 블록도

그림 8은 1-채널 수직 스케일러의 블록도이며, 수평 방향으로 픽셀 상관도가 높을 때 성능이 우수한 H-형 PMED필터를 사용하였다.

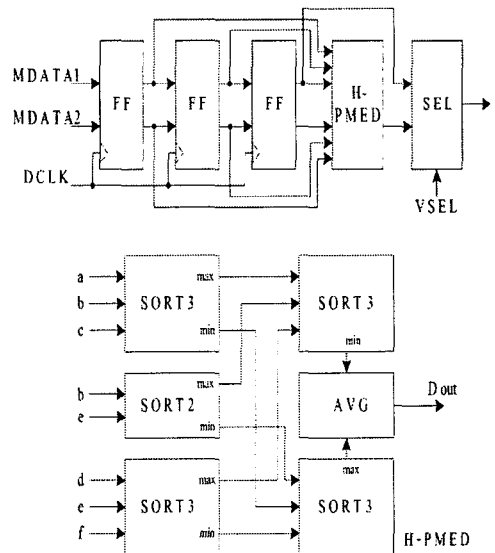


그림 8. 수직 스케일러 블록

III. 제안한 LCD 컨트롤러의 타이밍

1. LCD 패널의 타이밍 신호

그림 9에 LCD 패널의 출력을 결정하는 주요 제어 신호

호인 수평동기신호(HSYNC)와 수직동기신호(VSYNC)를 나타내었다. 그리고, 출력 데이터가 들어있음을 나타내는 데이터 타이밍 신호(DTMG)와 동기 신호간의 관계로 도시하였다.

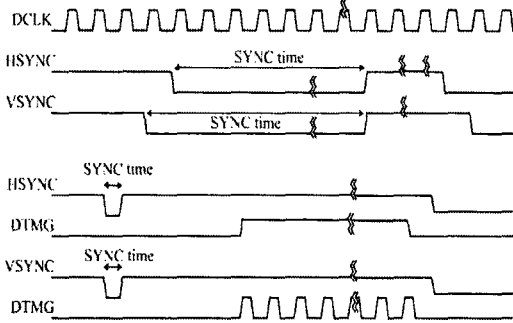


그림 9. LCD 패널의 주요 신호 타이밍도

2. 수평 스케일러의 타이밍

그림 10에 수평 스케일러의 타이밍을 나타내었다. 보간 모드에서 실시간 처리를 위해서는 2클럭의 시간 지연이 필요하다.

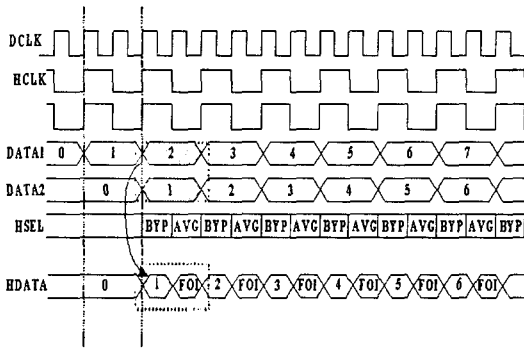


그림 10. 수평 스케일러의 타이밍도

3. 수직 스케일러의 타이밍

그림 11에 수직 스케일러의 타이밍을 나타내었다. 보간 모드에서 실시간 처리를 위해서는 4클럭의 시간 지연이 필요하다.

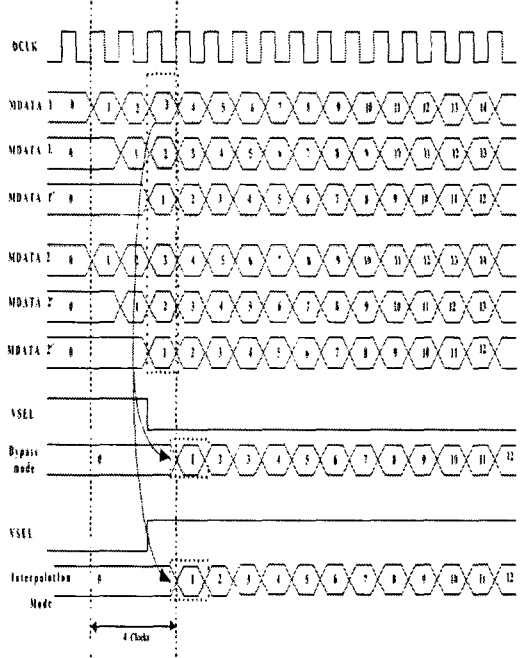


그림 11. 수직 스케일러의 타이밍도

IV. 시뮬레이션 및 구현 결과

1. AMBA 기반 LCD 컨트롤러의 구현 및 검증 방법

제안한 AMBA 기반의 LCD 타이밍 컨트롤러는 VHDL로 설계하였고, Xilinx Virtex1000EHQ 240 FPGA를 이용하여 테스트 보드를 만들어 검증하였다.[5] 그림 12에 제안한 컨트롤러의 구현 방법을 도시하였다. 본 컨트롤러에서는 AMBA 데이터 포맷을 준수하는 AHB 슬레이브를 구현한 FPGA를 이용하여, AMBA 신호 발생기로 사용한다. 이 신호발생기의 성능은 오실로스코프와 logic analyzer를 이용하여 검증하였다. AMBA 신호를 입력으로 동작하는 LCD 컨트롤러의 검증은 실제 LCD 패널에 출력 되는 영상 데이터가 정확히 디스플레이 되는지를 확인함으로써 검증하였다.

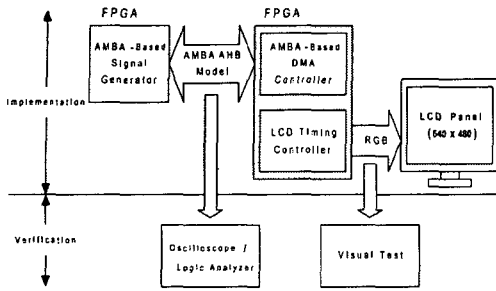


그림 12. LCD 타이밍 컨트롤러의 구현 방법

2. VHDL을 이용한 시뮬레이션 결과

2.1 AMBA 기반 DMA 컨트롤러

그림 13은 AMBA 기반 DMA 컨트롤러의 슬레이브 모드 동작 과정을 나타내었다.

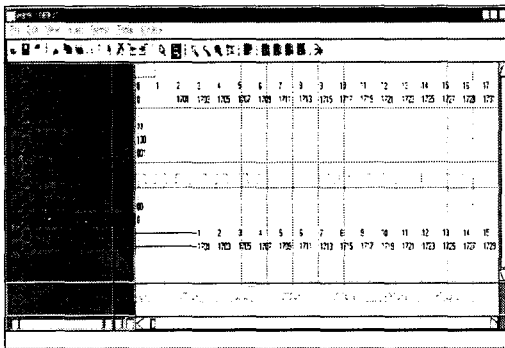


그림 13. DMA 컨트롤러 슬레이브 모드 동작

2.2 외부 프레임 메모리 컨트롤러

그림 14는 외부 프레임 메모리를 사용한 SRAM 읽기/쓰기 동작 과정이다.

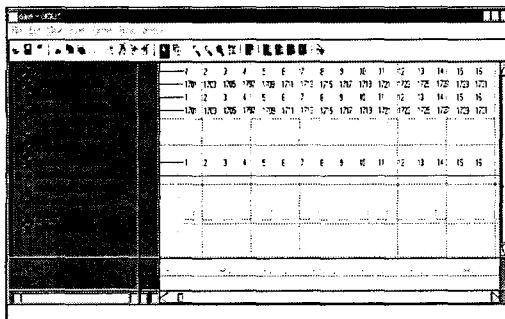


그림 14. 외부 프레임 메모리 읽기/쓰기 동작

2.3 내부 이미지 스케일러

그림 15, 16, 17은 각각 수평 스케일러, 수직 스케일러, 내부 메모리를 포함한 전체 스케일러 블록의 시뮬레이션 과정을 나타내었다.

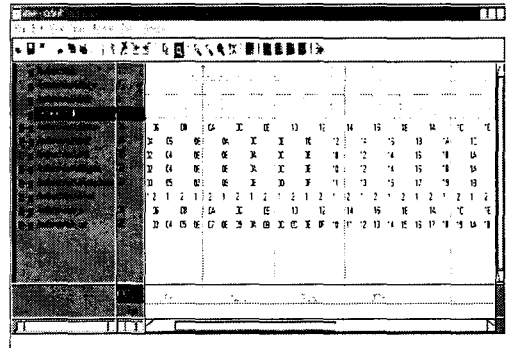


그림 15. FOI를 이용한 수평 스케일러 시뮬레이션 파형

그림 15의 수평 스케일러 파형에서는 FOI알고리즘을 통한 연산 결과와 픽셀 보간 결과를 볼 수 있고, 그림 16의 수직 스케일러 파형에서는 H-형 PMED 보간 필터를 이용한 연산 결과를 확인 할 수 있다.

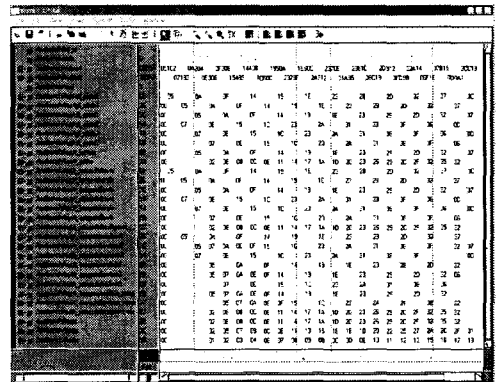


그림 16. H-형 의사미디언을 이용한 스케일러의 시뮬레이션

그림 17은 입력 비디오 신호가 320×240크기의 데이터일 때, 수평방향으로 FOI 보간 알고리즘을 사용하고, 수직 방향으로 H-형 의사미디언 필터를 사용하여 VGA 포맷의 640×480데이터를 출력하는 완전한 스케일러 블의 시뮬레이션 과정을 보여주고 있다. H-형 의사미디언 필터를 사용하기 위하여, 내부에는 640×1크기

의 라인 메모리 두 개를 사용하였다. 본 스케일러는 Xilinx® Foundation Series 툴을 사용하여 Xilinx FPGA 라이브러리로 합성하였다.

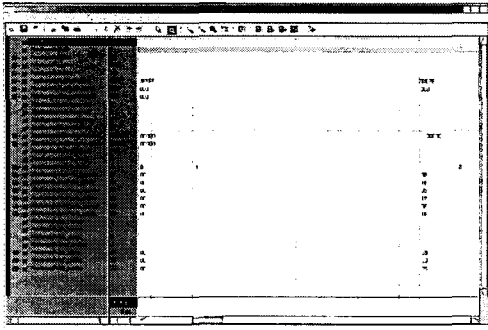


그림 17. 스케일러의 시뮬레이션 파형

2.4 AMBA기반의 LCD 컨트롤러 블록

그림 18에는 AMBA기반의 LCD 컨트롤러 블록의 시뮬레이션 파형을 나타냈다.

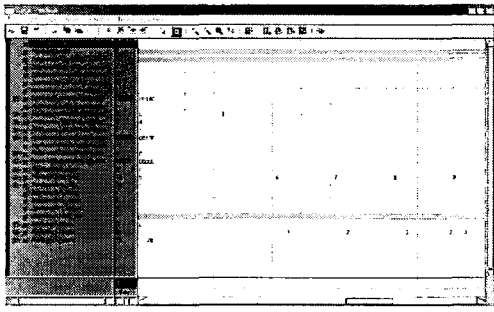


그림 18. LCD 타이밍 컨트롤러 시뮬레이션 파형

3. 회로합성 결과

DMA Controller 블록은 AMBA Slave 동작으로, 데이터를 전송 받아 프레임 메모리로 전송하는 역할을 하며, 스케일러는 프레임 메모리로부터 320×240 데이터를 받아, 내부의 스케일링알고리즘을 이용하여 640×480 데이터를 출력하는 기능을 한다.

또한 LCD 컨트롤러는 DMA Controller와 Image Scaler를 merge하여 합성한 것으로 Top Block을 의미한다. 이상에서 설명한 블록의 합성 결과를 표 1에 나타냈다.

표. 1 회로합성 결과

Block	No. of Gates	Timing
DMA Controller	10,689	Min. period: 11,572ns (Max. Frequency: 86.415MHz)
Image Scaler	143,927	Min. period: 12,436 (Max. Frequency: 80.412MHz)
LCD Controller	310,485	Min. period: 12,436 (Max. Frequency: 80.412MHz)

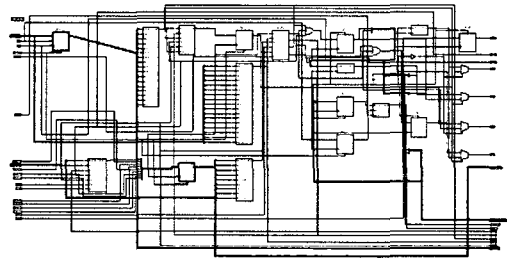


그림 19. DMA 컨트롤러 및 외부 메모리 컨트롤러 합성 결과

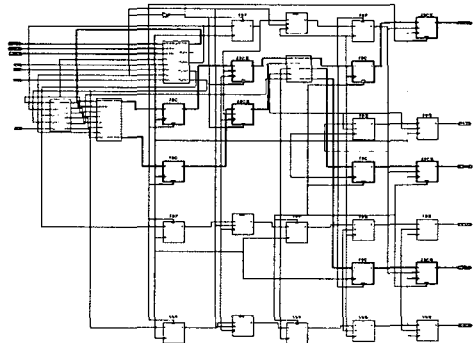


그림 20. 스케일러 합성 결과

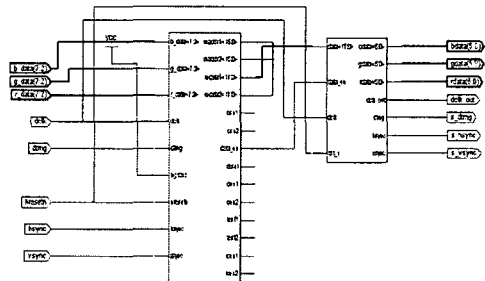


그림 21. LCD 타이밍 컨트롤러 합성 결과

4. FPGA 및 LCD 패널을 이용한 테스트 결과

4.1 FPGA 테스트 환경

그림 22에서는 제안된 AMBA 기반의 LCD 타이밍 컨트롤러의 전용 테스트 보드를 나타냈다. 구현에 사용된 Xilinx Vertex1000EHQ 칩은 1.8v 동작에 최대 100만 게이트 까지 다운 로드가 가능하다. 실제 구현을 위해 310,485 게이트를 사용하였으며, VESA 표준에 맞추어 60Hz Frame rate, 25.175MHz의Pixel clock을 사용하였다.

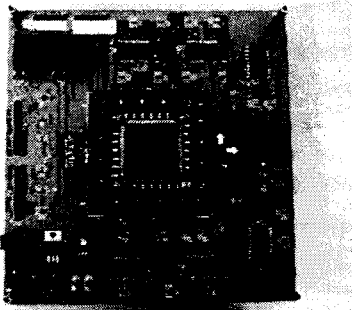


그림 22. 테스트 보드

그림 23는 LCD 패널을 이용하여 테스트하는 환경을 보여주고 있다.

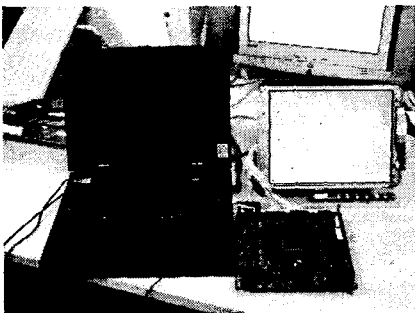


그림 23. 테스트 환경

4.2 LCD 패널 디스플레이 결과

그림 24의 화면은 제안한 컨트롤러의 입력 해상도인 320×240크기 데이터를 640×480크기의 패널에 디스플레이 하였을 때 나타난 결과이다. 화면에 자세히 보이지는 않지만, 중간 픽셀이 보이지 않아, 화면에 줄이 생기는

현상을 볼 수 있다. 그림 25의 화면은 설계한 LCD 컨트롤러의 최종 출력 화면이다. 그림 24과 비교하였을 때 화질이 향상되었음을 볼 수 있다.



그림 24. LCD 타이밍 컨트롤러 입력



그림 25. LCD 타이밍 컨트롤러의 출력

V. 결론

본 논문에서는 AMBA기반의 시스템에 적합한 LCD 타이밍 컨트롤러를 설계하였다. 제안된 컨트롤러는 AMBA 기반으로 동작하며, LCD 패널의 해상도 사이즈에 따라서 영상의 확대 혹은 축소가 가능한 이미지

스케일러를 내장하고 있으므로, 고성능 RISC 프로세서 및 휴대용 컴퓨터, 모바일 폰 등에 바로 적용이 가능한 장점이 있다. 또한, FOI 보간 알고리즘을 사용하여 구조가 간단하고, 구현이 쉬우며, AMBA로 받은 데이터를 실시간으로 처리할 수 있는 장점이 있으며, H형 PMED 보간 알고리즘을 사용하여 이미지 스케일러의 수직 방향으로 직선성이 좋은 장점을 살릴 수 있었다. 제안한 회로들은 Xilinx®들과 Xilinx 라이브러리를 이용하여 합성한 뒤 Xilinx Virtex1000EHQ 240 FPGA를 이용한 테스트 보드를 통해 640×480크기의 패널에 디스플레이하여 제안된 회로의 동작을 검증하였다.

저자 소개

조 태 경(Tea-Kyung Cho)

정회원



- 1984년 2월 : 한양대학교 전자통신공학과 (공학사)
- 1986년 2월 : 한양대학교 전자통신공학과 (공학석사)
- 2001년 9월 : 한양대학교 전자통신공학과 (공학박사)

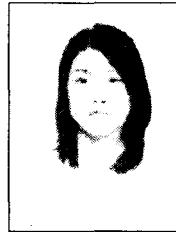
- 2003년 9월~현재 : 상명대학교 정보통신공학과 교수
- <관심분야> : 초고속정보통신망, e-Learning

참고 문헌

- [1] Randy Crane, *A simplified Approach to Image Processing*, Prentice Hall, pp. 79-85, 1997.
- [2] A. M. Tekalp, *Digital Video Processing*, McGraw Hill, USA, 1995.
- [3] C. H. Choi, B. H. Kwon, and M. R. Choi "Implementation of a Universal controller for a-Si TFT LCD of SXGA class", SID99, pp. 500-503, san Jose, USA, May. 1999.
- [4] 김희철 외, "움직임 적응형 멀티프레임 보간 알고리즘", 대한전자공학회 하계종합학술대회 논문집, Vol.23, No.1, pp. 54-57, 2000.
- [5] M. R. Choi, S. J. Lee, et al, "Design of an Image Scaler using Motion Detector," AP-SoC 2002, pp. 247-250, Seoul Korea, 2002.

홍 재 인(Jae-In Hong)

정회원



- 2002년 2월 : 한양대학교 전자컴퓨터공학부 (공학사)
- 2004년 2월 : 한양대학교 전자전기 제어계측공학과 (공학석사)
- 2004년 3월~현재 : 삼성전자 System LSI.사업부 미디어개발팀 연구원

- <관심분야> : 영상처리, SoC