

# 전력소비 최소화를 위한 새로운 평선유닛의 자원 할당 알고리즘

## A New Resource Allocation Algorithm of Functional Units to Minimize Power Dissipation

인 치 호\*  
Chi-Ho Lin\*

### 요 약

본 논문에서는 산술 연산을 수행하는 연산자의 수가 많은 평선유닛의 입력 데이터의 스위칭을 최소화하여 소비 전력을 줄인다. 따라서 회로전체의 전력 소모를 줄이기 위해 연산자가 소모하는 전력을 우선적으로 최소화하는 것은 전력 감소의 큰 효과를 가진다.

본 논문은 VLSI회로에서 전력소비에 가장 영향을 많이 미치는 평선유닛의 연산과정에서 소비하는 전력을 최소화하는 알고리즘을 제안한다. 평선유닛에서 모든 연산은 전력소비 정보를 가진 전력 라이브러리를 이용하여 피연산자를 스케줄링한다. 전력 라이브러리는 평선유닛의 모든 입력에 대해 각각의 컨트롤 스텝마다 입력 데이터의 정보를 갱신하고, 그 정보는 스케줄링 과정에서 사용되어진다. 따라서 모든 연산에서 최적화된 데이터를 평선유닛의 입력으로 하여 전력소비를 최소화 할 수 있다.

본 논문은 상위 레벨 합성 과정에서 평선유닛에 대한 최소의 전력소비를 위하여 제안하는 알고리즘을 적용하여 실험한 결과 최대 9.4%의 전력 감소효과가 있었다.

### Abstract

This paper reduces power dissipation with the minimum switching activity of functional units that have many operators. Therefore, it has more effects of power dissipation that operator dissipation to reduce power dissipation of whole circuit preferentially.

This paper proposes an algorithm that minimize power dissipation in functional units operations that affect much as power dissipation in VLSI circuit. The algorithm has scheduled operands using power library that has information of all operands. The power library upgrades information of input data in each control step about all inputs of functional units and the information is used at scheduling process. Therefore, the power dissipation is minimized by functional units inputs in optimized data.

This paper has applied algorithm that proposed for minimizing power dissipation to functional unit in high level synthesis. The result of experiment has effect of maximum 9.4 % for minimizing power dissipation.

Keywords : VLSI, Power Dissipation, Switching Activity, Power Library, Functional Uni

### 1. 서론

저 전력의 설계 기술은 여러 설계 단계에서 연구되어 왔고, 이러한 설계 단계 중 상위 수준 합성 단계의 연구는 VLSI의 면적과 성능을 최적화하는 방법에 대하여 집중적으로 연구 되어왔다[1].

저 전력을 고려한 설계 범위는 상위 레벨에서 하위

레벨로 나누어진다. 하위 레벨에서의 설계는 회로와 논리 레벨의 설계를 위해 지금까지 많은 연구가 되어왔고, 효과적인 방법들이 제안되어져 왔다[2-3]. 하지

\* 세명대학교 컴퓨터학과

(Dept. of Computer Science, Semyung Univ.)

接受日:2004年 3月 31日, 修正完了日:2004年 12月 10日

만 상위 레벨에서 회로를 설계한다면 하위 레벨 설계보다 많은 이점이 있다. 그것은 하위 레벨에서의 회로 설계보다 상위 레벨에서의 회로설계가 적은 비용과 시간의 단축 그리고 전력 감소 효과가 훨씬 크다는 것을 의미한다. 상위 레벨 회로 설계 중 상위 수준 합성은 회로의 동작적 기술로부터 레지스터 전송 수준으로의 합성을 의미한다[4-5]. 상위 수준 합성 과정은 크게 스케줄링 과정과 자원 할당 과정, 제어기 합성 과정으로 나눌 수 있다. 본 논문에서는 상위 레벨 합성 단계에서 전력 소모가 주로 발생하는 동적 전력 소모를 줄이는 방법을 연구한다[6]. 즉, CMOS 회로에서 전력 소모의 원인은 회로에서 스위칭이 일어날 때 대부분의 전력 소모가 발생하기 때문이다. CMOS회로의 입력 값에 따라 유효정전용량이 변하는데 입력 값을 그대로 유지하여 전력 소비를 줄이는 방법이다. 이것은 평선 유닛의 입력으로 들어오는 데이터들의 상관관계를 이용하여 스위칭 발생률이 최소로 되는 값을 선택하고, 그 데이터를 평선유닛에 할당하여 전력 소모를 줄이는 것이다. 본 논문의 핵심은 피연산자가 평선유닛으로 입력되기 전에 스위칭을 위한 정보를 전력라이브러리에 저장하고, 저장된 정보를 가지고 스위칭을 계산하여 평선유닛에 할당하는 것이다.

## II. 상위 수준 전력 소비 예측 모델

### 2.1 일반적 전력소모 모델

일반적으로 CMOS 회로에서 전력소모를 결정하는 요소는 정적 전력소모와 동적 전력소모이다. 정적 전력소모는 누설전류나 전원에서 연속적으로 공급되는 전류에 의한 것이고, 동적 전력소모는 스위칭에 과도전류와 부하 캐패시턴스의 충전과 방전에 의한 것이다. 정적 전력 소모는 디바이스의 누설전류와 전원전압에 의해 발생한다. 실용적인 기준으로 상온에서 디바이스 당 0.1 ~ 0.5nA 정도의 누설 전류가 허용된다. 이때 전체 정적 소모전력은 식(1)과 같다.

$$P = \sum_{i=1}^n \text{leakage current} * \text{supply voltage} \quad (1)$$

$n$ 은 디바이스의 개수를 나타내고, 누설전류와 공급 전압의 곱으로 나타낸다. 그리고 동적 전력소모는 식(2)와 같다. 일반적으로 상위 수준에서의 전력 소모는 동적 전력소모만을 고려한다. 그 이유는 파워소비 식(2)에서 전력 소비에 영향을 주는 요인으로 물리적인

요소, 즉 전원과 클럭 주기 캐패시턴스의 정전용량이 있다. 그리고 캐패시턴스의 정전 용량은 입력 비트에 따라 유동적이기 때문에 상위 레벨 합성에서 스위칭 액티버티(Switching Activity)를 줄이는 방법이 저전력의 주목적으로 되고 있다. 그러므로 상위 수준에서는 스위칭 액티버티를 줄임으로써 저전력을 유도한다.

$$P_{\text{dynamic}} = C_L \cdot V_{DD}^2 \cdot f \quad (2)$$

$$C_L = \alpha C_{\text{phy}}$$

스위칭 액티버티( $\alpha$ )는 각 평선유닛의 입력으로 들어오는 데이터 비트의 천이를 나타낸 것이다.  $C_L$ 은 캐패시턴스의 정전용량을 나타내며, 다시 물리적 정전용량( $C_{\text{phy}}$ )과 스위칭 액티버티의 곱으로 나타낼 수 있다. 식(2)에서 전력은 공급전압( $V_{DD}$ )이 조금만 감소하여도 소비 전력은 크게 감소하게 된다. 하지만 회로의 지연 시간이 증가하게 된다. 일반적으로 회로에서 영향을 주는 요인이 없다면  $V_{DD}$ 의 감소는 클럭 주파수에 의해 제한을 받고, 따라서 속도 제한 조건을 만족시키기 위해서는 유효 정전 용량의 감소를 고려해야만 한다.

### 2.2 본 논문에서의 전력소모 모델

본 논문에서 제안하는 전력 소모 모델은 전력 라이브러리에 받은 입력 데이터들의 정보를 가지고 스위칭 액티버티를 최소로 하는 노드들을 연속적으로 평선 유닛에 할당하는 것이다. 스위칭 액티버티를 구하는 식은 식(3)과 같다.

$$\alpha = \frac{P(|X_{in} - X_{in-1}| + P(|X_{in-1} - X_{in-2}| \dots P(|X_{in} - X_0|) + 1) * 100 / n}{n} \quad (3)$$

스위칭 액티버티 값을 구하여 상위 수준 합성에서의 일반적인 파워 공식에 적용하여 전체 소비 전력을 측정할 수 있다. 이렇게 구해진 값은 전력 라이브러리에 저장되어 연산이 수행되어질 때 전력 소비를 최소로 하는 데이터를 각각의 유닛에 할당하여 전체 전력 소비를 줄인다.

$$\text{Power} = \left( \frac{\sum_{i=0}^n (P|E_n - E_{n-1}| + 1)(FIBSA)}{n} \right) * C_{\text{phy}} \cdot V_{DD}^2 \cdot f \quad (4)$$

식(3)의  $a$ 는 평선유닛의 입력으로 들어오는 비트들 즉,  $X_{in}$ 은 평선유닛에 먼저 들어온  $n$ 번째 데이터의  $i$ 비트를 의미하고,  $X_{in-1}$ 은  $X_{in}$ 이후에 들어온 비트를 의미한다. 각각의 스위칭 확률은 먼저 들어온 비트에서 나중 들어온 비트를 뺀 값의 절대값을 취해 모두 더하여 데이터 개수( $n$ )로 나누어 백분율로 나타낼 수 있다. 그리고 식(4)의 FIBSA(First Input Bit Switching Activity)는 처음 입력으로 들어오는 비트에 대한 스위칭 액티비티 값을 1로 더해준다. 그 이유는 처음 평선유닛에 값이 입력될 때 스위칭이 일어나기 때문이다.

전력 라이브러리는 각각의 데이터가 연산 작업을 하기 전에 전력 소비 정보를 갖게 되고, 스케줄링과 바인딩 될 때 전력 라이브러리는 사용되어진다.

### III. 제안하는 자원 할당 알고리즘

본 논문에서 제안하는 자원 할당 알고리즘은 피연산자들 간의 스위칭 액티비티를 최소화하여 스케줄링과 바인딩을 하는 것이 주목적이다. 그러므로 입력변수의 life time은 스위칭 액티비티를 줄이는 중요한 요소가 된다. 그림 1의 CDFG에서 변수들의 각 쌍에서 life time은 틀리다.  $b$ 와  $c$ ,  $d$ 는 평선유닛의 초기 입력으로 들어가고  $e$ 는 두 번째 컨트롤 스텝에서 스케줄링 되었다. 그리고 각각의 변수가 공유할 수 있는 레지스터 또한 변수의 life time에 의존하게 된다. 그림 1에서 평선유닛이 곱셈기 두 개로 제한되고, 변수들은 평선유닛에 스위칭 액티비티가 적은 쌍들이 할당되어진다. 또한 이 과정에서 변수들의 life time이 서로 겹치지 않는 변수들은 하나의 레지스터를 공유 할 수 있다. 이때 서로 공유되는 변수들간의 스위칭 동작을 최소화하여 레지스터가 소모하는 전력을 최소화시킬 수 있다.

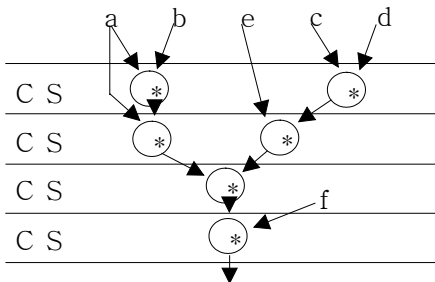


그림 1. 스케줄링 후 CDFG의 예  
Fig. 1. Case of CDFG after scheduling

저전력을 위한 평선유닛의 자원 할당 방법은 피연산자가 평선유닛으로 입력되기전에 스위칭을 위한 정보를 전력라이브러리에 저장하고, 저장된 정보를 가지고 스위칭을 계산하여 평선유닛에 할당하는 것이다. 그림 2 에서와 같이 입력데이터에서 입력신호를 구하고 평선유닛의 입력신호의 특성인자를 구한다. 여기서 연속적인 데이터들의 비트 중 0 또는 1을 갖는 비율이 얼마나 되는지를 계산하고, 그 결과는 전력 라이브러리의 데이터 인덱스에 저장되게 된다. 각각의 평선유닛에는 공유 가능한 입력데이터들 중 스위칭이 최소로 일어나는 자원을 정하게 된다. 그리고 전력소모가 가장 작은 데이터들을 평선유닛에 할당하게 된다. 위와 같은 과정을 제어단계 증가 후 반복적으로 수행하게 된다.

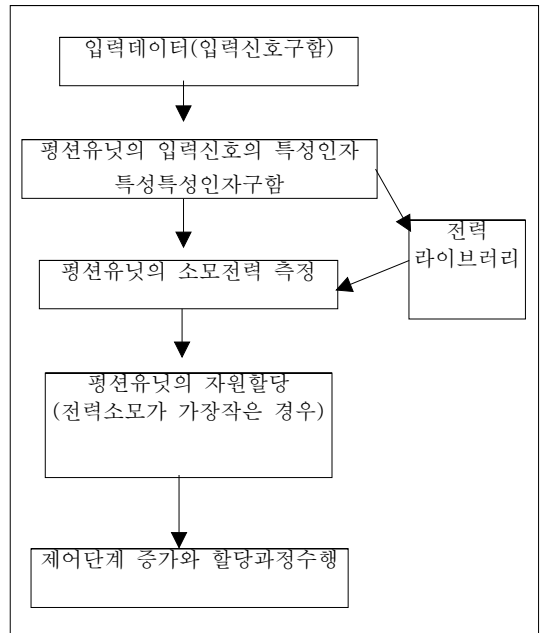


그림 2. 저전력을 위한 자원할당  
Fig. 2. Resource allocation for low power

전력라이브러리 구성은 그림 3과 같다. 모든 입력 데이터  $N$ 에 대하여 각각의 데이터에 따라 스위칭 액티비티를 반복적으로 구하고, 구해진 정보를 전력 라이브러리는 인덱스별로 저장하게된다. 총 입력 데이터 수 보다 비교 대상 데이터가 클 경우 전력 라이브러리는 스위칭 과정을 끝내게 된다. 그리고 평선유닛의 전력 소모 측정과 스케줄링을 하게된다.

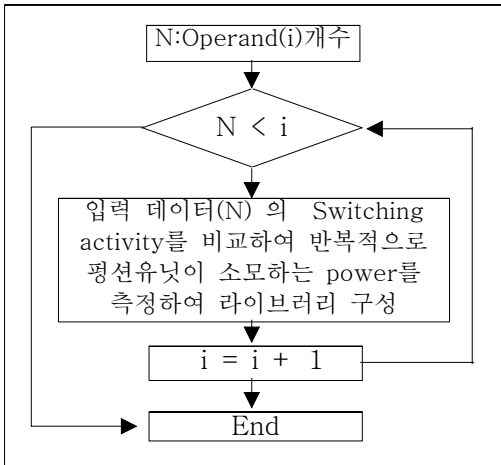


그림 3. 전력 라이브러리의 구성  
Fig. 3. Composition of power library

스케줄링 목적은 평선유닛에 대한 입력 변수의 제사용의 가능성을 최대로 하는 것이다. 이것은 두 개의 연산자를 같은 기능장치에 연속적으로 수행시킴으로서 평선유닛 한 개의 입력 데이터를 고정시켜 스위칭 변화가 일어나지 않도록 스케줄링 한다. 일반적인 계산에서 연속적인 값이(그림 1의 a) 평선유닛에 할당 될 경우 스위칭 확률은 줄어들게 되고, 소비 전력 또한 최소로 할 수 있기 때문에 전력 소비를 크게 줄일 수 있다.

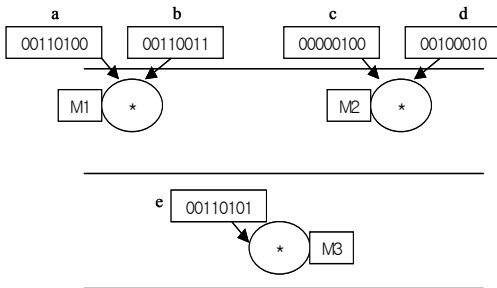


그림 4. 평선유닛의 데이터 입력 예  
Fig. 4. Case of data input to functional unit

평선유닛의 비트별 데이터 입력의 예가 그림 4에 나타나 있다. 전력 라이브러리는 각각의 변수에 대해 스위칭 액티비티 정보를 가지고 있다. 그 정보에 따라 평선유닛에 변수들을 할당한다.

그림 5. 는 스위칭 확률을 최소화하는 데이터를 평선

유닛에 할당한 것이다. 스위칭 확률은 c를 먼저 입력하고, 스위칭이 적게 일어나는 a를 입력, 그리고 a와 비교하여 스위칭이 적게 일어나는 e를 입력으로 하였다. 즉 평선유닛의 노드들의 입력순서는 M2-> M1-> M3 순이 되게 된다.

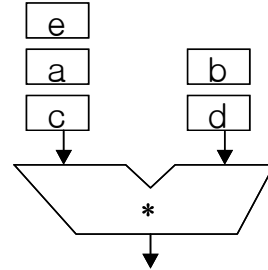


그림 5. 스위칭을 고려한 평선유닛의 데이터 할당  
Fig. 5. Switching data allocation that consider functional units

#### IV. 실험 및 결과

상위 레벨 합성 알고리즘의 실험에서 주로 사용되는 벤치마크 회로는 HLSYNTH95의 회로 중 IIR, FIR, Volterra 벤치마크 회로를 이용하여 실험하였다. 입력 데이터로는 8비트 10000개의 데이터를 랜덤으로 입력하였다. 벤치마크 회로에 제안하는 알고리즘을 적용하여 CDFG를 추출하고, 추출된 CDFG를 VHDL로 기술하여 컴파일 후 전력 소비를 측정하였다. 각 필터에 따라 전력 감소 효과에 차이는 있지만 제안하는 알고리즘을 적용하여 실험한 결과 모두 우수함을 보였다. 표 1의 전력 감소 결과는 시스템 전체에 대한 감소율을 나타낸다. 또한 그림 6은 전력 소비 감소율을 입체적으로 구성하였다.

표 1. 각 필터에 대한 알고리즘 실험 결과  
Table 1. Experiment result for benchmark filters

|           | Volterra | FIR    | IIR    |
|-----------|----------|--------|--------|
| 일반적인 방법   | 13.343   | 13.475 | 13.561 |
| 제안한 방법    | 12.553   | 12.30  | 11.827 |
| 전력 감소율(%) | 9.4      | 9.1    | 8.87   |

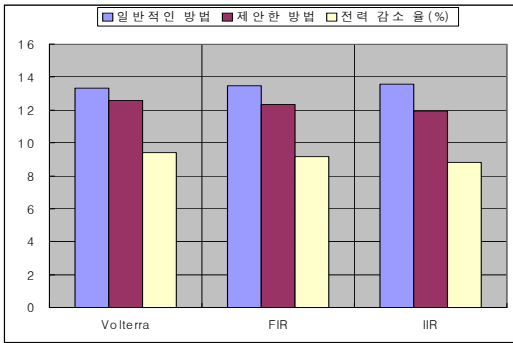


그림 6. 전력 소비 감소율(%)  
Fig. 6. Power dissipation reduction ratio

### V. 결과

본 논문에서는 상위 수준 합성 과정의 자원할당과정에서 평선유닛의 전력 소모를 최소화하기 위하여 새로운 할당 방법을 제안하였다. 스케줄링 과정에서는 공유 가능한 피연산자의 스위칭 액티비티를 최소로 하여 자원할당 시 전력 소모를 줄일 수 있도록 스위칭 동작을 최소화하는 스케줄링을 수행하였다.

본 논문에서 제안하는 방법은 데이터가 입력으로 들어오면 데이터에 대한 정보를 가지고, 전력 라이브러리에 저장시킨다. 전력 라이브러리는 각각의 데이터의 비트별 스위칭 정보를 저장한다. 다음 단계인 전력 측정은 비트별 스위칭에 따라 전력소비가 결정된다. 그리고 자원 할당 과정을 거치게 된다. 이것은 입력변수를 이용하여 평선유닛에 공유 가능한 연산자에 대한 전력소모를 계산한다.

본 논문에서 제안하는 방법을 이용하여 자원할당을 할 경우, 비트별 스위칭 동작을 이용하기 때문에 보다 더 정확한 전력 감소 측정을 할 수 있다. 그리고 소모 전력은 기존의 방법 보다 최대 9.4%의 전력 감소 효과가 있었다.

### 참고 문헌

- [1] D. Gajski and N. Dutt, High-level Synthesis: Introduction to Chip and System Design. Kluwer Academic Publishers, 1992.
- [2] G. D.Micheli, Synthesis and Optimization of Digital Circuits. New York: Mc-Graw Hill, Inc., 1994.
- [3] A. P. Chandrakasan and R. W. Brodersen, "Minimizing power consumption in digital CMOS circuits," Procs. of the IEEE, vol. 83, pp. 498-523, Apr. 1995
- [4] Sriram Govindarajan, "Scheduling algorithms high level synthesis," Term Paper ECE 834, Course : Digital Design Environments
- [5] M. C. Mcfarland, A. C. Parker, R. Camposano, "The high level synthesis of digital systems," Procs of the IEEE. Vol 78. No 2, Fed, 1990
- [6] J. M. Chand and M. Pedram, "Register allocation and binding for low power," in Procs. of the ACM/IEEE Design Automation Conference, pp. 29-35, June, 1995.

### 저 자 소 개

#### 印 致 虎



1985년 한양대학교 전자공학과 공학사  
 1987년 한양대학교 대학원 공학석사 (CAD 전공)  
 1996년 한양대학교 대학원 공학 박사 (CAD 전공)  
 1992년 ~ 현재 세명대학교 컴퓨터학과 부교수

관심분야 : VLSI CAD, ASIC 설계, CAD 알고리즘, RTOS 및 내장형 시스템