

SMPS용 전력소자가 내장된 PWM IC 설계에 관한 연구

The Study on the design of PWM IC with Power Device for SMPS application

임 동 주*, 구 용 서*
Dong-Ju Lim*, Yong-Seo Koo*

요 약

본 연구에서는 Bi-DMOS 기술을 이용하여 SMPS용 고내압 스위칭 전력소자 내장형 one-chip PWM IC를 설계하였다. 기준전압회로는 다양한 온도와 공급전압의 변화에도 일정한 전압(5V)을 발생시킬 수 있도록 설계하였고, 오차 증폭기의 경우, 높은 dc gain(≈65.7db),unity frequency(≈189Khz),적절한 PM(≈76)를 가지면서 높은 입력저항을 갖도록 설계하였다. 비교기는 2단 구성으로 설계를 하였고, 삼각파 발생회로 경우, 외부 저항과 캐패시터를 이용해서 발진 주파수(20K), output swing 폭(3.5V)을 갖는 삼각파를 발생시켰다. 스위칭 파워소자는 SOI 기판을 사용하고, 확장 드레인 영역의 길이와 도핑 농도를 적절히 조정, 350V급 내압을 갖는 n-LDMOSFET을 설계 하였다. 최종적으로, layout은 각 소자 에 대한 디자인 룰(2um 설계 룰)을 설정하였고, Bi-DMOS 공정 기술을 바탕으로 PWM IC 회로와 n-LDMOSFET one-chip IC를 설계하였다.

Abstract

In this study, we design the one-chip PWM IC with high voltage power switch (300V class LDMOSFET) for SMPS (Switching Mode Power Supply) application. Reference circuits generate constant voltage(5V) in the various of power supply and temperature condition. Error amp. is designed with large DC gain (≈65dB), unity frequency (≈190kHz) and large PM(75°). comparator is designed with 2 stage. Saw tooth generators operate with 20kHz oscillation frequency.

Also, we optimize drift concentration & drift length of n-LDMOSFET for design of high voltage switching device. It is shown that simulation results have the breakdown voltage of 350V. (using ISE-TCAD Simulation tool)

PWM IC with power switching device is designed with 2um design rule and Bi-DMOS technology.

1. 서론

SMPS (Switching Mode Power Supply) 의 설계

* 西京大學校 電子工學科

(Dep. of. EE, SeoKyeong Univ.)

接受日:2004年 6月 1日, 修正完了日:2004年 7月 9日

* 교신 저자 (Correspondence author)

에 있어서 계속되는 이슈는 더 작고, 더 가볍게 제작하는 것이다. 가능한 한 작은 크기와 높은 효율을 유지하면서 Power Supply를 제작하는 것은, 실제 설계자에게 있어 큰 도전이라 할 수 있다. SMPS에서는 스위칭을 위한 제어부가 필요한데, 가장 일반적인 것이 바로 PWM을 이용하는 것이다.

이때 PWM 제어 IC의 집적화와 함께, 현재 상당히 size effective 한 방향으로 기술 개발이 되고 있으나,

파워 스위치와 PWM은 그 기술 자체가 다르기 때문에, 각각 따로 제작되어, 일종의 솔루션 형태로서 SMPS를 구현하는 것이 현재의 일반적인 추세이다.

또한 이러한 PWM IC 와 파워 스위치가 집적된 회로는 SMPS 뿐만 아니라 기타 motor drive control IC, 보호회로, Auto-mobile LSI 등, 고내압 고전류를 스위칭 해주는 일반적인 회로에까지 폭넓게 응용되어 질 수 있는 것이다.

그러나 국내의 경우, 일부 회사에서 단지 PWM 제어 IC 만을 개발하여, 판매하고 있을 뿐, 파워 스위칭 와 그 구동회로가 포함된 형태의 제어 및 구동 IC는 개발되지 못하고 있다.

따라서 본 연구에서는 PWM IC의 블럭별 (삼각파 발생회로, 오차증폭기, 기준전압회로, 비교기) 사양결정 및 회로 설계, 파워 스위칭 소자인 300V급 n-LDMOSFET의 소자구조 고안을 통해 디자인 룰 설정 후 고내압 스위칭 소자가 내장된 PWM one-chip IC layout 까지 수행하였다.

II. PWM IC의 동작원리

2.1 PWM IC의 구성

PWM IC 는 삼각파 발생기, 오차증폭기, 비교기, 기준전압회로로 구성된다. 본 연구에서 설계한 고내압 전력소자 내장형 PWM IC의 구성은 그림 1. 과 같다.

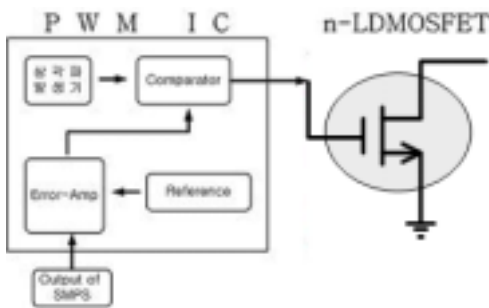


그림 1. 파워 스위치 내장형 One-Chip PWM IC 구성도

Fig. 1. Block Diagram of One-Chip PWM IC with Power Switch

2.1 PWM IC의 동작원리

PWM IC의 동작원리는 PWM 제어 회로 모듈이 SMPS를 제어하는 과정으로 이해 될 수 있으며, 다음과 같다. SMPS의 출력전압을 전압분배회로를 거쳐서 기준 전압 값인 기준 전압과 비교하게 한다. 여기서 생기는 오차는 오차 증폭기를 거치면서 증폭되어 그 결과가 비교기를 통해 삼각파와 비교되어 구형과 펄스를 만들어 내게 된다. 이 펄스가 SMPS의 스위치를 제어하는 제어신호가 되어 구동단으로 연결되게 된다. 즉, 결과적으로 출력오차에 상응하여 펄스폭이 조정됨으로서 출력전압이 레귤레이션 동작함으로써 제어되는 것이다. PWM IC 전체의 동작구조 방식은 기본적으로 여러 블럭으로 구성되어 있으며 각 블럭 단의 회로가 상당히 복잡하므로 SMPS 회로 전체를 복잡하게 만들 수 있음을 볼 수 있으나 이러한 PWM 제어 블럭 전체가 IC화되어 구성됨으로 이러한 회로적인 복잡성을 해소하고 있다.

III. PWM IC 회로 설계

3.1 삼각파 발생회로

본 연구에서 외부에서의 저항과 캐패시터 값을 변화 시킴으로써 삼각파 발생회로의 발진 주파수를 변화 시킬 수 있게 설계하였으며, 이는 다양한 시스템에서 각각 원하는 삼각파의 발진 주파수를 정할 수 있게 하기 위함이며, 이의 회로도도 그림 2.에 나타내었다.

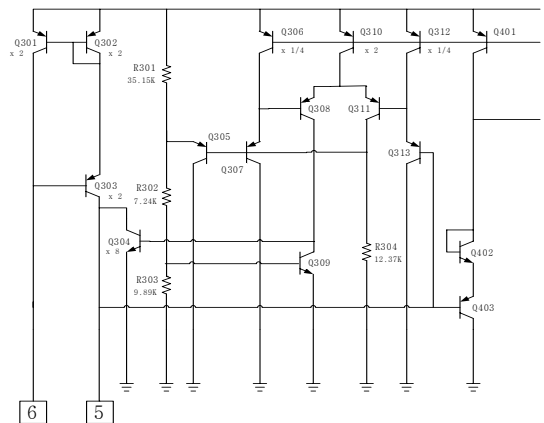


그림 2. 삼각파 발생회로

Fig. 2. Saw Tooth Generator

삼각파 발생회로의 동작원리는 노이즈와 같이 예측할 수 없는 소스원에 의해 회로가 동작하기 때문에 회로 해석을 위하여 노이즈 소스원이 Q308 과 Q311 (diff.-amp)의 입력으로 인가되며, 그 값은 상대적으로 high(Q308), low(Q311)로 가정하였다.

이 경우 상대적으로 Q311의 컬렉터단 전류는 같은 입력이 들어갈 때보다 많은 양의 전류가 흐르게 되고, 그에 따라 Q308에 흐르는 전류는 감소하게 된다. Q311의 전류가 증가하면 R304(12.37K) 양단에 걸리는 전압도 증가하게 되고, Q305의 이미터단에 전압 디바이더를 통해 걸리는 전압보다 R304 양단에 걸리는 전압이 증가하게 되면 Q305와 Q307은 오프 상태로 바뀌게 된다. 이 모든 과정들을 통해 전류원인 Q306의 전류는 Q308 트랜지스터의 베이스단으로 인가되게 되고, 처음에 가정했던 high 값을 계속 유지 할 수 있는 값을 가지게 된다.

반면, Q308의 베이스단의 전압은 low라고 가정했기 때문에 이 트랜지스터의 컬렉터 전류는 감소하게 되고, Q306이 high값을 유지하게 되면서 Q304 와 Q309는 바이어스가 잡히지 않게 되어 오프 상태가 된다.

이와 같은 2가지 동작을 통해 Q301~Q303, 그리고 외부단자인 R (그림2.의 6번 Pin)에 의해 생성된 전류 모두 C (그림2.의 5번 Pin)로 축적이 된다. 이 축적되는 전류에 의해 전압이 발생되고 발생된 전압에 의해 Q403과 Q313은 오프 상태로, 삼각파의 출력은 high로 Q311의 베이스단에 인가되는 전압은 앞의 가정인 low 상태의 반대인 high 상태로 바뀌게 되게 된다.

high 상태 바뀐 후는 앞의 과정들과 반대로 설명 될 수 있으며, 결과적으로 큰 에미터 면적을 가지고 있는 Q304이 동작을 하면서 기존의 캐패시터로 흐르던 전류가 이 트랜지스터에 의해 소모하게 되고, 5번 단자는 0V의 potential을 가지게 된다. 이런 일련의 과정들이 반복됨으로써 삼각파 발생회로가 동작을 하게 된다.

시뮬레이션상에서의 결과는 5번 Pin과 6번 Pin에 연결되어 있는 R,C값이 각각20KΩ, 0.001uF일 때의 결과를 나타내었으며, 이때의 발진 주파수는 20kHz,출력 진폭은 3.5V로 나왔다. 시뮬레이션 결과는 그림 3.에 나타내었다.

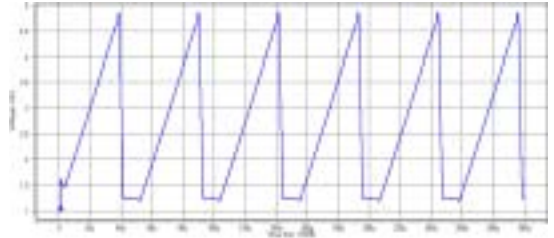


그림 3. 삼각파 발생회로 시뮬레이션 결과

Fig. 3. simulation result of Saw Tooth Generator

3.2 기준전압 회로

BJT의 V_{be} 및 V_{th} (문턱전압 : threshold voltage), V_t (열전압 : thermal voltage)를 한 가지 항만으로 기준전압을 출력하는 회로는, 공급전압 변화에 무관하지만, 온도 의존성이 비교적 크게 나타나는 것에 반해 밴드갭 회로는 기본적으로 공급전압 및 온도 모두에 거의 무관한 전압 출력전압을 출력시키는 특성을 갖고, 본 연구에서도 이런 상황을 고려해 기준 회로를 밴드갭 방식으로 설계하였다. 기준회로는 그림 4.에 나타내었고, V_{cc} 의 전압 공급원으로 부터 5V의 일정한 출력을 비교기나 삼각파 발생회로 부분에 공급한다.

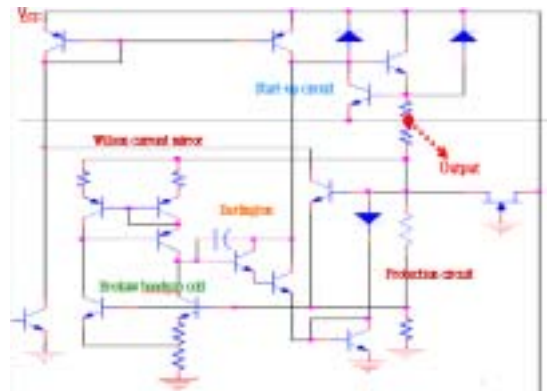


그림 4. Reference 회로

Fig. 4. Reference Circuit

설계한 기준전압회로는 크게 Start-up 회로, Wilson 전류 거울, Brokaw bandgap cell, Darlington, 등으로 구성되며, 동작 원리는 다음과 같다. Wilson current mirror는 아래쪽의 Brokaw bandgap cell에 같은 양의 전류를 공급하면 두 트랜지스터의 베이스-에미터전압

의 차이 ΔV_{be} , 그리고 Darlington의 베이스-에미터 전압가 합쳐져서 출력단에 일정한 전류를 공급하게 되고, 이 전류와 다른 인자들이 곱해서 최종 기준회로의 출력인 V_{out} 으로 나오게 되며, 이때 이 회로는 5V의 출력을 갖도록 설계하였다. 온도에 따른 특성을 보면, $PCAT(V_{be(on)})$ 항이 $-2mV/^{\circ}C$ 로 감소하고 과 $PTAT$ 항(V_t) 이 $+0.085mV/^{\circ}C$ 로 증가하여 이 두 가지 온도 계수가 Brokaw bandgap cell을 통해 상쇄되고, 온도에 대해 비교적 일정한 출력을 갖게 되고, 시뮬레이션 결과는 그림 5와 같다.

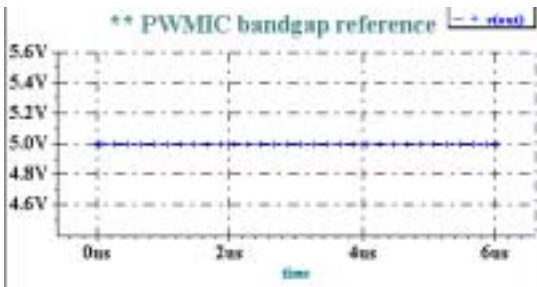


그림 5. 기준전압회로 시뮬레이션 결과
Fig. 5. Simulation result of Reference Circuit

3.3 비교기 회로

비교기는 두 단으로 구성되 있으며, 첫 번째단은 차동 증폭기., 두 번째 단은 에미터 공통 구조로 구성되어 있고, 입력으로는 DTC(Dead Time Control), 오차 증폭기의 출력, 삼각파 신호가 인가되어 있다. 비교기의 특성은 open-loop 상태에서 high(5V) 또는 low(0V) 두 가지의 상태를 점유해야 하기 때문에 큰 DC gain (우수한 meta stability 특성) 과 원하는 주파수대역보다 큰 3-dB frequency를 가져야하는데, 선형적인 증폭기를 사용할 경우 gain과 3-dB 주파수는 Trade-off 관계를 가지므로, 좋은 주파수 특성을 얻기가 어렵다. 식(1) 그러나, 본 과제의 PWM IC에서는 삼각파의 파형의 발진 주파수가 20 kHz이하의 low frequency application이기 때문에 두 단의 증폭기를 이용하여 비교기를 설계 할 수 있었다.

$$f_{-3dB} = \frac{f_t}{A_0} \quad \text{식(1)}$$

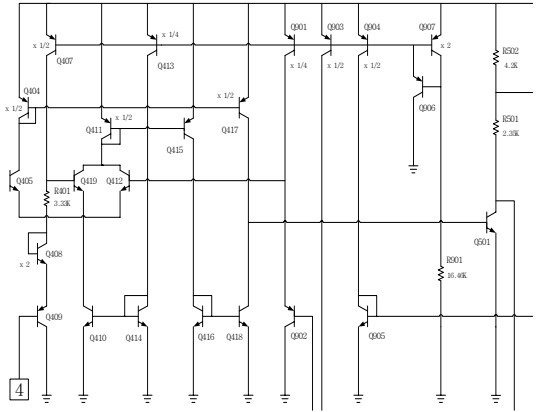


그림 6. 비교기 회로도
Fig. 6. Comparator Circuit

비교기의 회로는 그림 6에 제시하였고, 이 회로의 동작원리에 대해 블록별로 기술하겠다. 먼저 PWM IC 전체에 전류를 공급 해주기 위한 전류원이 Q904~Q907까지의 트랜지스터와 Q901의 저항 (16.76k Ω) 로 구성된다. 구조는 기본적인 전류원에 Q906을 첨가함으로써 출력 저항에 대한 영향을 최소화 하면서 전류원의 출력전압을 최소화 할 수 있었다. Q904의 컬렉터 전류를 식(2)와 같이 구할 수 있고, 이를 통해 베이스-컬렉터를 tie하여 만든 기본적인 전류원의 β 항이 $\beta(\beta + 1)$ 로 증가하여, 앞에서 언급했던 같이 온저항 값의 증가 없이 전류의 정확성이 높은 특성을 얻을 수 있었다.[1]

$$I_{out} = I_{C904} = \frac{I_{REF}}{1 + \frac{2}{\beta(\beta + 1)}} \approx I_{REF} \left(1 - \frac{2}{\beta(\beta + 1)}\right) \quad \text{식(2)}$$

비교기 부분은 앞에서 언급했듯이 두 개의 단으로 구성되어 있다. 먼저, 첫 번째 단인 차동증폭기의 구성을 보면, Q405, Q419, Q412 3개의 트랜지스터가 공통 에미터를 구성을 가지고, 각각 삼각파, DTC (Dead Time Control), 오차증폭기의 출력의 3가지 입력이 인가 되어있다. DTC와 error amp.의 출력은 하나의 컬렉터로 묶어서 or 기능을 수행하게 되어있고, or 기능을 통해 나온 출력은 Q114로부터 Q418의 컬렉터단에 미러링되고 Q405의 출력은 Q417의 컬렉터단에 미러링되어, 이 두 가지 미러링된 출력이 합쳐져 두번째 단에 인가된다. 두 번째 단은 공통 에미터의 구성을

가지는데, 캡렉터단의 저항을 6.55KΩ 으로 크게 결정하여, 출력 전류에 의한 정확한, low 와 high level을 가질 수 있도록 설계하였다.

비교기의 시뮬레이션은 DTC(그림 6.dml 4번 Pin)는 그라운드로 설정하고, 삼각파 발생회로를 통한 삼각파와 오차증폭기 두 가지 신호에 대한 비교를 수행하였다. 그림 8의 시뮬레이션 결과를 나타내었고, 이를 통해 오차 증폭기의 출력에 따라 duty cycle이 변화하는 것을 알 수 있었다. 이 duty cycle의 변화에 의해 파워 스위치가 온, 오프 동작을 하여, SMPS의 동작을 가능케 한다. 또, Swing 폭이 0~5V까지 Rail to Rail swing을 하여, 파워 스위치인 LDMOSFET의 게이트 전압의 최대화로 인해 온 저항을 최소화, 파워 스위치의 스위칭 스피드가 최대화 될 것을 예상할 수 있다.[4]

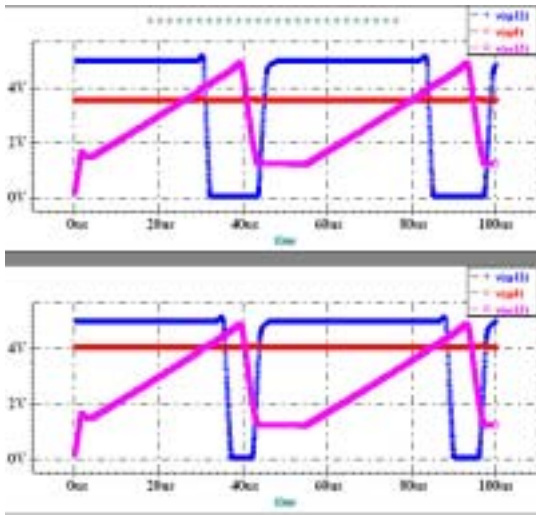


그림 7. 비교기의 시뮬레이션 결과
Fig. 7. simulation result of Comparator

3.4 오차 증폭기 설계

오차 증폭기는 SMPS의 출력단의 전압이 전압 분배를 통해 나온 전압과 기준전압 (5V)을 비교 하여, 그 오차가 증폭되는 형태로 동작한다. 오차증폭기는 부귀환을에 의해 오차 증폭기의 입력저항이 R_m , 피드백 저항이 R_f 라 하면, 입력이 기준전압 보다 낮은 경우 출력은 $-R_f/R_m$ 으로 증가하게 되고, 입력이 기준전압 보다 큰 경우 $-R_f/R_m$ 로 감소하는 동작을 한다.

본 과제에서 설계한 오차 증폭기의 입력단과 증폭단 회로는 그림. 8과 같고, 크게 입력단, 증폭단 2단으로 구성되어 있다.

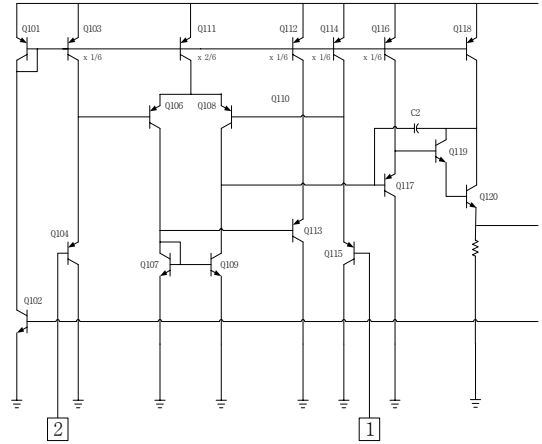


그림. 8 오차 증폭기의 회로도
Fig. 8. Error Amplifier Circuit

입력단 (Q104,Q105,Q106,Q115) 은 pnp cascade 구성으로 되어있고, 입력 CMR(Common Mode Range)를 크게 하여 넓은 전압 범위에서 입력 값을 받기 위해 15V 공급 전압을 사용하였다. 첫 번째 단은 pnp 로 차동 증폭기가 구성하였는데, 이는 높은 입력저항($\approx 2M\Omega$)를 얻기 위함이고, [2] 에미터 폴로워 구조에서 밀러 캐패시터가 존재 하지 않는 점을 이용하여, 아주 좋은 high frequency 응답을 얻을 수 있는 cascade 구성방법을 사용하였다. 두 번째 단은 큰 이득을 얻기 위해 달링턴 구조를 이용하였다. 오차증폭기의 설계에서 큰 dc gain과 원하는 주파수 대역보다 큰 unity gain frequency는 필수적으로 고려되어야 하며, 이 두 가지 요소를 만족하기 위해 앞서 말했던, pnp, cascade, Darlington 구조들을 사용했다.

위 두 가지 요소와 마찬가지로 적절한 위상 여유도 반드시 고려해야하며, 위상 여유는 식(3)~식(4)를 통해 구할 수 있다.

$$A(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{A_v(s)}{1 + FA_v(s)} \quad \text{식 (3)}$$

$$PM = 180 - |arg(A_v(j\omega_0))| \quad \text{식 (4)}$$

외부의 캐피터 성분 등을 고려하면 60°이상의 위상 여유 확보가 필요하며, 이런 위상 여유는 캐패시

터 보상기법을 이용하여 얻을 수 있다. 본 과제에서 설계한 오차증폭기에 2nF 용량을 가지는 보상 캐패시터를 연결하여, 76°의 PM을 얻을 수 있었고, DC gain은 65.7 dB, unity gain frequency는 189Khz를 가졌다. 그림 9. 은 오차 증폭기의 AC 시뮬레이션 결과이다.

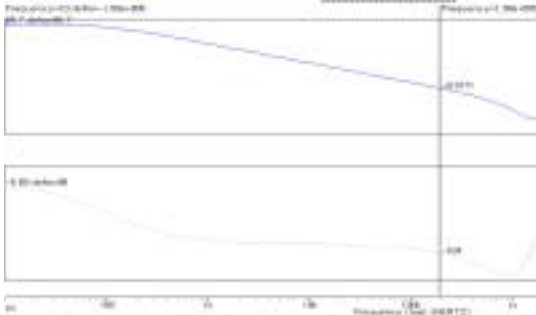


그림 9. 오차증폭기의 AC 시뮬레이션 결과
Fig. 9 AC simulation result of error amplifier

IV. LDMOSFET 소자 설계

n-LDMOSFET은 ISE TCAD를 이용해 SOI n-LDMOSFET의 농도 조절, 드리프트 길이에 변화에 따른 시뮬레이션을 수행하였고, 수행 결과 오프 상태에서 300V 이상의 항복전압을 얻을 수 있었다. 항복 전압 현상은 드레인의 고전계가 걸렸을 경우 LDMOS 내의 여러 가지 pn 접합부분의 전계 집중에 의해 나타나며, 낮게 도핑된 드리프트 영역의 길이나 농도 등 다양한 요소에 영향을 받는다.[3] 그림 10. 은 본 연구에서 설계한 SOI n-LDMOSFET Doping Profile 이고, 그림 12. 그림 13.은 설계한 소자 시뮬레이션 결과이다. 시뮬레이션 결과를 통해 오프상태에서의 항복전압은 약 350V 정도, 온저항은 약 $61.8m\Omega \cdot cm^2$ 이며, 300V급 파워 스위칭 소자로서 만족할 만한 결과를 보여 주고 있다.

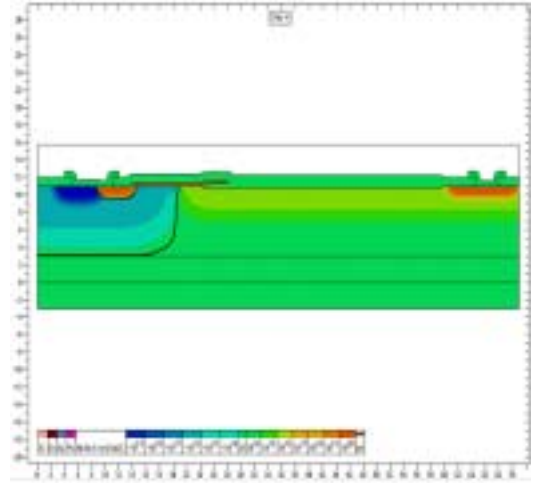


그림 10. 설계된 n-LDMOSFET의 단면도
Fig. 10. cross section of designed n-LDMOSFET

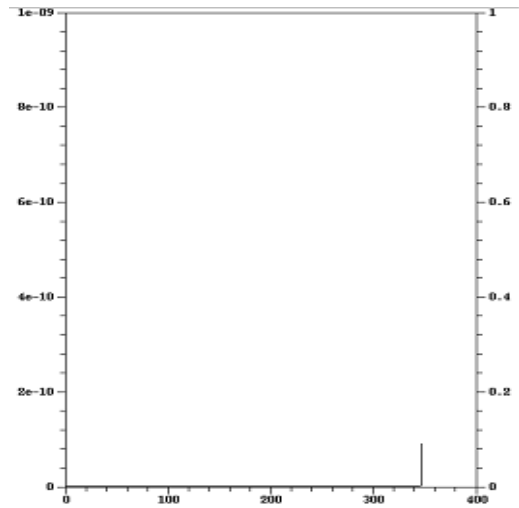


그림 11. 오프 상태에서의 n-LDMOSFET 시뮬레이션 결과
Fig. 11. simulation result of n-LDMOSFET (Vgs=0V)

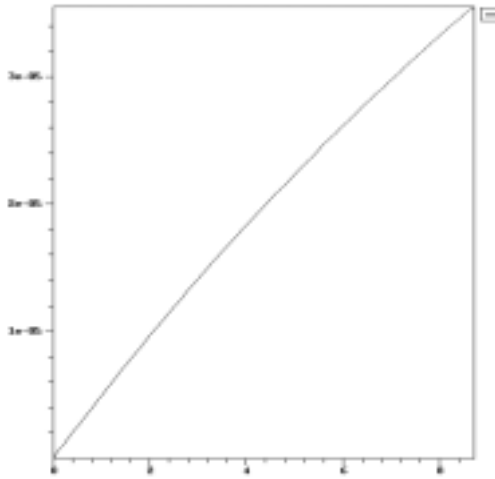


그림 12. n-LDMOSFET의 온저항
Fig. 12. on-resistance of n-LDMOSFET

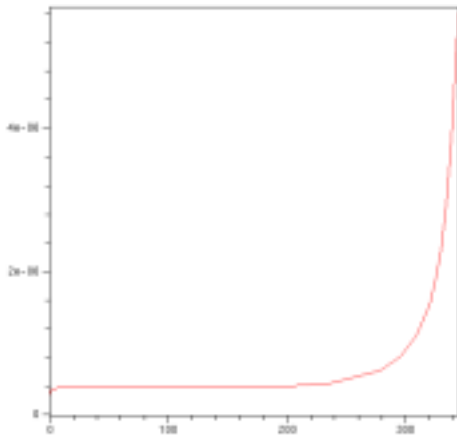


그림 13. 온 상태에서의 n-LDMOSFET 시뮬레이션
결과

Fig. 13. simulation result of n-LDMOSFET
($V_{gs}=1.5V$)
V. Layout

layout은 2um 디자인 룰을 설정하여, PNP(lateral, vertical), NPN(vertical), n-LDMOSFET을 layout을 하였고, n-LDMOSFET은 소자의 모서리부분에서의 전계 집중 현상을 줄이기 위해 race-track형으로 설계

하였다. 그림 12에는 race-track형 n-LDMOSFET layout을, 그림 13.은 전력소자가 내장된 PWM IC의 전체 layout을 나타내었다.

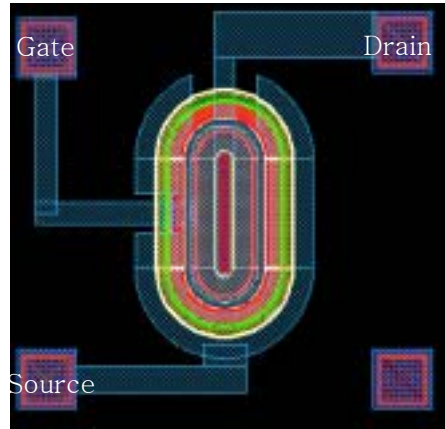


그림 14. race-track형 n-LDMOSFET layout
Fig. 14. layout of race-track n-LDMOSFET

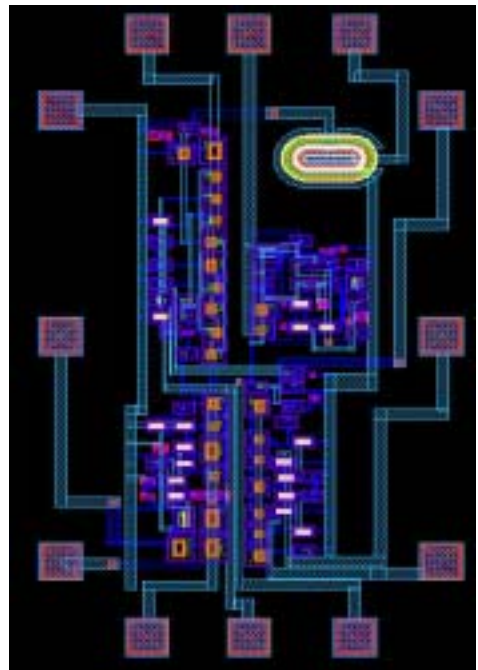


그림 15. SMPS용 전력소자가 내장된 PWM IC
의 layout
Fig. 15. layout of PWM IC with power switch

VI. 결론

본 연구에서는 Bi-DMOS 기술을 이용하여 고내압 스위칭 전력소자 내장형 one-chip을 위한 PWM IC 설계를 구현하였다.

즉, Smart Power ICs 기술을 이용하여 고내압을 갖는 파워 소자와 PWM IC (제어부) 의 One-Chip 화를 실현하기 위해 PWM IC 블록별(삼각파 발생회로, 오차증폭기, 기준전압회로, 비교기) 바이폴라 회로 시뮬레이션, n-LDMOSFET 의 소자 설계 및 시뮬레이션, 디자인 룰을 설정을 하여 One-Chip IC의 layout 까지 수행하였다. 먼저 PWM IC 회로 설계 에서는 삼각파 발생회로 경우, 외부 저항과 캐패시터를 이용해서 발진 주파수(20K), output swing 폭(3.5V)을 갖는 삼각파를 발생하게 하였고, 비교기는 2단으로 구성하였다. 오차 증폭기의 경우, 높은 dc gain($\approx 65.7\text{db}$), 적절한 위상 여유(≈ 76),unity frequency($\approx 189\text{Khz}$)를 가지면서 높은 입력저항을 갖도록 설계하였다. 마지막으로 스위칭 파워소자는 SOI 기판을 사용하고, 확장 드레인 영역의 길이와 농도를 적절히 조정, 350V급 내압을 갖는 n-LDMOSFET을 설계 하였다.

최종적으로, layout은 각 소자 에 대한 디자인 룰(2um 설계 룰)을 설정하였고, Bi-DMOS 공정 기술을 바탕으로 PWM IC 회로와 n-LDMOSFET one-chip IC를 설계하였다.

감사의 글

본 연구는 정보통신부의 출연금 등으로 수행한 2003년도 IT SoC 핵심 설계 인력양성 사업의 수행결과입니다.

Reference

- [1] David A.Johns, and Ken Martin, " Analog Integrated Circuit Design,"John Wiley & Sons, Inc, pp317-321,1997
- [2] Gray, Hurst, Lewis, Meyer, "Analysis and design of analog integrated circuits" ohn Wiley & Sons, Inc, pp. 299-327
- [3] Tae Moon Roh, et al. "high-voltage SOI Power

IC Technology with non-RESURF n-LDMOSFET and RESURF p-LDMOSFET for PDP Scan-Driver Applications," Journal of the Kore Physical Society, Vol. 37, No, 6. December 2000, pp. 889-892

[4] R.Jacob Baker, Harry W,Li, David E. Boyce " CMOS circuit design, layout, and simulation ' IEEE Press Series on Microelectronic systems

저 자 소 개

任 東 柱 (正 會 員)



2003년 서경대학교 전자공학과 학사
2003년 ~ 현재: 서경대학교 석사과정
주관심분야 : Smart Power IC, ESD Protection Circuit

具 用 書 (正 會 員)

전기전자학회논문지 (Journal of IKEEE) Vol. 7, No.1 참조.