

IMT-2000 통신시스템에서의 라운딩을 이용한 저전력 디지털 정합필터의 설계

A Design of Low Power Digital Matched Filter using Rounding for IMT-2000 Communication Systems

朴基鉉*, 何眞石*, 南基勳*, 李光燁*, 車載祥**

Ki-Hyun Park*, Jin-Suk Ha*, Ki-hun Nam*, Kwang-Youb Lee*, Jae-Sang Cha*

요 약

본 논문은 WCDMA와 같은 IMT-2000 통신 시스템에서 핵심적으로 사용되고 있는 디지털 정합 필터(Digital Matched Filter)의 최적화된 구조를 제안한다. 제안된 구조는 256칩 Hierarchical Golay sequence를 이용한 기존의 부분 상관 구조를 바탕으로 하는 디지털 정합 필터에 비하여 소비전력과 회로면적을 최소화 하고 효율적인 초기동기 채널의 포착을 이루도록 한다.

기존의 부분 상관형 디지털 정합 필터는 부분 상관 구조를 적용하지 않은 디지털 정합 필터보다 상관 연산기의 크기가 감소하나 플립플롭의 크기가 그 이상으로 증가하는 역효과가 발생한다. 본 논문에서는 라운딩 스텝 기법을 적용하여 플립플롭의 크기를 감소시킨 부분 상관형 디지털 정합 필터를 제안하며, 제안된 구조는 기존의 방법에 비하여 면적 및 소비전력이 45%이상 감소한다. 제안된 구조는 Xilinx FPGA를 이용하여 검증하였다.

Abstract

For wide-band spread spectrum communication systems such as IMT-2000, a digital matched filter is a key device for rapid spreading code synchronization. Although a digital matched filter can be implemented easily, large power consumption at the higher chip rate and large summation delay of longer chip length are the bottleneck of practical use. In this paper, we propose a optimized partial correlation digital matched filter structure which can be constructed of the so-called generalized hierarchical Golay sequence. a partial correlation structure can reduce the number of correlators, but enlarge the size of flip-flops. In this paper, The proposed approach focuses on efficient circuit size, power dissipation, maintaining the operating throughput. A proposed digital matched filter reduce the size of flip-flops by rounding method. and it reduces about 45 percentages of power dissipation and chip area as compared with digital matched filter which is not rounded. rounding. The proposed architecture was verified by using Xilinx FPGA.

* 西京大學校 컴퓨터工學科

(Depart. of Computer Engineering, Seokyeong Univ.)

* 西京大學校 情報通信工學科

(Depart. of Information and Communication Engineering, Seokyeong Univ.)

接受日:2004年 6月 1日, 修正完了日:2004年 7月 5日

* 교신 저자 (Correspondence author)

1. 서 론

SS(Spread Spectrum) 및 CDMA(Code Division Multiple Access) 통신 시스템은 확산코드 기반의 변복조 및 다중접속기술이다. SS기술은 본래 60년대에 군용 레이더 및 통신기술로 개발되었으나 최근에는 2.4GHz대역의 IEEE802.11 무선 LAN의 핵심기술로 활

용이 되고 있으며, 그 외의 다양한 분야에서 활용되고 있다. 특히 SS 기반의 다중접속기술인 CDMA기술은, 이동통신기술로 발전하여 1990년대 초에 세계최초로 한국에서 2세대 이동통신 시스템이 상용화되었으며, 그 이후 3세대 이동통신시스템인 IMT-2000시스템으로 발전되어가면서 현재까지도 기술개발이 꾸준히 진행되고 있다.

IMT-2000 통신시스템에서는 사용자간 간섭이 없는 효율적인 통신시스템의 구현을 위해서 자기 상관 함수와 상호 상관 함수 특성이 양호한 확산코드를 선택하고 이들의 상관특성을 추출하는 기술이 무엇보다 중요하다고 할 수 있다. 확산코드의 상관특성을 효율적으로 검출하기 위한 핵심 신호 모듈로서는 정합 필터(Matched Filter)가 존재한다. 이러한 정합필터는 확산 변조된 신호를 입력신호로 받아서, 이를 상관조작을 통해 역 확산시킨 후 데이터를 복조하기 위한 필수요소인 상관 함수 값을 출력해주는 역할을 한다. 그러므로 IMT-2000 통신 시스템의 핵심적인 복조기를 구현하기 위해서는 효율적인 정합필터의 개발이 무엇보다 중요하며, 복조기 칩의 구현측면에서는 소형의 저 소비전력 특성을 갖는 설계기술의 제시가 필수적이라고 할 수 있다[1]. 이러한 필요성에 근거하여, 본 논문에서는 기존의 단순 슬라이딩 구조의 정합필터의 설계 방식을 탈피하고, 특정 확산코드가 갖는 부분블록화 특성을 활용하여, 저 소비 전력 및 소형 사이즈의 칩 설계 알고리즘을 제안한다. 즉, 정합필터의 전체 상관 처리 과정에 부분블록특성을 반영하고 이를 라운딩 처리의 과정을 거침으로써 정합필터 회로의 전체 면적과 소비전력을 저감시키는 디지털 정합필터의 설계기법을 제안하고 그 성능을 링크레벨 시뮬레이터와 FPGA (iPROVE)를 통해 검증하고자 한다.

본 논문의 II절에서는 본 논문에서 적용된 부분 상관형 정합 필터 알고리즘에 대하여 설명하고, III절에서는 본 논문에서 제안된 부분 상관형 정합필터의 성능 분석 및 검증을 행하고 IV절에서 결론을 맺기로 하겠다.

II. 부분 상관형 디지털 정합 필터

2.1 셀 탐색

WCDMA와 같은 IMT-2000시스템에서는 GPS(global positioning system)을 이용한 기지국간 동기화의 필요성은 없으나, 단말기에서는 기지국을 확인하기 위해 고유의 스크램블링 코드를 사용한 동기화가 필요하다. WCDMA의 특성상 프레임의 경계를 발견하고 스크램블링 코드를 확인하는 것은 어렵다. 그러므로 셀 탐색을 용이하게 하기위해 기지국은 초기동기 채널(Primary SCH)과 부동기 채널(Secondary SCH)를 내보낸다.

이 중 초기동기 채널은 각 슬롯에서 반복되어지고 슬롯의 경계를 발견하는데 사용된다. 더욱이 모든 기지국들은 같은 초기동기 채널을 사용하기 때문에 수신된 다운링크 신호에서 슬롯의 경계를 발견하는 것은 수신된 신호들과 초기동기 채널을 상관한 값의 정점을 탐색하는 것을 의미한다.

2.2 부분 상관 구조

셀 탐색 과정에서 디지털 정합 필터는 동기화 코드와 수신된 다운링크 신호들을 상관에 의한 계산을 한다. 초기동기 채널의 길이가 256개이면 디지털 정합 필터는 256탭을 가지며 256개의 승산기, 256개의 가산기, 그리고 256 탭의 길이를 가지는 쉬프트 레지스터로 구성된다[2].

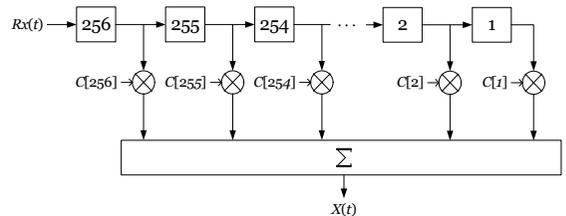


그림 1. 기존의 디지털 정합 필터의 블록도

Fig. 1. Block diagram of Conventional Digital Matched Filter

그림 1은 기존 디지털 정합 필터의 블록도이다. 디지털 정합 필터에 의해 계산되어진 시간 t에서의 상관

값을 $X(t)$ 라 하면,

$$X(t) = \sum_{i=0}^{255} (Rx(t-i) \times C_{PSC}(i)) \quad (1)$$

와 같이 표현한다. 여기서

$C_{PSC}(i) (i=0, 1, \dots, 255)$ 는 초기동기 코드의

± 1 인 i 번째 값이고 $Rx(t)$ 는 시간 t 에 수신된 신호이다.

WCDMA에서 사용되는 디지털 정합 필터는 hierarchical Golay sequence로 구성될 수 있는 초기동기 채널의 특성에 따라 2개의 부분으로 나눌 수 있다 [3]. $C_{PSC}(i)$ 는 초기동기 코드로써 정합 필터의 연산량을 줄일 수 있도록 설계되었는데 다음과 같은 두 요소 코드로부터 생성된다.

$$C_1 = \langle 1, 1, 1, -1, -1, 1, -1, -1, 1, 1, 1, -1, 1, -1, 1, 1 \rangle \quad (2)$$

$$C_2 = \langle 1, 1, 1, 1, 1, 1, -1, -1, 1, -1, 1, -1, -1, 1, 1, 1 \rangle \quad (3)$$

C_1 과 C_2 를 사용하여 원래의 $C_{PSC}(i)$ 는 다음의 식과 같이 변형된다.

$$C_{PSC}(i) = C_1(i \bmod 16) \times C_2(\lfloor i/16 \rfloor) \quad (4)$$

따라서 식(1)은 다음과 같이 바뀐다.

$$X(t) = \sum_{i=0}^{15} (C_2(i) \times x(t-i \times 16)) \quad (5)$$

$$x(t) = \sum_{j=0}^{15} (C_1(j) \times Rx(t-j)) \quad (6)$$

식(5)와 (6)은 같은 형식으로 표현되어질 수 있기 때문에 디지털 정합 필터는 부분 상관 구조로 설계되어질 수 있다[4].

2.3 부분 상관형 디지털 정합 필터

위의 식에서 $x(t)$ 는 16 사이클마다 반복되어진다. 예를 들어 $t = t_1$ 이고 $t = t_1 + 16$ 일 때 상관 값은 다음과 같다.

$$X(t_1) = \sum_{i=0}^{15} (C_2(i) \times x(t-i \times 16)) \quad (7)$$

$$\begin{aligned} X(t_1 + 16) &= \sum_{i=0}^{15} (C_2(i) \times x(t_1 + 16 - i \times 16)) \\ &= \sum_{i=-1}^{14} (C_2(i+1) \times x(t_1 - i \times 16)) \end{aligned} \quad (8)$$

식(7)과 (8)에서 보면 시간 t_1 에서 계산된 $x(t_1), \dots, x(t_1 - 16 \times 14)$ 은 $t_1 + 16$ 에서 재사용되어질 수 있다.

$x(t)$ 를 재사용함으로써 상관 값은 모든 사이클에 대해서 전체적으로 계산하지 않고 결정되어질 수 있다. 그림 2는 부분 상관 값들을 재사용함으로써 얻어진 부분 상관형 디지털 정합 필터의 블록도를 나타낸다[5]. 그림 2에서 나타낸 것처럼 첫 단계에서 $x(t)$ 는 쉬프트 레지스터에 저장된 $Rx(t-i)$ 으로부터 계산되어진다. 두 번째 단계에서는 상관 값 $X(t)$ 가 쉬프트 레지스터에 저장된 $x(t-i) (i=0, 1, \dots, 15)$ 으로부터 계산되어진다. 따라서 이 부분 상관 구조의 디지털 정합 필터는 가산기와 승산기로 구성된 상관 연산기의 수가 감소한다. 승산기는 기존 구조에서의 256개에서 32개로 감소하며, 그림 3과 같이 가산기는 트리구조로 구성되어 기존 구조에서는 8단계로 나누어져 255개로 구성되지만, 부분상관구조에서는 4단계로 나뉜 2개의 가산기로 구성되어 30개로 감소하게 된다. 하지만 첫 단계에서의 $x(t)$ 는 상관 연산이 되어 나오면서 상관 값의 크기가 커지고 두 번째 단계의 쉬프트 레지스터에까지 영향을 미치게 된다. 따라서 $x(t)$ 이 $Rx(t-i)$ 의 크기보다 4비트가 증가되어 총 레지스터의 수는 기존 구조의 1024개에서 1984개로 증가하게 된다. 회로의 면적과 전력소모의 많은 부분을 레지스터가 차지하기 때문에 상관 연산기에 의한 감소분보다 레지스터에 의한 증가분에 의해 전체적인 전력소모 및 면적이 증가하는 역효과가 발생한다.

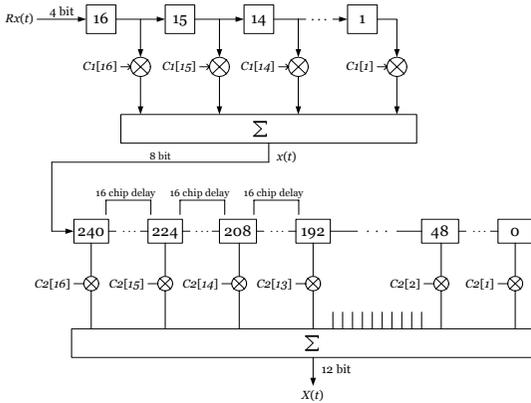


그림 2. 부분 상관 디지털 정합 필터의 블록도
Fig. 2. Block diagram of Partial correlation Digital Matched Filter

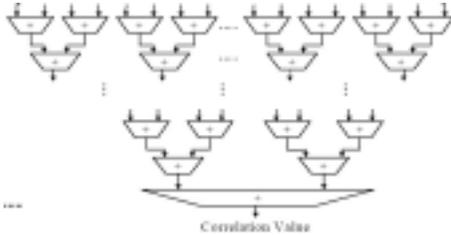


그림 3. 트리구조 가산기의 블록도
Fig. 3. Block diagram for a adder of tree architecture

III. 부분 상관형 디지털 정합 필터의 비교와 설계 및 검증

3.1 부분상관필터출력의 최적 라운딩스텝 도출

그림 2에서 볼 수 있듯이 디지털 정합 필터는 부분 상관구조로 전체상관기의 구현이 가능해 짐에 따라, 전체 상관 연산기의 수가 크게 감소하게 된다. 단, 부분 상관형 정합필터의 출력 값을 단순히 지연소자로 지연시킬 경우, 큰 출력 값에 대한 지연동작을 수행하게 하는 쉬프트 레지스터수가 오히려 증가하여 저전력과 저면적의 개념에 역행하는 문제가 발생할 수 있다.

그러므로 본 논문에서는 부분상관출력 $x(t)$ 을 단순히 지연시키는 방식의 문제점을 극복하기 위한 해결 방안으로서, $x(t)$ 의 비트 수를 라운딩 기법을 적용하여 최적화하고 전송하는 기법을 제안한다. 즉, 정합 필터의 성능을 유지하면서 $x(t)$ 의 결과 값을 라운딩 후에 최적화된 값을 도출한 후 이를 반영한 정합필터의 설계를 행함으로써, 저소비전력화 및 소형면적을 차지하는 IMT-2000시스템용 정합필터를 구현한다. 또한 본 논문에서는 새롭게 제시한 라운딩 기법 기반의 부분 상관형 정합필터를 최적으로 구현하기 위한 알고리즘의 도출을 위하여, 디지털 정합 필터의 상관 값의 오차를 최소화하면서도 회로 면적과 전력 소모를 성취하기 위한 최적의 라운딩 스텝의 도출을 위하여 MATLAB를 이용한 상관특성의 모의실험을 통한 수치분석을 행하였다[6].

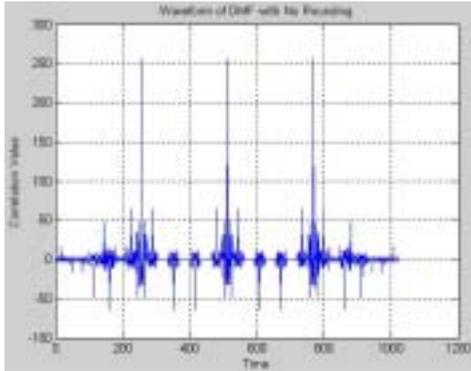
그림 4는 라운딩 스텝의 변화에 따른 상관 값을 나타낸다. 라운딩 스텝은 4, 8, 16이며 라운딩을 적용하지 않았을 때 이상적인 상관전력을 가지게 된다. 라운딩 스텝을 적용한 상관 출력값의 전력상관계수 (p :Power Correlation Coefficient)를 측정함으로써 상관도를 확인하였다. 전력상관계수는

$$p = \frac{\sum_{i=1}^k X_i^2(t)}{\sum_{i=1}^k X_N^2(t)} \quad (i=1,4,8,16) \quad (9)$$

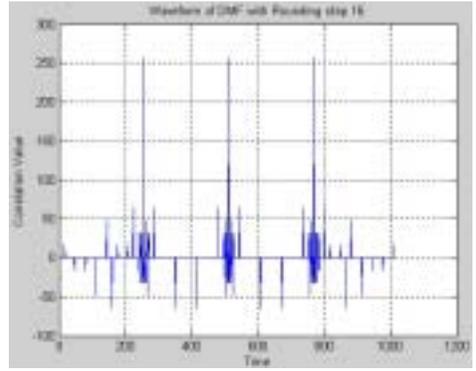
와 같이 정의하며, k 는 정합필터의 탭 수를 나타내고, $X_N^2(t)$ 는 라운딩을 하지 않은 경우의 이상적인 상관 전력이고, $X_i^2(t)$ 는 라운딩 스텝 i 에 따른 상관전력을 나타낸다.

표 1. 라운딩 스텝에 따른 전력상관계수
Table 1. Power-correlation coefficients with Rounding step

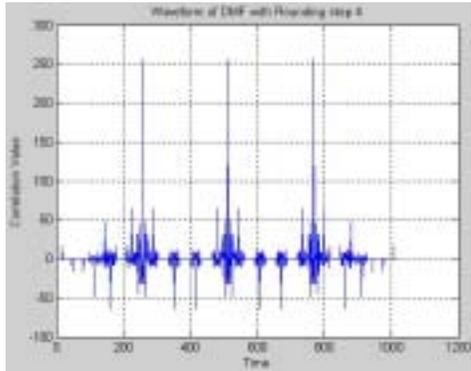
라운딩 스텝	전력상관계수
라운딩 미적용	1
4	0.9471
8	0.9179
16	0.8706



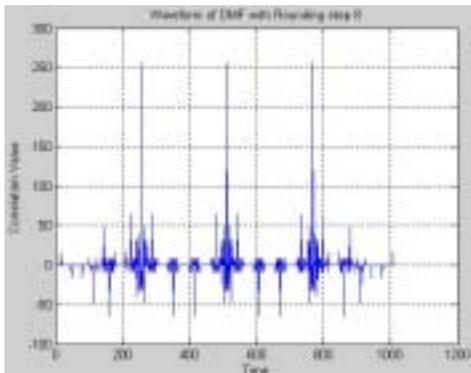
(a) 라운딩 미적용
(a) No Rounding



(d) 라운딩 스텝 '16'
(d) Rounding step '16'



(b) 라운딩 스텝 '4'
(b) Rounding step '4'



(c) 라운딩 스텝 '8'
(c) Rounding step '8'

그림 4. 라운딩 스텝에 따른 상관 값
Fig. 4. Correlation values with Rounding

전력상관계수를 1에 가까울수록 이상적인 상관출력과 더욱 유사한 출력을 갖게 된다. 본 논문에서는 전력상관계수가 약 0.9정도일 때를 타겟으로 하였다. 표 1은 각 라운딩 스텝에 따른 전력상관계수를 나타낸다.

표 2. 라운딩 스텝에 따른 면적 및 소비 전력
Table 2. Areas and Power dissipations with Rounding step

라운딩 스텝	Xilinx FPGA 사용면적			전력(mW)
	Slice	플립플롭	면적 비율	
라운딩미적용	1294	2112	9	42.07
4	984	1600	7	36.65
8	828	1344	6	33.56
16	676	1088	5	24.34

비교 대상인 라운딩 스텝에 따른 부분 상관 디지털 정합 필터는 모두 같은 구조를 가지기 때문에 면적이 작아질수록 전력 소모 또한 줄어들게 된다. 표 2는 FPGA(XCV1000E)를 타겟으로한 각 라운딩 스텝을 적용했을 때 측정된 면적과 소비전력을 나타낸다. 소비 전력은 Xilinx사의 XPower를 이용하여 추출하였다.

이상적인 상관출력에 대한 성능 면에서 거의 차이가 없도록 전력상관계수가 유사하고 저전력과 저면적의 개선을 이루는 최적 라운딩 스텝을 도출하기 위해 전력면적 값을 계산한다.

$$D_{COEF} = Area \times Power \quad (10)$$

D_{COEF} 는 전력면적 값이고 $Area$ 는 회로의 면적이며 $Power$ 는 소모하는 전력을 나타낸다. 그리고 이 전력면적 값은 적을수록 좋은 효율을 나타낸다. 표 3은 각 라운딩 스텝에 대한 전력면적 값을 나타낸다. 따라서 전력상관계수와 전력면적 값을 이용하여 도출한 최적 라운딩 스텝은 '16'이며, 최적의 라운딩 스텝인 '16'을 적용한 부분 상관 디지털 정합 필터가 라운딩을 적용하지 않은 정합필터와 성능이 동등하면서 전력 소모 및 전력 면에서 45%이상 감소하였음을 확인하였다.

표 3. 라운딩 스텝에 따른 일반적인 전력면적값
Table 3. Power-Area values with Rounding step

라운딩 스텝	전력면적값
라운딩 미적용	378.63
4	256.55
8	201.36
16	121.7

3.2 회로의 구현 및 검증

본 논문에서 최적의 라운딩 스텝을 적용한 부분 상관 디지털 정합 필터를 제안하였으며 FPGA를 이용하여 구현 및 검증을 하였다. 그림 5는 부분 상관 디지털 정합 필터의 검증 환경이며 Dynalith사의 PCI 기반 FPGA (iPROVE-XCV1000E)를 사용하였다. FPGA에는 부분 상관 디지털 정합 필터가 구현되어 있으며 테스트 입력 패턴을 입력받아 상관 값을 출력한다. 여기서 테스트 입력 패턴은 PN 코드 발생기와 잡음 발생기를 이용하여 다운링크의 셀 탐색용 확산 신호를 주기적으로 생성하여 구현하였다. 구현된 회로 상에서의 선명한 자기상관파형은 MFC GUI를 통해 확인하였다. 그림 6은 MFC GUI기반의 테스트 시스템을 나타낸다.

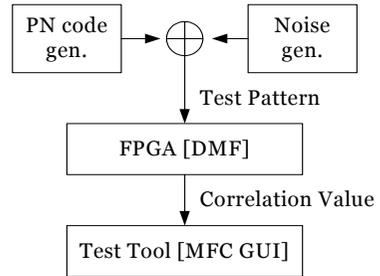


그림 5. 제안된 부분 상관 디지털 정합회로의 검증환경
Fig. 5. A verification environment of proposed partial correlation digital matched filter



그림 6. MFC GUI 기반의 테스트 시스템
Fig. 6. The test system based on a MFC GUI

IV. 결론

본 논문에서는 IMT-2000시스템에서 이용되는 Hierarchical Golay sequence에 대한 정합필터를 구현하기 위해, 부분 상관구조와 지연소자 형태에 라운딩 기법을 적용한 새로운 설계기법을 제안하고 FPGA를 이용한 디지털 하드웨어로 구현 및 성능을 분석함으로써 그 유용성을 확인하였다. 본 연구에서 새롭게 제안한 부분 상관 디지털 정합 필터는 2단계의 부분 상관 구조로 구성되어 전체 연산 과정의 저감효과를 가짐과

동시에, 연산된 중간 상관 값에 대하여 라운딩 기법이 반영된 최적의 라운딩 스텝이 적용됨으로써 저면적과 저 소비전력측면에서 45% 이상의 개선효과를 확인할 수 있었다.

감사의 글

본 연구는 한국소프트웨어진흥원의 IT SoC 핵심설계 인력양성 사업의 수행결과입니다. 회로 구현에 IDEC 지원툴을 사용하였습니다.

참고 문헌

- [1] A. Wittneben, "Base station modulation diversity for digital SIMULCAST," Proc. IEEE VTC., pp. 505-511, May 1993.
- [2] S. Sriram, K. Brown, and A. Dabak, "Low-power correlator architecture for Wideband CDMA code acquisition," Signals, Systems, and Computers, Conference Record of the Thirty-Third Asilomar Conference on, Vol.1, pp. 125-129, 1999.
- [3] 3GPP TSG RAN WG1-554/99, "Generalised Hierarchical Golay Sequence for PSC With low complexity correlation using pruned efficient Golay correlators".
- [4] K. Togura, H. Nakase, K. Kubota, K. Masu, and K. Tsubouchi, "Low Power Current-Cut Switched-Current Matched Filter for CDMA," IEICE Trans. Electron., Vol. E84-C, NO.2 Feb 2001.
- [5] 문준, 이용환, "WCDMA 시스템에서 주파수 오차에 강인한 셀탐색 기법," 통신 정보 합동 학술대회(JCCI'02), 2002.
- [6] Igor S. Simić, Ericsson d.o.o, "Correlation Properties of W-CDMA Synchronisation Codes," Telfor2002, CS, Section 5.18, 200

저자 소개

李 光 燁(正會員)



1985년 8월 서강대학교 전자공학과 학사.
 1987년 8월 연세대학교 전자공학과 석사.
 1994년 2월 연세대학교 전자공학과 박사.
 1989~1995년 현대전자 선임연구원,

1995년~ 서경대학교 컴퓨터공학과 부교수.
 주관심분야 : 마이크로프로세서, 암호프로세서

朴 基 鉉(學生會員)



2003년 서경대학교 컴퓨터공학과 학사.
 2003년~현재 서경대학교 컴퓨터공학과 석사 과정.
 주관심분야 : 마이크로프로세서, SS/CDMA기반 무선전송 및 응용기술

河 進 石(學生會員)



2001년 서경대학교 컴퓨터공학과 학사.
 2003년 서경대학교 컴퓨터공학과 석사.
 2004년~ 서경대학교 컴퓨터공학과 박사 과정.

주관심분야 : ASIC, Network, 암호프로세서

南 基 勳(正會員)



1999년 서경대학교 컴퓨터공학과 학사.
 2001년 서경대학교 컴퓨터공학과 석사.
 2004년 서경대학교 컴퓨터공학과 박사 수료.
 2003년~ (주)버뮤다 정보기술 연구원.

주관심분야 : Embedded processor, SoC

車 載 祥(正會員)



1991년 성균관대학교 전기공학과 학사.
 1997년 성균관대학교 전기공학과 석사.
 2000년 東北大學校(日本) 전자공학과 박사.
 2000~2002년 ETRI 선임연구원.
 2002년~ 서경대학교

정보통신공학과 교수(전임강사).
 주관심분야 : SS/CDMA기반 무선전송 및 응용기술, 근거리 무선 LAN, 디지털TV전송기술