

정전기 보호용 소자의 AC 모델링에 관한 연구

A Study on AC Modeling of the ESD Protection Devices

최진영

Jin-Young Choi

요약

2차원 소자 시뮬레이터를 이용한 AC 해석 결과를 토대로 ESD 보호용 소자의 AC 등가회로 모델링을 시도한다. NMOS 보호용 트랜지스터의 AC 등가회로는 다소 복잡한 형태로 모델링되며, 이를 간단히 RC 직렬회로로 모델링할 경우 주파수 영역에 따라 오차가 크게 발생할 수 있음을 설명한다. 또한 사이리스터형 pnpn 보호용 소자의 등가회로는 간단히 RC 직렬회로로 모델링될 수 있음을 보인다.

추출한 등가회로를 이용한 회로 시뮬레이션에 근거하여, 주요 RF 회로의 하나인 LNA에 ESD 보호용 소자를 장착할 경우 보호용 소자의 기생성분이 LNA의 특성에 미치는 영향에 대해 조사해 본다. NMOS 보호용 트랜지스터를 단순히 커패시터 하나만으로 모델링할 경우 회로특성의 예측에 큰 오류가 발생할 수 있음을 설명한다. 또한 제시한 pnpn 보호용 소자를 사용할 경우 보호용 소자의 장착에 의한 LNA 회로의 특성 열화가 크게 감소될 수 있음을 확인한다.

Abstract

From the AC analysis results utilizing a two dimensional device simulator, the ac equivalent-circuit modeling of the ESD protection devices is executed. It is explained that the ac equivalent circuit of the NMOS protection transistor is modeled by a rather complicated form and that, depending on the frequency range, the error can be large if it is modeled by a simple RC serial circuit. It is also shown that the ac equivalent circuit of the thyristor-type pnpn protection device can be modeled by a simple RC serial circuit.

Based on the circuit simulations utilizing the extracted equivalent circuits, the effects of the parasitics in the protection device on the characteristics of LNA are examined when the LNA, which is one of the important RF circuits, is equipped with the protection device. It is explained that a large error can result in estimating the circuit characteristics if the NMOS protection transistor is modeled by a simple capacitor. It is also confirmed that the degradation of the LNA characteristics by incorporating the ESD protection device can be reduced a lot by adopting the suggested pnpn device.

Key Words: ESD, ac modeling, NMOS, thyristor, RF IC

1. 서론

근래의 RF IC 설계에서는 표준 CMOS 공정 기술을

홍익대학교 전자전기컴퓨터공학부
(School of Electrical, Electronic & Computer
Engineering, Hongik University)

接受日:2004年 5月 31日, 修正完了日:2004年 7月 13日

사용하려는 경향이 심화되고 있다. 그러나 CMOS 칩은 사용되는 게이트 산화막의 두께가 얇아 정전기 방전(ESD)과 관련된 문제에 취약하므로 입력 패드에 보호용 소자의 장착이 필수적이다. 과다한 방전전류에 의한 보호용 소자 자체의 열적 파괴를 방지하기 위해

* 이 논문은 2004학년도 홍익대학교 교내연구비에 의하여 지원되었음

서는 큰 폭의 소자 사용이 요구되며, 이러한 소자의 사용은 입력노드에 큰 기생 성분을 추가한다. 과도한 기생 커패시턴스의 추가는 RF 수신단의 저잡음증폭기(LNA)와 같은 회로에서는 매우 심각한 문제가 될 수 있음이 지적되고 있다[1].

추가되는 기생성분을 줄이기 위해 여러 가지 기술들이 제안되어 왔으며[1]-[4], 근래에는 표준 CMOS 공정에서 제작 가능한 싸이리스터형 pnpn 소자가 제안되고 그에 따른 기생 커패시턴스의 감소가 정량적으로 제시되기도 하였다[5]. 그러나 ESD 보호용 소자의 장착에 의해 추가되는 기생성분의 모델링에 관한 연구발표는 찾아보기 힘들며, 드물지만 이러한 기생성분이 RF 회로에 미치는 영향을 다룬 연구발표[1],[6],[7]에서도 기생성분을 단순히 커패시터로 모델링하고 있으나 그 적절성은 확인된 바 없다.

본 논문에서는, 2차원 소자 시뮬레이션을 이용하여 ESD 보호용 소자에 대한 AC 해석을 시도하고 그 결과로부터 보호용 소자의 AC 등가회로를 추출해 본다. 이러한 분석은 일반적으로 사용되고 있는 NMOS 트랜지스터와, 기생성분을 줄이기 위해 제안된 싸이리스터형 pnpn 소자에 대해 시행해 본다. 추출된 등가회로를 이용하여, 주요 RF 회로의 하나인 LNA에서 보호용 소자의 기생성분이 LNA의 특성에 미치는 영향을 조사해 본다. 이러한 과정을 거쳐 보호용 소자의 기생성분을 단순히 커패시터로 모델링하는 것이 적절치 않음을 지적한다.

II절에서는 설정한 ESD 보호용 NMOS 트랜지스터 및 pnpn 싸이리스터 구조에 대해 설명하고, 2차원 소자 시뮬레이터를 이용한 AC 해석 결과로부터 등가 모델의 추출에 이르는 절차 및 그 결과에 대해 논의한다. III절에서는 Bluetooth 응용을 가정하여 2.4GHz 주파수 대역에서의 LNA 회로 구조 및 설계방법에 대해 소개하고, 입력노드에 보호용 소자가 장착되었을 경우 시뮬레이션에 의한 회로 특성의 변화를 조사해 본다.

II. 보호용 소자의 AC 해석 및 등가회로 모델링

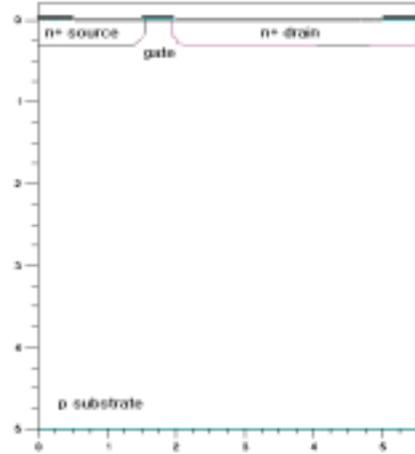


그림 1. ESD 보호용 NMOS 트랜지스터의 단면도
Fig. 1. Cross section of the NMOS ESD-protection transistor.

표 1. ESD 보호용 NMOS 트랜지스터의 주요 구조 파라미터

Table 1. Principal parameters of the NMOS ESD-protection transistor.

파라미터	값
유효채널길이	0.45 μm
게이트 산화막 두께	7.5nm
기관 및 채널 도핑	10 ¹⁶ /cm ³ , 10 ¹⁷ /cm ³
n ⁺ 드레인 접합 깊이, 길이	0.3 μm , 3.38 μm
n ⁺ 소스 접합 깊이, 길이	0.3 μm , 1.38 μm
게이트-드레인 콘택 간격	3 μm
게이트-소스 콘택 간격	1 μm

그림 1은 본 논문에서 설정한 ESD 보호용 NMOS 트랜지스터의 구조를 보여주고 있다. 이 소자는 그림의 비교적 깊은 접합이 의미하듯이 n⁺ 드레인과 소스에 ESD 이온주입을 시행한 일반적인 ESD 보호용 소

자를 대변한다. 게이트 쪽 드레인 접합에서의 격자온도 상승이 가장 심각하다는 점을 감안하여, 드레인 콘택 용융의 문제를 완화하기 위해 게이트와 드레인 콘택간 거리를 $3\mu\text{m}$ 로 비교적 크게 설정하였다. 하지만 이 간격도 최소한의 간격에 불과하다는 점을 주목하자 [8]. 이 소자를 보호용 소자로 사용할 시 입력노드에 추가되는 주된 커패시턴스는 드레인 pn 접합 커패시턴스이며, 이는 게이트와 드레인 콘택간 거리를 증가시킴에 따라 그 값이 증가한다. 표 1에는 주요 구조 파라미터들을 정리하였다. n^+ 확산영역은 $10^{20}/\text{cm}^3$ 의 피크 농도를 갖는 가우시안 분포를 가정하였다.

그림 1의 NMOS 트랜지스터를 RF IC의 입력 보호용 소자로 사용할 경우 게이트와 소스는 접지로 연결되고 드레인은 입력 패드에 연결된다[5]. 따라서 ATLAS[9] 2차원 소자 시뮬레이터를 이용한 AC 해석은 게이트, 소스 및 기판 노드가 함께 묶여 캐소드 역할을 하고 드레인 노드가 애노드 역할을 하도록 하고, 모든 노드의 DC 전압이 0V인 상태에서 애노드에 소신호 AC 전압을 인가함으로써 수행하였다. 그림 1의 바닥면 기판 노드에는 추가로 $10^{5\frac{1}{2}}\mu\text{m}$ 의 직렬 lumped 저항을 달아 시뮬레이션에 포함되지 않은 기판영역 부분의 저항이 고려되도록 하였다. 이 저항의 값은 실제적으로는 기판 접지용 p^+ 콘택의 수를 증가시켜 감소될 수 있음을 주목하자. 정전기 방전특성 면에서 보면 기판저항이 클수록 기생 횡방향 바이폴라 트랜지스터의 트리거가 용이해져 ESD 보호능력이 향상된다[5].

NMOS 소자를 사용할 경우 애노드/캐소드 간 커패시턴스는 드레인/기판 pn 접합의 커패시턴스가 주된 커패시턴스가 될 것으로 예상되나 게이트/드레인 오버랩 커패시턴스도 병렬로 존재한다는 사실로부터 그림 2와 같은 형태의 AC 등가회로로 소자를 표현할 수 있다. 그림 2에서 C_{JD} 는 드레인 접합 커패시턴스, R_{SUB} 는 기판 분포저항, C_{GD} 는 게이트-드레인 오버랩 커패시턴스, R_G 는 게이트 분포저항이다. R_P 는 드레인/기판 pn 접합의 누설전류에 기인하는 저항을 대변한다. 누설전류가 매우 작다면 그 값이 매우 크므로 R_P 는 무시될 수 있다. 그림 3에서 R_G 와 병렬로 게이트-소스 오버랩 커패시턴스 C_{GS} 가 존재하나 상대적으로 R_G 의 값이 매우 작으므로 C_{GS} 는 무시될 수 있다.

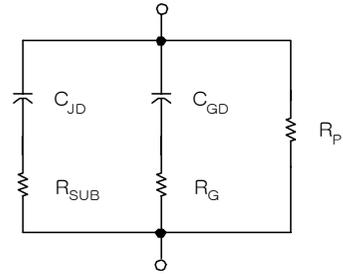


그림 2. 제안된 ESD 보호용 NMOS 트랜지스터의 AC 등가회로

Fig. 2. Suggested ac equivalent circuit of the NMOS ESD-protection transistor.

ATLAS 소자 시뮬레이터에서 AC 해석의 결과는 해당 소자의 등가회로를 R, C 병렬형태로 가정하여 컨덕턴스 G 값과 커패시턴스 C 값으로 주어진다[9]. 그러나 NMOS 트랜지스터의 AC 등가회로는 그림 2에 제시한 바와 같이 ATLAS에서 가정하는 형태와 다르다. 따라서 소자 시뮬레이션에 의한 G와 C 값은 주파수에 따라 변하게 되고, 각각 그림 3의 원과 세모 기호와 같이 나타난다. 여기에서의 G와 C 값은 소자 폭 $1\mu\text{m}$ 당 수치이다.

그림 2의 등가회로를 ATLAS에서 가정하는 R과 C의 병렬회로 형태로 변환할 경우의 해당 G와 C 식을 유도하고, 소자 시뮬레이션 결과와의 fitting을 위해 그림 2 등가회로의 모델 파라미터 값을 주파수와 무관하게 $C_{JD}=3.27\text{fF}/\mu\text{m}$, $R_{SUB}=100\text{k}\Omega/\mu\text{m}$, $C_{GD}=0.06\text{fF}/\mu\text{m}$, $R_G=1\text{k}\Omega/\mu\text{m}$, $R_P=6.94\times 10^8\Omega/\mu\text{m}$ 로 지정하여 계산한 G와 C 값(실선)을 그림 3에 함께 도시하였다. 설정한 주파수 영역에 대해 그림 2의 등가회로를 가정한 모델링 결과의 fitting 정도는 우수하다고 할 수 있다.

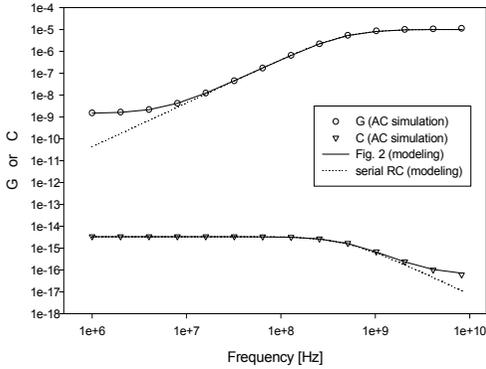


그림 3. 보호용 NMOS 트랜지스터의 소신호 G와 C 값: 직렬 lumped 저항값= $10^5 \Omega/\mu\text{m}$

Fig. 3. Small-signal G and C values of the NMOS protection transistor: serial lumped resistance= $10^5 \Omega/\mu\text{m}$.

그림 3에는 그림 2의 등가회로를 RC 직렬회로로 간략화 하고, 최적 fitting을 위해 $C=3.33\text{fF}/\mu\text{m}$ 와 $R=100\text{k}\Omega/\mu\text{m}$ 를 지정하여 계산한 G와 C 값(점선)도 함께 도시하였다. 간략화된 RC 직렬 등가회로로는 넓은 주파수 범위에 대해 적절한 fitting이 어려움을 알 수 있다. 추가의 시뮬레이션을 통해 낮은 주파수 대역에 대해서는 R_p 의 고려가 필요하며, 높은 주파수 대역에 대해서는 C_{GD} 의 고려가 필요함을 확인할 수 있었다.

그림 4는 그림 3과 동일하나 기판 콘택의 수를 늘려 기판저항을 감소시킨 경우에 대해 알아보기 위해 기판 노드에 연결되는 직렬 lumped 저항의 값을 1/10인 $10^4 \Omega/\mu\text{m}$ 으로 감소시켜 ATLAS AC 해석을 수행한 결과(기호)와, fitting을 위해 그림 2의 등가회로 모델 파라미터 중 R_{SUB} 값을 12k $\Omega/\mu\text{m}$ 로 하향 조정하여 계산한 모델링 결과(실선)의 비교 그래프이다. 이 경우에는도 fitting 정도는 우수하다고 할 수 있다.

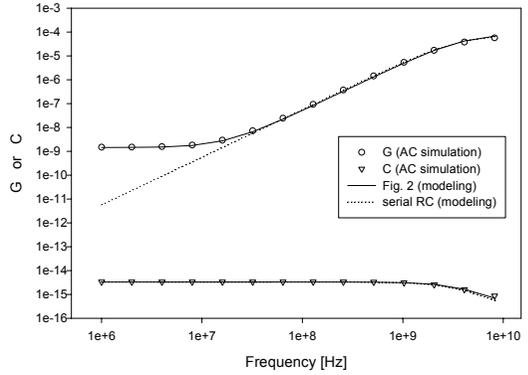


그림 4. 보호용 NMOS 트랜지스터의 소신호 G와 C 값: 직렬 lumped 저항값= $10^4 \Omega/\mu\text{m}$

Fig. 4. Small-signal G and C values of the NMOS protection transistor: serial lumped resistance= $10^4 \Omega/\mu\text{m}$.

그림 4에는 그림 2의 등가회로를 RC 직렬회로로 간략화하고 fitting을 위해 $C=3.33\text{fF}/\mu\text{m}$, $R=13\text{k}\Omega/\mu\text{m}$ 로 지정하여 계산한 모델링 결과(점선)도 함께 도시하였다. 간략화된 RC 직렬 등가회로로는 주로 낮은 주파수 대역에 대해 fitting이 어려우며 높은 주파수 대역에서도 주파수 증가에 따라 오차가 증가함을 알 수 있다. 역시 낮은 주파수 대역에 대해서는 R_p 의 고려가 필요하며, 높은 주파수 대역에 대해서는 C_{GD} 의 고려가 필요함을 확인하였다.

앞의 결과들로 볼 때 NMOS 트랜지스터의 AC 등가회로를 간단히 C만으로 표현하는 방법[1],[6],[7]은 RF 대역의 회로 해석에 적합지 않음을 쉽게 알 수 있다.

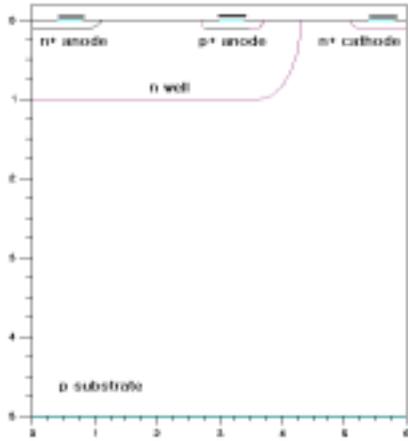


그림 5. ESD 보호용 pnpn 소자의 단면도

Fig. 5. Cross section of the pnpn ESD-protection device.

표 2. ESD 보호용 pnpn 소자의 주요 구조 파라미터

Table 2. Principal parameters of the pnpn ESD-protection device.

파라미터	값
n ⁺ 애노드 접합 깊이, 길이	0.1 μ m, 1 μ m
p ⁺ 애노드 접합 깊이, 길이	0.1 μ m, 0.8 μ m
n ⁺ 캐소드 접합 깊이, 길이	0.1 μ m, 0.8 μ m
n 웰 깊이, 길이	1 μ m, 4.3 μ m
p 기판 농도	10 ¹⁶ /cm ³
n 웰-캐소드 간격	0.8 μ m
n ⁺ 애노드-p ⁺ 애노드 간격	1.8 μ m

그림 5는 본 논문에서 설정한 pnpn 소자의 구조[5]를 보여주고 있다. 이 소자는 표준 CMOS 공정에서 쉽게 제작이 가능하며 그림의 비교적 얇은 접합이 의미하는 바와 같이 ESD 이온주입 공정을 시행하지 않은 구조이다. 그림 5의 n 웰 내 n⁺와 p⁺ 접합의 콘택은 서로 연결되어 하나의 애노드 역할을 하고 웰 외부의 n⁺ 접합은 캐소드 역할을 한다. 이 소자는 애노드를 입력노드에, 캐소드와 기판을 접지에 연결함으로써

NMOS 보호용 트랜지스터를 대체할 수 있다[5]. 표 2에는 pnpn 소자의 주요 구조 파라미터들을 정리하였다. 그림 5의 n⁺ 및 p⁺ 확산영역은 10²⁰/cm³, n 웰은 3×10¹⁷/cm³의 피크 농도를 갖는 가우시안 분포를 가정하였다.

pnpn 소자의 경우 ATLAS 시뮬레이터를 통한 AC 해석은 애노드와 캐소드의 DC 전압이 0V인 상태에서 애노드에 소신호 전압을 인가하여 수행한다. NMOS 트랜지스터 경우와 마찬가지로 그림 5의 기판 노드에도 10⁵ Ω 의 직렬 lumped 저항을 달아 시뮬레이션에 포함되지 않은 기판영역 부분의 저항이 고려되도록 하였다.

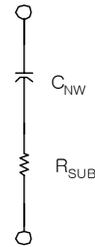


그림 6. 보호용 pnpn 소자의 AC 등가회로

Fig. 6. AC equivalent circuit of the pnpn protection device.

pnpn 소자의 경우 n-well의 면적이 넓으므로 n-well/기판 접합의 기생 커패시턴스가 주된 커패시턴스가 된다는 사실로부터 그림 6과 같은 형태의 AC 등가회로로 소자를 표현할 수 있다. 여기서 C_{NW}는 n웰 접합 커패시턴스, R_{SUB}는 기판 저항에 해당된다.

그림 6에서 알 수 있듯이 pnpn 소자의 소신호 등가회로도 ATLAS에서 가정하는 병렬 RC 회로의 형태와 다르므로 AC 해석에 의한 G와 C 값은 주파수에 따라 변하고, 각각 그림 7의 원과 세모 기호와 같이 나타난다. 그림 6의 등가회로를 ATLAS에서 가정하는 R과 C의 병렬회로 형태로 변환할 경우의 해당 G와 C 식을 유도하고, 시뮬레이션 결과와의 fitting을 위해 그림 6 등가회로의 모델 파라미터 값을 주파수와 무관하게

$C_{NW}=1.22\text{fF}/\mu\text{m}$, $R_{SUB}=100\text{k}\Omega/\mu\text{m}$ 로 지정하여 계산한 G(실선)와 C(점선) 값을 그림 7에 함께 도시하였다. 그림에서 볼 수 있는 바와 같이 가정된 등가회로에 의한 fitting 정도는 매우 우수하다고 할 수 있다. NMOS 경우와 달리 병렬 저항 R_p 가 없이 좋은 fitting 결과를 얻은 것은 NMOS의 드레인 접합(n^+ p 접합)에 비해 접합의 농도가 낮은 n-well 접합(np 접합)의 경우 누설전류가 상대적으로 작기 때문임을 유추할 수 있다.

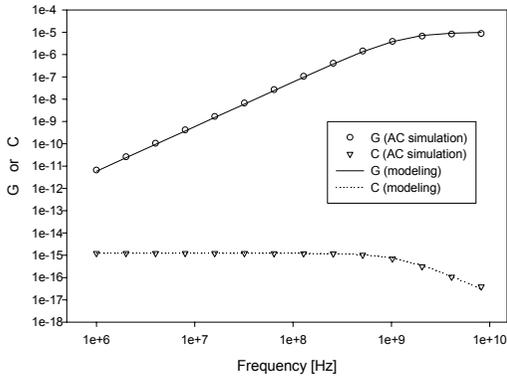


그림 7. 보호용 pnpn 소자의 소신호 G와 C 값: 직렬 lumped 저항값= $10^5\Omega/\mu\text{m}$

Fig. 7. Small-signal G and C values of the pnpn protection device: serial lumped resistance= $10^5\Omega/\mu\text{m}$.

추가로, 기판노드에 연결되는 직렬 lumped 저항의 값을 $10^4\Omega/\mu\text{m}$ 으로 감소시켜 ATLAS AC 해석을 수행한 결과와, 그림 6의 등가회로를 이용하여 계산한 결과의 fitting 정도도 비교해 보았다. 이 경우 최적 fitting을 위해 그림 6의 등가회로 파라미터 중 R_{SUB} 값을 20 $\text{k}\Omega/\mu\text{m}$ 로 하향 조정하여 계산한 모델링 결과는 그림 7과 동일한 수준의 fitting 결과를 나타내었다. 이러한 결과로부터 pnpn 보호용 소자의 경우에는 간단한 RC 직렬 형태의 등가회로 모델링이 적절함을 알 수 있다. pnpn 소자의 경우에도 등가회로를 간단히 C만으로 표현하는 방법은 RF 대역의 회로 해석에 적합지 않음을 쉽

게 알 수 있다.

III. LNA 회로 및 보호용 소자에 의한 영향

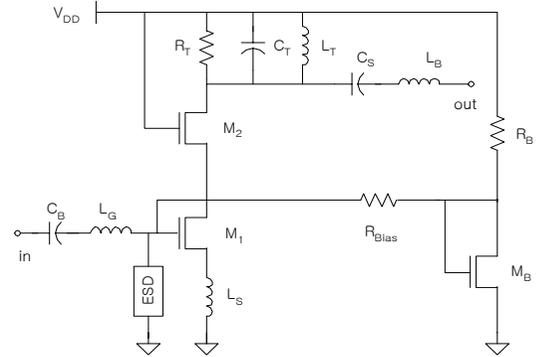


그림 8. LNA 회로
Fig. 8. LNA circuit

그림 8은 유도성 source degeneration을 이용한 LNA 회로를 보여주고 있다. Bluetooth 응용을 가정하여 동작주파수는 2.4GHz를 선정하였다. 이 구조는 협대역 임피던스 매칭형 LNA에 사용되는 보편적 구조이며 입출력 격리를 위해 cascode 구조를 채택하였다. 그림 8에는 회로 시뮬레이션에 고려된 모든 소자들이 포함되어 있다. L_S 는 50 Ω 매칭을 위해 입력 임피던스에 실수 성분을 생성시키는 역할을 하며[10], L_G 는 용량성 리액턴스를 상쇄시키는 임피던스 매칭용 인덕터이다. 이 두 인덕터는 본드 와이어를 이용하여 구현하는 것으로 가정하였으며, C_B 는 칩 외부에 존재하는 DC 차단용 커패시터를 의미한다. 이 구조에서는 두 인덕턴스 값을 조절하여 임피던스 매칭을 확보하며, 소자의 폭 및 전류의 크기를 조절하여 잡음 매칭을 동시에 확보할 수 있다[10].

그림 8 회로의 출력에는 L_T , C_T 탱크로 공진을 구현하고, 병렬로 500 Ω 의 저항 R_T 를 달아 회로의 안정도를 확보하였다. 출력 부분에는 임피던스 매칭용 직렬 커

패시터(C_S)와 본드 와이어에 의한 인덕턴스(L_B)가 포함되어 있다. 바이어스는 M_B 를 사용하여 전류 미러형 바이어스 방법을 채택하였다. LNA 회로 시뮬레이션에 사용되는 NMOS 트랜지스터의 모델 파라미터는 표준 $0.25\mu\text{m}$ CMOS 공정에서 제공되는 Bsim3v3 모델 파라미터 값들을 사용하고, 해석의 단순화를 위해 저항, 커패시터 및 인덕터는 기생 파라미터 값들을 고려하지 않은 이상적 소자를 가정하였다. 전원전압은 2.5V 였고 M_2 에 흐르는 바이어스 전류는 5.85mA 였다.

그림 8은 입력 패드에 ESD 소자가 연결될 수 있음을 보여주고 있다. 표 3은 (1)회로에 ESD 보호용 소자가 연결되지 않은 경우, (2)입력 단에 그림 2의 등가회로로 대변되는 NMOS 보호용 소자가 장착된 경우, (3)입력 단에 간단히 C만으로 대변되는 NMOS 보호용 소자가 장착된 경우의 시뮬레이션에 의한 LNA의 주요 특성 파라미터들을 비교하여 보여주고 있다. 보호용 NMOS 트랜지스터는 multi-finger형 게이트 구조를 가정하고 소자의 크기는 일반적인 소자 폭이라 할 수 있는 $400\mu\text{m}$ 를 가정하였다. (2) 경우에는 소자 폭 $400\mu\text{m}$ 를 고려하여 $C_{JD}=1.308\text{pF}$, $R_{SUB}=250\Omega$, $C_{GD}=24\text{fF}$, $R_G=2.5\Omega$, $R_P=1.74\text{M}\Omega$ 으로, (3) 경우에는 간략형 직렬 RC 모델에서 $R=0$ 으로 하고 간단히 $C=1.332\text{pF}$ 으로 지정하였다. 또한 소자 폭이 $200\mu\text{m}$ 인 경우도 비교를 위해 표 3에 포함하였다. 이 경우에는, (2) 경우 $C_{JD}=0.654\text{pF}$, $R_{SUB}=500\Omega$, $C_{GD}=12\text{fF}$, $R_G=5\Omega$, $R_P=3.48\text{M}\Omega$ 으로, (3) 경우 $C=0.666\text{pF}$ 으로 지정하였다. 각 경우마다 적절한 임피던스 매칭을 위해 L_S 와 L_G 의 값을 다소 조절하였다.

표 3에서 ESD 보호용 소자를 사용하지 않을 경우의 특성에서 잡음특성을 살펴보면, 잡음지수 NF는 0.55dB 로 매우 우수한 편이며, 얻을 수 있는 최저 NF인 NF_{min} 과의 차이가 매우 적어 잡음의 최적화가 잘 이루어진 상태임을 알 수 있다.

표 3의 (2) 경우의 결과는, NMOS 보호용 소자를 입력 노드에 장착할 경우 입력 매칭을 나타내는 S_{11} 은 쉽게 -10dB 이하를 얻을 수 있어 임피던스 매칭에는 별 어려움이 없으며, 보호용 소자의 폭이 증가함에 따라 전력이득을 대변하는 S_{21} 이 감소하고, 잡음 특성을 나타내는 NF 값이 크게 악화됨을 보여주고 있다. 전력이득의 감소는 ESD 소자의 기생성분을 통한 신호전력의 누설에 기인함을 추측할 수 있고, 잡음 특성의 악화는 입력노드에 병렬 저항경로가 추가됨이 원인이라는 것을 추측할 수 있다. 참고로 신호 경로에 직렬로 연결되는 저항은 그 값이 클수록, 병렬로 연결되는 저항은 그 값이 작을수록 잡음특성에 나쁜 영향을 준다 [11].

표 3에서 NMOS 트랜지스터의 등가회로를 간단히 C만으로 모델링하는 (3) 경우에 대한 결과를 살펴보면, 소자 폭이 $400\mu\text{m}$ 경우에는 입력 임피던스 매칭이 불가능하였고, 소자 폭이 $200\mu\text{m}$ 경우에도 $S_{11}=-5\text{dB}$ 수준의 임피던스 매칭만이 가능하였다. 이는 NMOS 트랜지스터를 간단히 C만으로 모델링하는 분석[1],[6],[7] 경우 임피던스 매칭 면에서는 보호용 소자의 기생성분에 의한 영향이 실제보다 훨씬 과장되게 나타날 것임을 의미한다. 또한 추가되는 기생저항 성분이 생략되므로 이에 의한 잡음 특성의 저하가 포착될 수 없음도

표 3. LNA 시뮬레이션 결과 비교

Table 3. Comparison of the simulation results of the LNA.

파라미터	(1) No ESD	NMOS 소자 $W=400\mu\text{m}$		NMOS 소자 $W=200\mu\text{m}$		pnpn 소자 $W=25\mu\text{m}$
		(2) 그림 2 등가회로	(3) C만 고려	(2) 그림 2 등가회로	(3) C만 고려	그림 6 등가회로
S_{11} [dB]	- 47.3	- 54.1	매칭불가	- 44.3	- 5.0	- 30.5
S_{22} [dB]	- 18.6	- 16.8		- 17.4	- 16.2	- 18.6
S_{21} [dB]	19.2	16.8		18.0	13.4	19.0
S_{12} [dB]	- 41.5	- 44.3		- 43.1	- 41.7	- 41.7
NF [dB]	0.55	2.37	-	1.77	0.95	0.74
NF_{min} [dB]	0.52	1.76	-	1.31	0.68	0.65

예측할 수 있다.

표 3의 마지막 열에는 참고문헌 [5]에서 분석한 결과를 근거로, 소자 폭 $400\mu\text{m}$ 의 NMOS 보호용 소자와 유사한 수준의 ESD 강도를 제공할 것으로 판단되는 폭 $25\mu\text{m}$ 의 pnpn 소자의 사용을 가정한 시뮬레이션 결과도 포함하였다. 이 경우 그림 6의 등가회로를 사용하고 소자 폭 $25\mu\text{m}$ 를 고려하여 $C_{NW}=30.5\text{fF}$, $R_{SUB}=4\text{k}\Omega$ 으로 지정하였다. 표에서 알 수 있듯이 이 소자를 보호용 소자로 사용할 경우 LNA의 전력이득 감소는 미미하며, 추가되는 저항성분으로 인해 잡음 특성이 다소 저하되나 상대적으로 보호용 소자의 장착에 의한 전반적인 영향이 크게 감소됨을 알 수 있다.

II 절의 AC 해석 시 애노드 및 캐소드의 DC 전압은 0V인 것으로 가정하였으나 ESD 소자의 애노드 DC 전압은 소자가 사용되는 회로의 종류에 따라 변할 수 있다. 실제로 그림 8의 LNA 회로에서 ESD 소자의 애노드 전압은 0.7V 정도이다. 이 경우 NMOS 트랜지스터 소자 경우 드레인과 기판 접합이, pnpn 소자 경우 n 웰과 기판 접합이 각각 0.7V의 역바이어스 상태가 되므로 등가회로의 C_{JD} 와 C_{NW} 값이 다소 감소될 것으로 판단되나 본 논문에서는 해석의 단순화를 위해 이를 무시하였다. 보다 정확한 분석을 원한다면 간단히 AC 해석의 초기 조건을 변경하면 해결할 수 있는 문제이다.

IV. 결론

2차원 소자 시뮬레이터를 이용한 AC 해석 결과를 토대로 ESD 보호용 NMOS 트랜지스터 및 싸이리스터형 pnpn 소자의 AC 등가회로 모델링을 시도하였다.

NMOS 보호용 트랜지스터의 등가회로는 다소 복잡한 형태로 나타내짐을 보였고, 간단히 저항과 커패시터의 직렬회로로 모델링할 경우 주파수 영역에 따라 AC 특성의 오차가 크게 발생할 수 있음을 보였다. pnpn 보호용 소자의 등가회로는 간단히 저항과 커패시터의 직렬회로로 모델링될 수 있음을 보였다.

추출한 등가회로를 주요 RF 회로의 하나인 LNA의

입력에 장착하였을 경우 보호용 소자의 기생성분이 LNA의 특성에 미치는 영향에 대해 조사해 보았다. 기존의 연구에서와 같이 NMOS 보호용 소자를 단순히 커패시터 하나만으로 모델링할 경우 1)임피던스 매칭 면에서는 실제보다 기생성분에 의한 영향이 과다하게 나타나며 2)추가되는 기생 저항의 생략으로 인해 잡음 특성의 저하가 포착되지 않음을 설명하였다.

이전의 연구결과를 근거로 하여, NMOS 트랜지스터와 유사한 수준의 ESD 강도를 제공할 것으로 기대되는 pnpn ESD 보호용 소자를 장착할 경우 LNA 회로의 특성에 미치는 영향이 크게 감소될 수 있음을 확인하였다.

참고 문헌

- [1] P. Leroux and M. Steyaert, "High-performance 5.2GHz LNA with on-chip inductor to provide ESD protection." *Electronics Letters*, vol. 37, pp. 467-469, Mar. 2001.
- [2] M.-D. Ker, T.-Y. Chen, C.-Y. Wu, and H.-H. Chang, "ESD protection design on analog pin with very low input capacitance for high-frequency or current-mode applications." *IEEE J. Solid-state Circuits*, vol. 36, pp. 1104-1199, Aug. 2000.
- [3] B. Kleveland, T. J. Maloney, I. Morgan, L. Madden, T. H. Lee, and S. S. Wong, "Distributed ESD protection for high-speed integrated circuits," *IEEE Electron Devices Lett.*, vol. 21, pp. 390-392, Aug. 2000.
- [4] H. Feng, K. Gong, and A. Z. Wang, "A comparison study of ESD protection for RF ICs: Performance vs. parasitics," *IEEE MTT-S Digest*, 2000, pp. 143-146.
- [5] 최진영, 조규상 "RF IC용 싸이리스터형 정전기 보호소자 설계에 관한 연구," *전기전자학회 논문지*, 제7권, 제2호, pp. 172-180, 2003년 12월.

- [6] V. Chandrasekhar and K. Mayaram "Analysis of CMOS RF LNAs with ESD protection," Proceedings of the 2002 IEEE International Symposium on Circuits and Systems, vol. 4, pp. IV-799 - IV-802, May 2002.
- [7] S. Sridharan, G. Nayak, and P. R. Mukund, "LNA design optimization with reference to ESD protection circuitry," Proceedings of the 2003 IEEE International Symposium on Circuits and Systems, vol. 1, pp. I-203 - I-208, May 2003.
- [8] S. Aur, A. Chatterjee, and T. Polgreen, "Hot-carrier reliability and ESD latent damage." IEEE Trans. Electron Devices, vol. 35, pp. 2189-2193, Dec. 1988.
- [9] ATLAS II Framework, Version 5.0.0.R, Silvaco International, 1999.
- [10] T. H. Lee, The design of CMOS radio-frequency integrated circuits, New York: Cambridge University Press, 1998.
- [11] B. Razavi, Design of Analog CMOS Integrated Circuits. New York: McGraw-Hill, 2000

주관심 분야 : RF 반도체 소자 모델링, 집적회로 설계 및 신뢰성 연구

저 자 소 개

崔 鎮 榮



1979년 2월 서울대학교 전기공학과 (공학사).

1986년 12월 University of Florida 전기공학과(석사).

1991년 5월 University of Florida 전기공학과(공학박사).

1991년 4월 ~ 1992년 8월 삼성전자 반도체부문 수석연구원.

1992년 8월~현재 홍익대학교 과학기술대학 전자전기컴퓨터공학부 부교수.