논문번호 04-01-16

Sliding-DFT를 이용한 다채널 위상 측정 FPGA 시스템

Sliding-DFT based multi-channel phase measurement FPGA system

어진우*, 장태규**
Jin-Woo Eo* and Tae-Gyu Chang**

요 약

본 논문에서는 sliding-DFT에 순환 구현에 기반한 위상 측정 앨고리즘을 제안하였다. 제안한 앨고리즘은 주파수 변이, 누적 잡음, 계수 근사 영향 등의 오차영향에 강인한 특성을 가지도록 설계되었다. DFT 계수의 유한 비트 근사 구현에 의한 위상 오차는 크기 오차에 비해 매우 작게 나타난다. 위상 오차의 혁신적인 감소는 근사 계수가 복소평면 상에서 4사분면상에 대칭적으로 존재함을 이용하여 얻을 수 있다.

제안한 앨고리즘을 시분할 공유 구조에 기반한 4-채널 전력선 위상 측정 시스템을 설계하고 구현하였다. 구현한 시스템의 동작은 실시간으로 host processor 시스템과 다채널 함수 발생기를 통한 test 환경에서 실험적으로 확인하였다.

제안한 앨고리즘의 위상 측정에 있어 정확한 특성과 유한비트 근사 영향에 강인한 특성은 특히, 빠른 처리 속도와 구현의 감소함이 주요 설계 고려사항인 ASIC 이나 microprocessor에 기반의 임베디드 시스템 적용에 중대한 효과를 제공할 수 있을 것이다.

Abstract

This paper proposes a phase measurement algorithm which is based on the recursive implementation of sliding-DFT. The algorithm is designed to have a robust behavior against the erroneous factors of frequency drift, additive noise, and twiddle factor approximation. The size of phase error caused by the finite wordlength implementation of DFT twiddle factors is shown significantly lower than that of magnitude error. The drastic reduction of the phase error is achieved by the exploitation of the quadruplet symmetry characteristics of the approximated twiddle factors in the complex plane.

Four channel power-line phase measurement system is also designed and implemented based on the time-multiplexed sharing architecture of the proposed algorithm. The operation of the developed system is also verified by the experiment performed under the test environment implemented with the multi-channel function generator and the on-line interfaced host processor system.

The proposed algorithm's features of phase measurement accuracy and its robustness against the finite wordlength effects can provide a significant impact especially for the ASIC or microprocessor based embedded system applications where the enhanced processing speed and implementation simplicity are crucial design considerations.

Key Words
Sliding-DFT, phase measurement, finite word-length effect, phase error, FPGA.

* 단국대학교 공과대학 전기전자컴퓨터공학부
(School of Electrical, Electronics and Computer Engineering, Dankook University)
** 중앙대학교 공과대학 전자전기공학부
(School of Electrical and Electronics Engineering, Chung-Ang University)

接受日:2004年 5月 18日, 修正完了日:2004年 7月 20日

I. 서 론

I. 서론

위상 측정에 있어서 다양한 기술적인 면 중, 유한비트 계수 근사의 오차 영향에 강인하면서도 구현상의 간소함은 특히 임베디드 시스템 환경에서의 time-critical한 실시간 처리와 같은 응용에서는 가장 중요한 설계 고려 사항 중 하나이다[1]-[3].

Modified zero crossing 기법, level crossing 기법, least squares 기법, Newton method, DFT 기법등과 같은 기존의 방법들 중 60Hz 전력선 버스의 단일 톤 신호의 위상 측정에 적용되는 가장 전형적인 방법으로, 순환 DFT는 비교적 낮은 구현 복잡성으로 인해 임베디드 시스템 적용을 위한 가장 적합한 방법 중 하나이다[4]-[7]. 하지만, ASIC이나 마이크로프로세서에 기반한 임베디드 시스템의 응용에 있어서 순환 DFT는 처리 속도 향상이나 구현상의 감소함을 위해 유한 비트 근사에 의한 심각한 오차 누적을 나타낸다. 그러므로, 순환 앨고리즘의 실직적인 응용을 위해서는 오차 누적 문제의 격감이 꼭 필요하다.

본 논문에서는 위상 측정에 적합한 순환형 sliding-DFT기법을 제안하였다. 제안한 수정된 sliding-DFT 앨고리즘은 순환구조에 있어서 N 포인트 DFT 계수 모두를 사용함으로써 오차 누적을 현저하게 줄였다. 또한, 제안한 앨고리즘을 유한 비트 근사 계수로 구현함으로써 얻어지는 페이저 측정값에 있어서 위상 오차는 크기 오차에 비해 훨씬 작은 값을 가짐을 알 수 있었다. 이러한 특징은 정확한 위상 측정과 구현의 간소함이 필요할 때 제안된 앨고리즘의 유용함을 잘 설명할 수 있다. 제안한 앨고리즘에서 나타나는 근사 DFT 계수의 대칭성과 위상 오차의 상쇄 특성은 위상 측정에 있어서 매우 강인함을 나타내게 된다. 또한 제안한 앨고리즘의 강인성은 유한 비트 근사 구현에 의해 발생하는 성능 열화를 반영하는 close-form으로 유도된 식에 의해 해석적으로 증명되었다.

주기적으로 펼쳐진 계수를 입력과 곱해서 더하는 비순환 형태로부터 주기적으로 펼쳐진 계수의 하모닉 분리를 통한 sliding-DFT의 순환 구조로 재구성하는 방법을 통해 해석식을 유도하였다. 복소평면 상에서 계수의 사사분면 상 대칭 특성은 페이저 근사에 있어서 0이 아닌 첫번째 성분과 세번째 성분 만으로 하모닉 근사를 할 수 있는 가능성을 준다. 해석식은 위상 측정 오차의 비교적 낮은 수치를 보여주기 위해 DFT의 위상 오차와 크기 오차를 분리한 점에 기반한다. 실제 응용 환경에서 주된 오차 요인인 주파수 변이, 누적 잡음, 계수 근사 등에 의한 오차 발생 요인의 넓은 변이 범위에 대해 컴퓨터 시뮬레이션이 실행되었고, 결과적으로 제안한 앨고리즘이 위상 오차에 강인함을 확인하였다.

제안한 앨고리즘을 FPGA를 이용한 하드웨어에 게이트 소요량을 최소화 할 수 있는 형태로 구현하였으며 주파수 변이, 누적 잡음과 계수의 유한 비트 근사 등에 대한 오차 영향에 강인한 위상 측정 결과를 확인하였다.

제안한 위상 측정 앨고리즘은 2 에서 설명되었고, 위상 측정 앨고리즘의 유한 비트 근사에 의한 오차 영향의 해석은 3 에서 설명되었다. FPGA 하드웨어를 통한 제안한 앨고리즘의 구현을 4에서 기술하였으며, 5 에서 결론을 냈다.

II. 순환 sliding-DFT 기반 위상 측정 앨고리즘

단일 톤 신호의 위상 값은 그림 1에서 보여지는 것처럼 sliding window의 l번째 DFT bin 주파수 성분으로 얻을 수 있다.

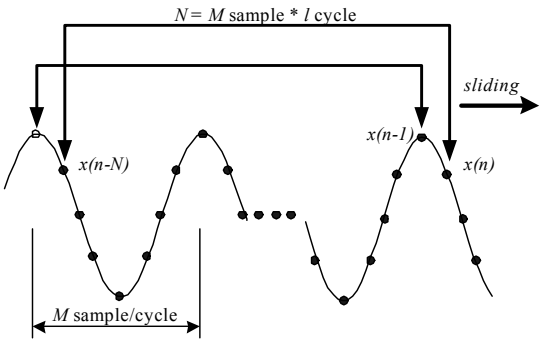

그림. 1. 단일 톤 신호의 위상 측정을 위한 sliding window.

Fig. 1. Sliding window to measure the phase of the single tone signal

이것은 샘플링을 통해 얻은 이산 신호 *x(n)*과 식 (1)과 (2)로 설명되는 DFT의 l-번째 bin 주파수 성분으로 잘 설명되어진다.

$$x(n) = A\cos(\frac{2\pi}{M}n + \phi) \tag{1}$$

$$X_l(n) = \sum_{m=n-N+1}^{n} x(m)W_N^{-lm} \tag{2}$$

*x(n)*는 단일 톤 신호의 주파수에 정수배(M)로 샘플링해서 얻은 이산신호이고, *Xl(n)*은 *x(n)*으로 시작하는 N 포인트 DFT 블록의 l-번째 bin 주파수 성분이다.

식 (1)을 식 (2)에 대입함으로써 식 (3)과 같이 이산 신호 x(n)의 페이저 값에 따른 N포인트 DFT의 l-번째 bin 주파수 성분을 표현할 수 있다.

$$X_l(n) = \sum_{m=n-N+1}^{n} A\cos(\frac{2\pi}{M}m+\phi)\cdot e^{-j\frac{2\pi}{N}lm}$$
$$= \sum_{m=n-N+1}^{n} \frac{A}{2}(e^{j(\frac{2\pi}{M}m+\phi)}+e^{-j(\frac{2\pi}{M}m+\phi)})\cdot e^{-j\frac{2\pi}{N}lm}$$
$$= \frac{N}{2}A\cdot e^{j\phi} \quad (3)$$

실시간 응용에서, 페이저 측정의 시간 정밀도를 최대화하기 위해 데이터 블록의 각 sliding 순간마다 샘플링을 실행해야 한다. 반면에 sliding-DFT에서 한 샘플 sliding하면서 발생하는 계산량의 증가는 구현의 어려움을 야기한다. 그러므로, 식 (2)의 한 샘플 sliding 시 발생하는 계산 부담을 줄이기 위해서는 순환 구조로 이루어져야 한다. Sliding-DFT의 순환 계산은 식 (2)를 이용해서 *Xl(n)*과 *Xl(n-1)*의 관계를 통해 유도할 수 있다. *x(n)*이 새롭게 sliding해서 들어온 샘플이고 *x(n-N)*이 sliding되어 나가는 마지막 부분일 때, *Xl(n)* 은 데이터 블록의 l-번째 bin DFT 성분을 나타낸다.

$$X_l(n) = W_N^l[X_l(n-1)+x(n)-x(n-N)]$$
$$where,\quad W_N = \exp[j2\pi/N] \quad (4)$$

순환식 (4)에서 하나의 계수만을 사용하는 것은 계수가 유한 bit로 근사화 되었을 때 오차의 누적을 야기한다. 제안한 앨고리즘은 식 (5)에서 보여 지는 것처럼 각 순환 단계마다 2/N의 위상 회전 성분을 포함하는 식 (4)를 수정함으로써 유도할 수 있다.

$$X(n)W_N^n = W_N^l[X(n-1)W_N^{n-1}+x(n)-x(n-N)]$$
$$X(n) = X(n-1)+W_N^{-ln}[x(n)-x(n-N)]$$
$$where,\quad X(n) = X_l(n)\cdot W_N^{-n} \quad (5)$$

N개 계수의 대칭 특성은 다음의 섹션 3에서 해석적으로 증명되는 것처럼 오차누적의 놀랄만한 감소를 통한 결과로 오차 상쇄의 효과를 준다. 제안한 앨고리즘은 또한 DFT 블록의 sliding에 따른 절대 기준 위상을 줌으로써 위상 회전의 효과를 상쇄해준다.

그림 2에 설명되는 것처럼 순환 sliding-DFT는 FIR과 IIR 필터의 종속 연결과 같이 설명될 수 있다. IIR 필터 부분은 단위원 상에 z=1인 곳에 pole이 존재하는 불안정성을 포함하는 누적기이다. 이 pole은 데이터 블록 길이 N에 따라서 FIR 필터의 zero에 의해서 상쇄되고, 결과적으로 전체 종속 연결 시스템은 안정화 된다. 그러나 IIR필터 부분의 오차 누적 특성 때문에 식 (5)에서 위상 측정 앨고리즘의 정확도와 오차 범위에서 유한비트 근사에 따른 오차영향에 대한 연구가 필수적이라 하겠다. 특히, 마이크로프로세서나 ASIC 등의 하드웨어를 통해 위상측정 앨고리즘을 구현하는데 있어서, 유한비트 근사 구현에 따른 오차 영향의 연구는 하드웨어의 최적 구현을 위해서 꼭 필요하다.

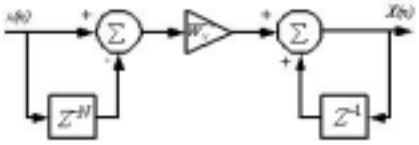

그림. 2. 본 논문에서 제안한 sliding-DFT의 순환 구현에 기반한 위상 측정 앨고리즘.

Fig. 2. The proposed phase measurement algorithm based on the recursive implementation of the sliding-DFT

III. 유한비트 근사에 따른 오차영향 해석

정확하지 않은 샘플링 주파수로 인한 단일 톤 신호의 주파수 변이와 입력 신호에 더해지는 잡음의 발생은 계수가 유한 비트로 근사 구현될 때 오차 누적을 발생시키는 원인이 된다. 출력에서의 누적 잡음의 영향은 DFT 블록 길이 N에 의한 잡음 변이의 감소를 제외하고는 다른 오차 요인들에 독립적인 동작을 할 것이라 가정한다. 그러므로, 다음에 나타낼 것과 같이 주파수 변이와 계수 근사의 영향은 오차 누적의 기하학적인 방법에 의해 연구할 수 있다. 여기에서 샘플링 주파수 변이의 영향은 단일 톤 신호의 주파수 변이의 샘플링과 같게 볼 수 있다.

식 (5)의 순환 식에서 오차 누적의 연구는 페이저의 또 다른 표현 방법으로 식 (6)에 주어진 것처럼 시간 영역에서 두 개의 신호 성분의 곱을 비순환 덧셈의 형태로 하모닉 성분 해석으로 실행된다. 이때, 일반성을 잃지 않고 1의 값은 1로 대처될 수 있다.

$$\hat{X}(n)=\sum_{m=0}^{n}\hat{W}_N^{-m}u(m)$$
$$where, u(n)=x(n)-x(n-N) \quad (6)$$

계수 근사 성분 $\hat{W}_N^{-n}$는 근사에 의한 하모닉 성분을 갖는 주기신호로 볼 수 있으며 차분 신호 *u(n)*에 곱해진다. 식 (6)의 비순환 표현을 통해, $\hat{X}(n)$의 페이저 오차는 $\hat{W}_N^{-n}$의 하모닉 성분에 의한 결과로 볼 수 있다. 이러한 해석으로 유력한 오차 성분의 기하학적인 해석을 적용함으로써 $\hat{W}_N^{-n}$의 주기 신호를 우세한 하모닉들에 의한 결과로 오차의 바운드를 유도할 수 있다.

측정 대상 신호 *x(n)*의 주파수가 변이 주파수 $\triangle f$ 만큼 *nominal*한 주파수 값 f를 벗어날 때, 차분 신호 *u(n)* 또한 식 (7)에서 보여 지는 것처럼 $f+\triangle f$의 주파수를 갖는 사인파 신호가 된다.

$$u(n)=\frac{\alpha}{2}(e^{j(\frac{2\pi l(f+\Delta f)}{f_s})n}+e^{-j(\frac{2\pi l(f+\Delta f)}{f_s}n+\phi)}) \quad (7)$$

W_N^{-n}의 참값이 단일 톤 시퀀스일 때, 유한 비트 근사 계수 $\hat{W}_N^{-n}$는 식 (8)에서와 같이 이산 Fourier series의 하모닉의 합으로 볼 수 있다.

식 (8)의 계수 $\hat{W}_N^{-n}$에 의해 전개된 식을 통한 하모닉 성분 중 복소수 평면 상에서 단위 원상에 대칭적으로 위치하게 되기 때문에, 첫번째 하모닉 성분 ω_{-1}와 세번째 하모닉 성분 ω_3가 가장 유력한 위상 오차 성분이 된다. 그러므로, $\hat{W}_N^{-n}$는 식 (9)와 같이 첫번째와 세번째 하모닉 성분의 합으로 근사할 수 있다.

$$\hat{W}_N^{-n}=\frac{\omega_{N-1}}{N}e^{j\frac{2\pi(N-1)f}{f_s}n}+\frac{\omega_3}{N}e^{j\frac{2\pi 3f}{f_s}n}$$
$$=\frac{\omega_{-1}}{N}e^{-j\frac{2\pi f}{f_s}n}+\frac{\omega_3}{N}e^{j\frac{2\pi 3f}{f_s}n} \quad (9)$$

식 (6)의 근사화된 페이저 $\hat{X}(n)$은 $\hat{W}_N^{-n}$과 *u(n)*을 식 (7)과 식 (9)와 같이 대입해줌으로써 식 (10)과 같이 표현할 수 있다. 이러한 유도에서 식 (6)은 주파수 f와 3f의 첫번째와 세번째 하모닉 성분을 갖는 주파수 $f+\triangle f$의 단일 톤 신호 *u(n)*의 곱의 합으로 생각 할 수 있다. 곱 성분 중, 주파수에 따른 크기의 반비례 특성으로 인해 식 (10)에서 첫번째의 유력한 하모닉 성분 $2f-\triangle f$만 남게 된다. 식 (10)에서 첫번째와 두번째 성분은 오차가 없는 계수의 사용 시 얻을 수 있는 참값과 같은 위상을 갖는 페이저 성분으로 볼 수 있다.

$$\widehat{X}(n)=\frac{\omega_{N-1}}{\Delta f}e^{-j\frac{2\pi\Delta f}{f_s}n}-\frac{\omega_{N-1}}{2f+\Delta f}e^{j\frac{2\pi(2f+\Delta f)}{f_s}n}$$
$$+\frac{\omega_3}{2f-\Delta f}e^{j\frac{2\pi(2f-\Delta f)}{f_s}n} \quad (10)$$

그림 3과 같이, 최대 위상 오차 $\hat{\theta}_{error}$는 식 (10)의 오차가 있는 위상 성분인 세번째 항이 첫번째 항과 두번째 항의 차 성분과 수직일 때 구할 수 있다.

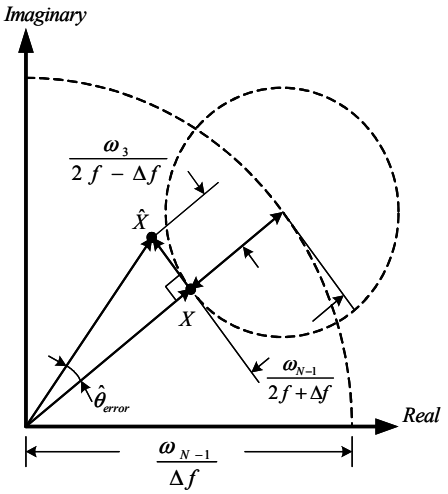

그림. 3. 계수의 유한 비트 근사에 의한 최대 위상 측정 오차의 기하학적 표현.

Fig. 3. Geometrical representation for the maximum phase measurement error caused by the finite wordlength implementation of the twiddle factors

그러므로, 최대 위상 오차는 식 (11)과 같이 식 (10)의 $2f-\triangle f$ 페이저 성분과 $\triangle$f 성분 사이의 크기의 역탄젠트로 구할 수 있다.

$$\hat{\theta}_{error} = \tan^{-1}\left(\frac{\omega_3}{2f-\Delta f}/\left(\frac{\omega_{-1}}{\Delta f}-\frac{\omega_{-1}}{2f+\Delta f}\right)\right)$$
$$= \tan^{-1}\left(\frac{\omega_3}{\omega_{-1}}\cdot\frac{\Delta f}{2f}\cdot\left(\frac{2f+\Delta f}{2f-\Delta f}\right)\right)$$
$$= \frac{2^{-bit-\frac{1}{2}}}{1-2^{-bit-\frac{1}{2}}}\cdot\frac{\Delta f}{2f}\cdot\left(\frac{2f+\Delta f}{2f-\Delta f}\right) \qquad (11)$$

만약 주파수 변이 f가 대상 신호 x(n)의 nominal 주파수 f에 비해 충분히 작다고 하면, 식 (11)의 위상 오차는 ω_3/ω_{-1}의 하모닉 오차 비율 값이다. 이것은 f/2f 의 0에 가까운 값으로 조절된 normalized 크기 오차의 대략의 추정값이 된다. 이러한 사실은 제안한 위상 측정 앨고리즘이 계수의 유한 비트 근사 구현에 대해 강인한 특성을 가짐을 잘 보여준다.

IV. FPGA를 이용한 하드웨어 구현

제안한 앨고리즘을 시분할 공유 구조를 갖는 4-채널 위상 측정 시스템으로 설계하고 이를 Xilinx의 FPGA 시스템에 구현하였고, Host 프로세서와의 인터페이스를 통해 구현한 FPGA 시스템의 동작을 확인하였다.

4-채널 위상 측정 장치 하드웨어는 각 채널 별로 요구되는 동일한 페이저 계산구조를 정확한 타이밍을 이용하여 동일한sliding-DFT 계산구조를 공유함으로써 순차적으로 채널 별 출력 결과를 얻고 이를 각각 더하는 순차 구현 방식을 적용하였다. 또한 공통적으로 사용되는 연산 모듈 중에 게이트의 소요량이 큰 곱셈기를 시간 구간별로 공유하여 구현에 필요한 게이트를 최소화할 수 있는 구조로 구현하였다. 그림 4에서는 각각의 입력에 대하여 페이저 값이 출력 되도록 곱셈기를 시분할에 의해 공유하고 있는 형태를 볼 수 있다.

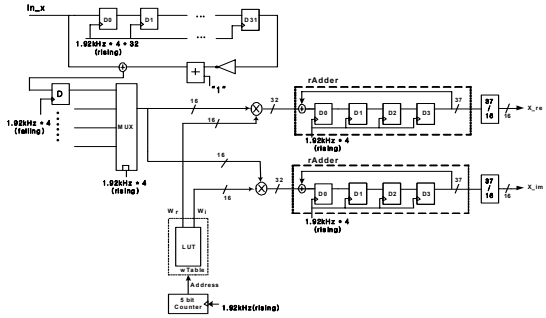

그림. 4. 4-채널 페이저 연산 장치의 전체 구성도
Fig. 4. The functional block diagram of the 4-channel phasor computation module

본 논문에서 설계된4-채널 위상 측정 시스템의 설계 구성도는 그림5와 같다. 여기서 마이크로 컨트롤러는 DFT 측정 앨고리즘의 FPGA 합성, HOST와의 serial 통신 및 제어/상태 정보의 처리를 담당하며 89S53을 사용하여 구현되었다. 동작 수행 과정에서 마이크로 컨트롤러는 먼저 Host PC와의 RS232C link를 초기화하고 Host PC로부터 sliding-DFT 측정 장치 합성 파일을 다운로드 받아서 target FPGA를 합성한다. FPGA 합성 동작 후 마이크로 컨트롤러는 Host로부터의 제어 명령을 처리하며, 페이저 연산 FPGA에서 계산한 결과 값을 byte단위로 읽은 후, RS232C를 통하여 Host PC로 전송한다. 프로그램은 크게 FPGA 합성부분과 데이터 전송 부분으로 나눌 수 있는데, Power on 시에 합성부분은 PC로부터 합성 bit-file을 다운로드 받아서 FPGA를 합성하고, 데이터 전송 부분은 합성이 끝난 후에 FPGA로부터 DFT 결과값을 받아서 PC로 전송하는 역할을 한다.

본 논문에서는 그림 6과 같이 FPGA를 이용한 다채널 위상 측정 시스템을 설계하여PCB에 제작 구현하였고, 이를 통한 실시간 페이저 및 위상 측정을 통해 하드웨어 동작을 확인하였다.

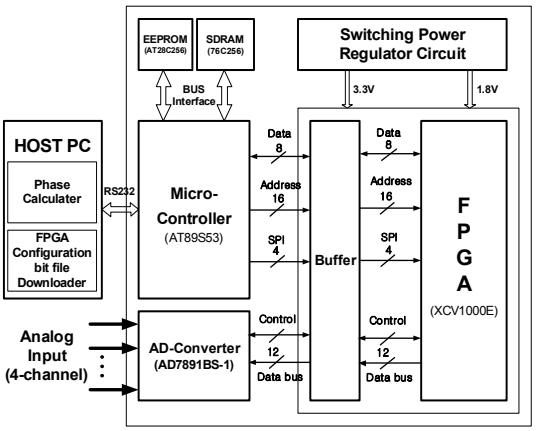

그림. 5. 구현한 위상 측정 시스템의 기능 블록도
Fig. 5. Functional block diagram of the test environment of the developed phase measurement system

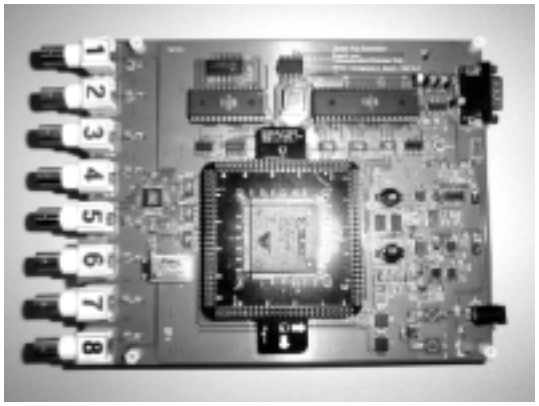

그림. 6. FPGA를 이용한 다채널 위상 측정 시스템
Fig. 6. The picture of the developed phase measurement system

구현된 시스템을 통해 61Hz 입력의 실시간 위상 측정을 수행한 결과를 그림7에 나타내었다. 구현한 시스템을 통해 입력 신호의 실시간페이저 정보를 그림 7과 같이 실수와 허수값으로 산출하고 이를 Host PC로 전송하여 실시간 위상 정보를 얻는다. 1.92KHz의 샘플링 주파수에 대해 32샘플마다 한 샘플씩 host PC로 전송을 하였을 때 위상 기울기는 60샘플동안 한주기(2π)의 변화를 나타내고 있다. 즉, 1초의 시간동안 한주기(2π)의 위상변화를 보이고 있다. 따라서 reference input 60Hz에 대해 +1Hz의 차이를 보이므로 입력 주파수가 61Hz임을 확인하였다. 여기에서General purpose function generator의 주파수 변이에 따른 위상 변화를 정확하게 찾아내는 것을 확인하였으며, 또한 위상 측정 값의 변이가 크기 측정 값의 변이에 비해 훨씬 작게 나타나는 것을 확인하였다. FPGA 시스템에 의한 측정 결과를 통해 본 논문에서 제안한 위상 측정 앨고리즘은 실시간으로 위상 오차 누적에 강인한 동작특성을 가지는 것을 확인하였다.

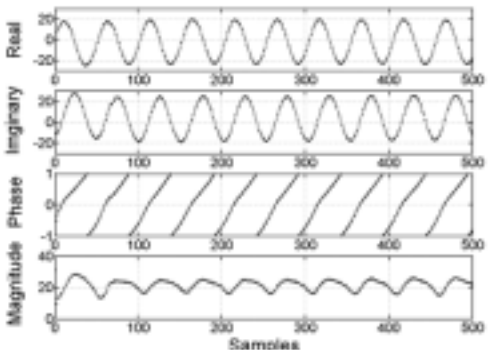

그림. 7. 위상 측정 결과 (61Hz input)
Fig. 7. The plot of an exemplary operation of the developed system taking the 61Hz sinusoidal signal input from a low precision function generator

그림 7에서 보인 실험 결과를 확인하기 위한 컴퓨터 시뮬레이션을 시행하였고 그 결과를 그림 8에 나타내었다. 그림 8에서 볼 수 있듯이, 제안한 앨고리즘은 $\pm 3Hz$ 의 주파수 변이에 대해 4~16비트의 계수 근사 영향에 거의 영향을 받지 않음을 확인하였고, 잡음이 없을 경우 계수를 4비트로 근사하여도 위상오차는 0.00125[rad]을 넘지 않는 것을 확인하였다.

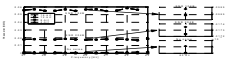

그림 8. 32-포인트 sliding-DFT를 적용한 계수 비트 길이, 잡음 레벨, 주파수 변이를 변화시키며 얻은 컴퓨터 시뮬레이션 위상 측정 오차 요약

Fig. 8. Summary of phase measurement errors simulated by varying twiddle factor bit length, noise level, and frequency deviation. The block length of sliding-DFT is 32-point.

V. 결론

본 논문에서는 매 동기시간에 정밀한 위상 측정을 위한 순환 sliding-DFT 앨고리즘을 제안하고, 이를 바탕으로 다채널 입력의 실시간 위상 측정이 가능한 FPGA 하드웨어를 설계 구현하였다. 앨고리즘은 주파수 변이, 잡음, 그리고 계수근사의 오차영향에 대해 강인함을 가지도록 설계되었다. 위상 측정 앨고리즘에 오차 요인으로 작용하는 계수 근사에 대해 해석적으로 분석하여 제안한 위상 측정 앨고리즘이 계수 근사 오차에 강인하다는 것을 확인하였다. 위상오차의 획기적인 감소는 복소수 평면상에서 근사 계수의 4사분면상에서의 대칭성을 이용함으로써 얻어진다. 제안한 앨고리즘의 위상측정 정확도와 유한비트 근사 영향에 대한 강인한 특성은 특히 프로세싱 속도와 구현의 간소함이 매우 중요한 설계 고려사항인 ASIC이나 임베디드 시스템에 기반한 마이크로프로세서의 적용에 크게 영향을 줄 수 있다. 다채널 실시간 위상 측정 시스템은 IDEC의 지원으로 Synopsys 툴을 이용하여 FPGA를 이용한 하드웨어로 설계 제작 하였고 이의 동작을 확인하였다.

References

[1] Jae-Hwa Kim, and Tae-Gye Chang, "Analytic derivation of finite wordlength effect of the twiddle factors in recursive implementation of the sliding-DFT," *IEEE Trans. Signal Processing*, Vol. 48, pp.1485-1488, May 2000.

[2] A. V. Oppenheim and C. J.Weinsten, "Effects of finite register length in digital filtering and the fast Fourier transform," *Proc. IEEE*, Vol. 60, pp. 957-976, Aug. 1972.

[3] A. Abed, F. Weinachter, H. Razik, A. Rezzoug, "Real-time implementation of the sliding DFT applied to on-line's broken bars diagnostic," *IEMDC IEEE* pp345-348, 2001.

[4] A. G. Phadke, "Synchronized phasor measurements in power systems," *IEEE Compt. Appl. Power,* Vol. 6, pp. 10-15, April 1993.

[5] Jun-Zhe Yang,Chih-Wen Liu, "A precise calculation of power system frequency and phasor," *IEEE Trans. Power Delivery,* Vol. 15, pp. 494-499, April 2000.

[6] K. J. R. Liu, C. T. Chiu, K. K. Koagotla, and J. F. Ja Ja, "Optimal unified architectures for the real-time computation of time-recursive discrete sinusoidal transforms," *IEEE Trans. Circuits Syst.*, Vol. 4 pp. 168~180, Apr. 1994.

[7] N. R. Murthy, M. N. S. Swamy, "On the computation of running discrete cosine and sine transform ," *IEEE Trans. Signal Processing*, Vol. 40, pp. 1430-1437, June 1992

저 자 소 개

어 진 우(魚 鎭 愚)

1979 : 서울대학교 전기공학과 학사.
1988 : Oregon State University 전기 및 컴퓨터공학 석사
1992 : Oregon State University 전기 및 컴퓨터공학 박사.
1979-1986 : 국방과학연구소 연구원.
1992 - 현재 : 단국대학교 전기·전자·컴퓨터공학부 교수
연구 분야 : 영상신호처리, 비디오 코딩, 의료영상해석

장 태 규(張 泰 奎)

1979년 : 서울대학교 전기공학과 졸업.
1981년 : 한국과학기술원 전기 및 전자공학과 졸업(공학석사).
1981년-1982년: 현대엔지니어링(주)
1982년-1984년: 현대전자산업(주).
1987년 : University of Florida 전기공학과 졸업(공학박사).
1987년-1990년 : Tennessee State University, Assistant Professor.
1990년-현재 : 중앙대학교 전자전기공학부 교수.
연구 분야 : 멀티미디어 신호 처리, 통신