

효율적 전류모델을 이용한 고속의 전압 강하와 동적 파워 소모의 분석 기술

Prediction of Dynamic Power Consumption and IR Drop Analysis by efficient current modeling

한 상 열*, 박 상 조**, 이 윤 식***

Sang-Yeol Han*, Sang-Jo Park**, Yun-Sik Lee***

Abstract

The supply voltage has been drop rapidly and the total length of the wire increased exponentially in the nanometer SoC design environment. The ideal supply voltage was dropped sharply by the resistance and parasitic devices which stayed on the kilometers-long wire length. Even worse, it could severely affect the functional behavior of the block of the design. To analyze the effects of the long wire of the SoC while maintaining the accuracy, the modeling of the current and the RC conversion of the parasitic techniques are researched and applied. By these modeling and conversion, the multi-million gates HDTV Chipset can be analyzed within a day. The benchmark analysis of the HDTV SoC showed the superiority to the conventional methods in performance and accuracy.

IR Drop, Power Analysis, Current Modeling, EMI

1. 서 론

반도체 설계의 발전은 무어의 법칙과 더불어 집적도와 기능의 추가로 급속히 변화하고 있다. 특히, 최근의 모바일 기기와 같은 PDA, 휴대전화, CDMA, 노트북등이 요구하는 기능과 소형화에 대한 요구는 반도체 업계가 대응하기에 어려움이 많아서 여러 가지의 방안을 고민하고 있다. 다기능의 요구와 더불어 이동기기를 장시간에 동작할 수 있도록 하는 방안 역시 현재 반도체 업계의 최대 현안이라 하겠다. 소모 전압의 최소화를

위한 최적의 방안은 동작 전압을 낮추는 방안이 현재로서는 최적의 해법으로 사용되고 있으나 이에 부수되는 문제점으로서의 노이즈 마진의 축소, 회로의 지연 현상이 커진다는 단점이 있다[1-3].

공급 전압이 1990년말의 5.0, 3.0V에서 급격히 감소하여 2000년대 중반에는 1.0 미만으로 급격하게 감소하게 됨으로써 소모 전력을 낮추는 장점이 있는 반면, VDSM(Very Deep Sub-Micron) 환경에서 배선의 길이와 배선의 지연이 기하급수적으로 증가하고, 이에 따라 공급 전압이 소멸되는 현상이 커지게 된다. 표 1과 같이 파워선이 길어짐에 따라 저항과 기생소자에 의하여 공급전원이 왜곡현상을 보이게 되고, 소자의 지연, 기능 블록의 동작 오류가 발생하여 칩 전체의 동작이 영향을 받게 된다. 그림1과 같은 현상은 기가급에 해당하는 고속의 동작주파수, 집적도, 다기능의 SoC(System On a Chip)로 인하여 문제의 분석과 해결, 해석을 시급히 요구하는 중대한 기술적인 항목이다.

* (주) 에이캐드 (ACAD Corp.)

** 호서대학교 컴퓨터공학부

(School of Computer Science and Eng., HoSeo Univ.)

接受日:2004年 2月 24日, 修正完了日:2004年 7月 7日

* 교신저자 (Correspondence author)

표 1. 반도체 기술 로드맵(ITRS 2001)

년도	2001	2003	2005	2007
칩 당 기능	193	307	487	773
Tr.수 (백만개/cm ²)	38.6	61.2	97.2	154.3
고성능 칩 (Vdd)	1.1	1.0	0.9	0.7
저전압 칩 (Vdd)	1.2	1.1	1.0	0.9
배선길이	2100M	3500M	5000M	6500M
면적 당 배선길이 (m/cm ²)	70-109	100-120	120-180	125-222
이동기기 бат테리	2.4W	2.8W	3.2W	3.5W

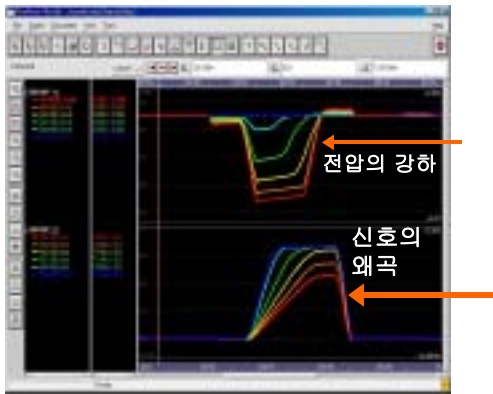


그림 1. Vdd에 따른 신호선의 문제점

특히 배선의 길이가 공정과 기술의 발전에 따라 배선의 길이가 수 Km로 증가하고, 밀도 또한 급속히 확장되는 연유로 발생하는 공급 전원의 강하는 SoC 설계 환경에서의 최대 문제가 되었고, 이를 해결하기 위한 방안이 제공되고 있으나, 지금으로서는 분석 방법과 해결이 실제적인 수백만 개의 회로와 기가 급의 동작의 분석에는 적용이 불가능하다. 이러한 어려움을 극복하기 위한 방안이 모색되어 적용하고 있다[4,5]. 전압 강하의 문제점은 첫째, 분석 대상의 용량이 반도체 칩의 크기가 비례하여 증가한다는 점이다. 표 1에서 배선 길이의 증가는 기하급수적인 칩 당 트랜지스터의 크기보다 더 급속한 증가율을 보이고 있어서 공

급전원의 하락과 함께 실제적인 전압 강하는 기능의 오류, 노이즈의 증가, 소자의 지연으로 말미암아 기능의 오류를 조장하게 된다. 둘째, 배선의 길이가 증대되는 것은 배선의 저항이 늘어나게 되고, 이에 따른 전원의 강하 현상을 심화하게 된다. 그러므로 이론상의 공급 전압(Ideal Vdd)과 실제로 소자에 공급되는 전압(Real Vdd)와는 차이를 보여주게 되고, 그 결과는 의도한 기능과 실제적인 기능의 차이가 심각한 상황이 되고, 공급 전압이 낮아지고 또 배선이 길어질수록 그 차이가 현격히 증가한다.

셋째, 그림2에서 예시한 바와 같이 집적도의 향상, 배선의 증가, 공급 전압의 하락의 결과로 first-shot의 성공 확률이 10% 미만이나 그 주요 원인은 타이밍 오류와 SI관련 오류가 70%를 차지하며(0.25um이하 기준), 이것은 전압 강하의 분석을 통하여 60%를 줄일 수 있다.

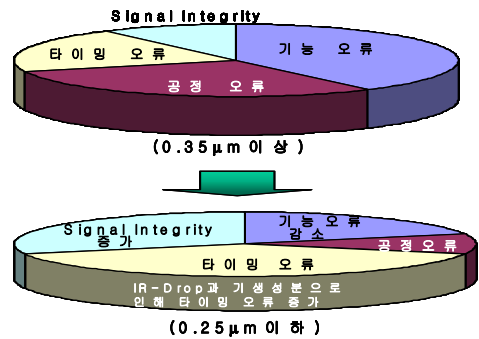


그림 2. 전압강하와 집적도에 따른 오류분석

전압 강하의 분석은 소자의 동작 특성에 따라서 변동되는 라이브러리에 의한 전력 소모를 근거로 하여, 전류의 값과 배선의 RC값의 계산으로 구한다. CMOS 회로에서 소모되는 전력은 4가지의 공급원에 의하여 발생한다. 첫째, 누설 전류(leakage current)이다. 누설 전류는 공정 기술에 의하여 결정되며, 소스 - 드레인(drain) - 벌크(bulk)영역에서 형성되는 기생 다이오드(parasitic diode)의 역 바이어스 전류이거나, 게이트 문턱 전압(threshold voltage) 이하에서 발생하는 인버전 영역(inversion region)에서 발생하는 전류이다. 둘째, 대기 전류(standby current)에 기인한다. 공급 전압인 Vdd와 접지사이에서 일정하게 흐르는 DC 전류에 의한 전력의 소모이다. 셋째, 소자의 출력이 변동함에 따라 DC 경로의 전력의 변동에서 발생하는 단선 전류

(short circuit current)에 의하여 발생하고, 마지막 번째로는 소자의 로직값이 변동됨에 따라 로드의 캐패시턴스 값에 따라 변동되는 스위칭 전류 (switching current 혹은 capacitance current)이다. 도면의 각각에서 소모되는 전력의 값을 전류와 RC로 분리하여 모델링 함으로써 도면의 각각 소자에 해당하는 전류와 RC로 변환하여 분석한다. 소자에서 소모되는 전력인 “Power”는 전류에 따라서 분리하면, 스위칭 동작 때에 소모되는 양(Pswitching), 트랜지스터의 단락(Pshort)에 의하여 소모되는 양, Substrate를 통하여 소모되는 양(Pstatic) 합으로 표현되며, 정적인 파워는 누설 전류에 의한 소모와 예비 전류에 의한 합으로 표현된다 [4-7].

$$Power = P_{switching} + P_{short} + P_{static}$$

$$= SW \cdot C_L \cdot Vdd^2 \cdot F_{clk}$$

$$+ I_{sc} \cdot Vdd + I_{static} \cdot Vdd$$

CMOS의 누설 전류(leakage current)는 소자 기술에 의하여 줄 일수 있으며, 대기 전류는 pseudo-nMOS나 nMOS 로직등의 설계 구현에서 크게 고려할 사항이고 CMOS 공정에서는 실제적인 파워에 큰 영향을 미치지 못한다. CMOS에서의 파워 소모의 주원인은 노드 캐패시턴스의 충전과 방전이고, 이를 Pswitching로 표현된다. 위의 수식의 Pswitching에서 CL은 캐패시턴스의 값, Vdd는 공급 전원, Fclk는 시간당 스위칭 동작의 수를 의미 한다.

전압 강하분석을 위하여 소자를 전류 소스, 전원의 기생성분을 R, C로 모델링하여 전체 도면을 전류 공급원, R, C로 변경하여 분석 할 수 있도록 한다. 소자의 모델링은 소자의 스위칭에 따른 전류의 변화, 로직의 변화에 따른 특성, 파워의 소모값, delay, slew rate등의 특성에 따라 변환된다. 변환된 반도체 도면은 거대한 R,C를 가지게 됨으로써 RC에 대한 분석의 시간이 RC의 수에 따라 기하급수적인 증가를 보이고 있기 때문에 RC를 축소하는 것이 일반적인 방법으로 사용되고 있다. 하지만 RC축소에 따라 전압 강하 분석의 정확성이 직접적인 영향을 받기 때문에 많은 연구와 적용이 시도되고 있다. 그림 3은 소자의 모델링, RC의 축소, 전압의 강하를 분석하는 일반적인 흐름을 보여 주고 있다.

전압 강하를 분석하기 위한 방법에는 그림 4같은 방식이 있다. 구분하면, 크게 두 가지 방법이 있으며, 그

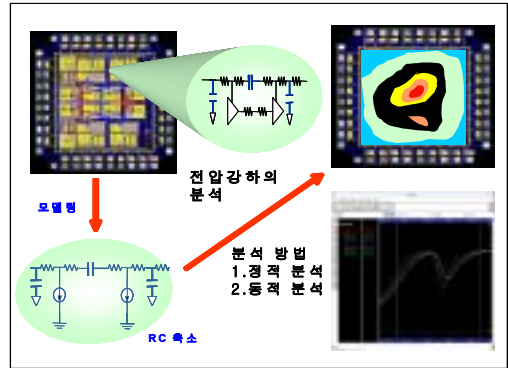


그림 3. 전압 강하 분석의 절차

기준은 전류가 시간 대비 변화 여부에 따라 결정된다. 정적 방식 중 회로 레벨은 소자의 동작 전류에 사용자의 경험에서 나오는 스위칭인자를 곱해서 전류로 사용하는 방식이다. 이 방식은 해석이 매우 효율적이지만 오류가 커서 검증의 의미는 크지 않다. 게이트 레벨의 경우 주어진 시물레이션 구간 동안의 평균 파워 소모를 전압 값으로 스케일링하여 전류로 사용한다. 고속으로 대규모의 SoC를 처리 할 수 있는 장점이 있으나,

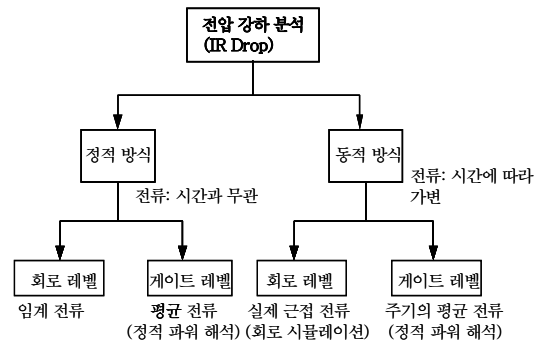


그림 4. 전압강하 분석 방법

분석 결과가 평균값에 의존하는 연유로 말미암아 그림 5와 같은 결과를 갖게 된다. 따라서 실제의 전류 값과는 많은 오차를 갖게 된다.

동적(dynamic) 분석 방법 중 회로 레벨 방법은 회로 시물레이터를 이용하는 방법이다. 이 방법은 SoC회로와 같이 대형 시스템에는 분석이 불가능하며 아날로그 회로나 작은 IP등을 검증할 때 이용될 수 있다. 게이트 레벨 방법은 일정 시간을 분리하여 그 시간에 해당하는 소자의 스위칭 동작에 따른 전류의 흐름과 전력

소모의 양, delay와 slew rate에 따라 변하는 전력 소모를 고려하여 소자에 흐르는 전류와 소모 전압을 계산함으로써 정적 분석에 비하여 근접한 전류 값을 찾을 수 있으며, 전압 강하 현상을 야기하는 소자나 시간, 입출력 값을 찾을 수 있다. 그러나, 그림 5에서 문제점으로 지적한 바와 같이 실제 전류의 피크값(peak value)에 대한 추출은 불가능하기 때문에 칩 동작에 오류를 발생하는 전압 강하를 정확히 예측할 수가 없다. 전압 강하를 예측하기 위하여서는 실제의 전류 값에 해당하는 피크값을 분석하여 추출하는 연구가 진행되어야 하고, 본 연구는 피크값을 제공함으로써 피크 전압 강하의 현상을 예측할 수 있도록 한다.

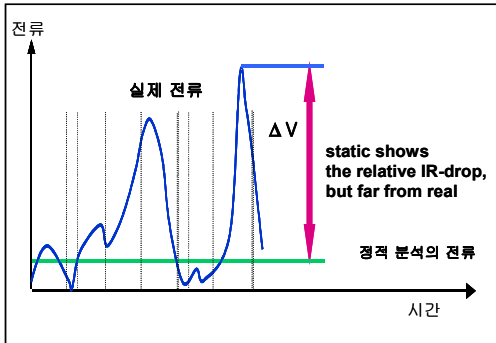


그림 5. 정적 전압 강하의 분석 결과 비교

II. 전압강하 분석을 위한 알고리즘

1. 전압 강하의 분석을 위한 구성도

반도체 도면의 전압 강하를 분석하기 위한 구성은 다음과 같다. 그림 7의 표현과 같이 입력은 상위의 4개 부분으로 구성되어 있고, 출력은 도면의 GDS를 이용하여 도면상에서 전압 강하가 심각한 정도에 따라 색상으로 분리 표기하여 결과를 일목요연하게 볼 수 있다. 입력의 구성을 보면 정적 방법과 동적 방법에 따라 분리가 되나, 정적인 방법은 도면의 회로도(Verilog netlist), 시놉시스社(Synopsys)의 라이브러리, 도면의 RC 값을 추출한 DSPF (detailed standard parasitic format)와 동적인 분석을 위한 VCD (Value Change Dump) 화일을 사용한다. VCD는 소자의 스위칭 동작의 시간과 전류 소모량을 분석하기 위하여 사용되며, 정적인 분석의 경우에는 전체의 평균값을 사용한다.

분석 결과는 도면에서 생성한 레이아웃 형식의 GDS도 표기하여, 도면의 네트 이름으로서는 전압의 값을 표기하여 선택하여 볼 수 있도록 제공한다.

2. 구성 요소 설명

입력과 출력 기능을 제외하고 그림 8에서 표현한 바와 같이 전압 강하의 분석에는 크게 지연계산기(delay calculator), 파워소모 계산기(power calculator), RC 축소기(reduction), 전류 추출기(current extractor), 피크값 추출기(peak detector)로 구성되어 있다.

2.1 지연 계산기(delay calculator)

0.25마이크론 이하의 VDSM(Very Deep-Sub Micron)의 설계 환경에서는 타이밍에 대한 고려가 더욱 심화될 수밖에 없다. 배선의 길이, 배선 폭의 축소,

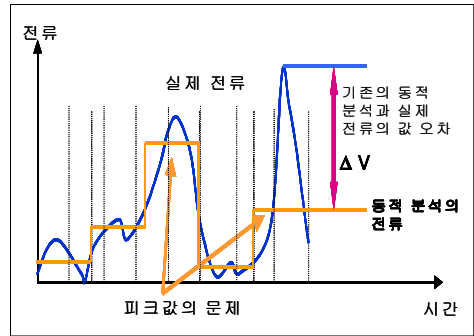


그림 6. 기존의 동적 분석과 문제점

고속의 동작 주파수, 혼성 신호(mixed signal) 회로의 특성 등이 그 원인이다. 이와 같이 타이밍에 관련된 문제는 배선간의 지연, 클럭의 스큐(skew)등으로 기술할 수 있으며 설계 시점에서 정확히 고려하여 검증하여 문제점을 배제하여야만 원하고자 하는 first-shot이나 time-to-market을 성취할 수 있다. 지연 계산기는 설계에 사용된 셀(primitive cell), IP 등의 시간에 따른 입출력 딜레이와 기율기(slew rate)를 추출하여 고유의 스위칭 특성을 추출하는 역할을 담당한다. 각 셀이나 IP의 특성은 파워 계산기에서 파워 소모를 계산하는 데 활용되고, 궁극적으로는 전압 강하 분석의 정확성의 한 요인이 된다.

레이아웃 도면에서 추출한 DSPF를 근거로 하여 계산하며, AWE (Asymptotic Waveform Evaluation) 방식

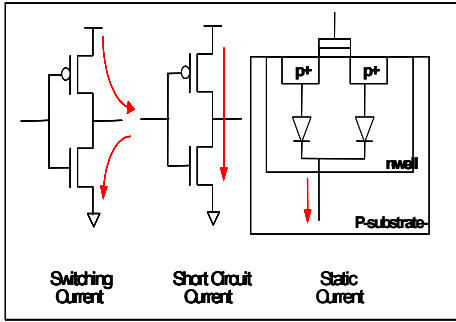


그림 7. 게이트 소자의 파워소모 유형

을 활용하여 계산함으로써 정확도를 HSPICE 대비 5%이내, 처리 속도를 기존의 방식보다 2배 정도 빠르게 구현하였다.

2.2 파워 계산기(power calculator)

서론에서 설명한 바와 같이, 셀이나 소자는 전류에 따라 파워 소모가 $P_{switching}$, P_{static} , $P_{leakage}$ 등으로 구분되어 파워 소모를 분석할 수 있다. 소자의 동작 형태는 그림 7과 같은 형태로 표현 될 수 있으며, 각각에 따른 전류의 흐름이 다르고 또한 파워의 소모가 크게 다르기 때문에 소자의 동작이 분석 시점에 따라 어떻게 동작하고 있는 가를 고려하여야 정확한 파워의 소모를 분석할 수 있다. 소자와 더불어 SoC설계에 많이 사용되는 메모리, IP의 블록도 동작 조건과 동작시의 전류의 흐름, 동작에 따른 파워 소모를 고려하여야 SoC 칩에 대한 전압 강하 분석이 정확해 질 수 있다. IP나 메모리의 파워 소모가 셀과 대비하여 상대적으로 크기 때문에 IP, 메모리의 파워 모델링이 파워 소모량이 큰 SoC칩 해석의 관건이 되며, 이는 지속적인 연구 항목이 된다.

2.3 피크 파워 구간 추출기

피크 파워 구간 추출은 게이트 레벨 시뮬레이션 결과인 VCD파일과 파워 소모 분석을 통해서 이루어진다. 먼저 VCD를 통해서 각 게이트의 이벤트(event)를 추출한다. 각 이벤트에 의해 필요한 전류값은 노드 전류와 셀 전류로 이루어지며, 이것은 파워 소모의 분석을 통해서 얻을 수 있다. 각 시간 별 이벤트 전류를 추출하였으면, 이를 이용하여 접근 영역별 그룹 이벤트 전류(group event current)를 추출한다. 그룹 이벤트 전류는 일정한 구간 사이의 이벤트 전류의 합계를

의미한다. 순간적인 이벤트 전류가 최고라고 해도 전 영역에서 분석하면 피크의 전압 강하를 유발하지 않을 수도 있다. 그림 8에서와 같이 순간적인 피크 값은 2.0ns 부근이 가장 크지만, 5.5ns 부분이 많은 이벤트 전류가 모여 있어 최대 전압 강하가 발생할 수도 있다. 이러한 경우, RANK1 뿐 아니라 RANK2까지 해석하면 오류를 방지할 가능성이 커진다. 따라서 본 연구의 알고리즘은 오류를 방지하기 위해 K 개의 그룹 피크 이벤트 영역을 추출하여 해석한다.

2.4 RC 축소 모델

배선 회로가 대형화됨에 따라 효율적인 해석을 위하여 배선에서 추출한 RC 회로를 축소하는 방법이 널리 사용되어 왔으며, 그 중 하나는 엘모어 (Elmore) 시정수에 큰 영향을 주지 않는 소자들을 제거하는 방법이다. 이 방법은 계산 효율 측면에서는 매우 우수하지만, RC 트리 형태의 배선 회로에만 적용할 수 있다

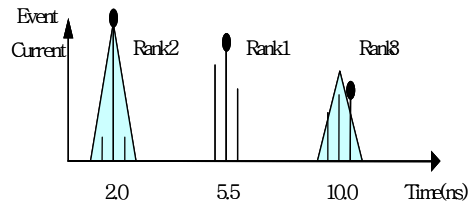


그림 8. 피크 전류를 계산을 위한 영역 설정

는 제한이 있다. RC 트리란 회로 내의 모든 커패시터의 한 쪽 단자는 접지 노드에 연결되고, 모든 저항은 접지 노드와 연결되지 않는 형태의 RC 회로를 의미한다. 따라서 배선 층 수의 증가에 따라 중요도가 커지고 있는 부동 커패시턴스를 고려하기가 힘들다는 것이 단점이다. 본 연구에서는 노드 시정수에 바탕을 두고 RC 회로를 축소하는 RCC (RC Compression system for interconnect circuits)의 알고리즘 및 실험 결과를 제시하고자 한다[12,13]. RCC는 회로 내의 모든 노드에 대한 시정수를 계산한 다음, 사용자가 정한 기준보다 작은 시정수를 갖는 노드는 제거하는 접근 방식을 취하고 있다. RCC는 입력 RC 회로 구조에 대하여 제한을 두고 있지 않으며 축소된 RC 회로에 대하여 안정성과 수동성을 보장한다. RCC는 매크로 모델이 아닌 RC 회로를 출력해 줌으로써 회로 시뮬레이터를 수정할 필요가 없다는 장점을 갖는다. 또한 정확도 목표에 따라 축소율을 조정할 수 있다는 특징도 가지고 있

다. RCC를 사용하여 수 만 개 이상의 저항과 커패시터로 구성된 RC 회로를 99%까지 축소한 다음 SPICE를 이용하여 지연 시간을 비교한 결과 1% 이내의 오차를 나타내었다.

2.5 RLC 분석기

SoC 도면의 전압 강하 분석 시에 발생하는 가장 큰 문제는 전원선 회로의 복잡성 문제이다. 고성능 SoC 시스템의 전원선 회로는 수천~수억개 이상의 노드로 구성되며, 칩 내부에 집적되는 트랜지스터 수는 수 천만 개 이상이다. 이러한 복잡한 SoC 시스템의 전압 강하 현상을 일반적인 회로 시뮬레이터로 해석하는 것은 너무 복잡하거나 해석이 불가능하다. 이러한 복잡성 문제를 극복하기 위한 목적으로 RLC 분석기의 연구가 수행되었다. 세부 내용은 크게 전원선 모델링 기법에 관한 연구와, 전원선 등가회로 해석 기법에 관한 연구로 구분되어 진행되었으며, 모든 연구는 동적 전압 강하 분석에 초점을 맞추어 수행되었다.

복잡성 문제를 극복하기 위한 첫 번째 방법은 효율적인 모델링 기법으로 전원선 회로의 복잡성을 줄이는 것이다. 전원선 회로는 칩 전체에 전원을 공급하기 위한 네트워크(network) 형태의 파워 격자(power grid)과 파워 격자에 연결된 게이트로 구성된다. 파워 격자는 칩 전체에 전원을 공급하는 역할을 한다. 일반적으로 파워 격자는 네트워크 형태로 구성되며, RC 네트워크로 모델링 된다. 현재 칩 내부에서 인덕턴스 성분은 전원선 전압 강하에 큰 영향을 미치지 않으므로 고려하지 않으며, RC 추출기를 이용하여 전원선의 저항 성분과 커패시턴스 성분을 추출한 후에 모델링 한다. 파워를 소모하는 게이트들은 전류원으로 모델링하여 전체 회로 크기를 줄인다.

두 번째 방법인 Multi-grid method를 응용한 회로 축소 기법[10,11]은 노드 제거를 통해 회로를 축소시켜 해석함으로써 전압 강하 분석의 복잡성을 줄이는 방법이다. Multi-grid method는 편미분 방정식 중 경계치 문제(boundary-value problem)를 해결하기 위한 수치 해석 방법으로 복잡한 격자를 단순한 격자로 축소시켜서 해를 구하고, 축소된 격자에서 구한 해를 바탕으로 원래 격자의 해를 복원하는 과정으로 수행된다.

2.6 전압 강하 분석의 알고리즘

서론에서 설명한 바와 같이, 전압 강하의 분석은 크게 두 가지의 방법이 있다. 첫 번째 방법은 정적인 분석 방법이며, Standard Cell 기반 설계에 많이 활용

되고 분석결과를 대략적이지만 빠른 결과를 볼 수 있다.

동적인 분석의 핵심은 소자나 셀에 인가되는 전류의 값을 정확히 분석하는 데 있다. 이 전류를 세부적으로 분류와 연산 기능, RLC 해석 기능을 사용하여 분석하고 도면의 각각의 셀, 넷트 및 모듈의 파워 소모를 분석할 수 있다.

정적인 분석과는 다르게 동적인 분석 방법은 정확도와 수행 속도를 향상하기 위한 방안 등이 적용되었다. VCD를 사용하여, 소자와 셀의 스위칭 시점을 찾아서 전류의 변화 시점을 분석에 적용함으로써 시간에 따른

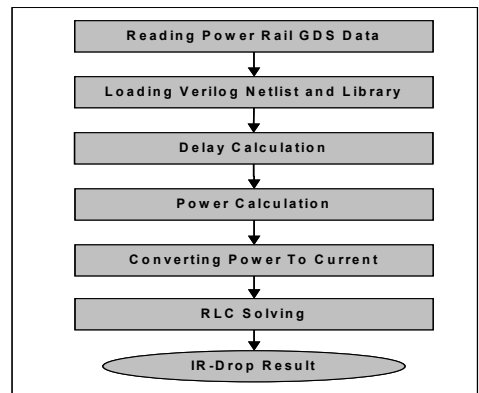


그림 9. 정적 분석의 흐름도

전류 변화를 이용하여 회로를 분석하여 최대 전압 강하를 찾아낼 수 있다.

게이트와 전원과 연결된 위치에서 흐르는 전류는 그림 14와 같이 게이트에 자체의 전류와 게이트 출력단의 캐패시터에 흐르는 전류의 합으로 구성된다. 게이트의 전류 값은 기존의 라이브러리의 파워 값에서 추출할 수 있다. 그러나 시간에 따른 평균값이 아닌 실제 게이트의 행위시에 발생하는 전류 값과 시간 구간을 얻기 위해, VCD에서 얻은 이벤트 위치를 분석하여 전류가 흐르는 구간을 선정한다.

게이트 전류와는 달리, 로드 캐패시터에 흐르는 전류는 지연 계산기에서 구한 slew rate를 사용한다. 기본 생각은 기울기에 의한 시간 구간이 실제로 전류가 흐르는 시간이 되며, 이때 충전해야 하는 전하량(charge)을 계산하면 구간내의 전류를 별도의 모델링 없이도 추출할 수 있다. 이러한 방법으로 게이트에 흐르는 전류와 로드 캐패시터에 흐르는 전류를 복원하여, 전압 강하 시뮬레이션을 수행한다.

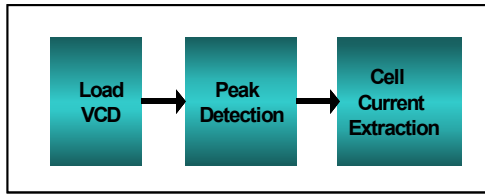


그림 10. 피크 선택을 위한 절차

전류의 모델링과 더불어 정확도에 많은 영향을 미치는 것이 전원 선에서 바라보는 비스위칭

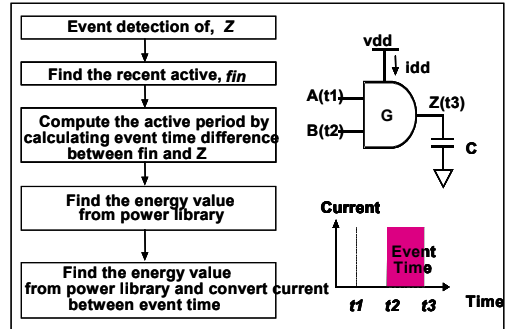


그림 12. 게이트 소자의 전류 계산 방법

있다. 이 방법은 일정한 값을 유지하기 때문에 반복적으로 회로를 구성할 필요가 없어 매우 효율적이다.

$$C_{decap} = \frac{P}{V^2 f \times SF} \times (1 - SF)$$

P : average power of circuit block

V : supply voltage

SF : average switching factor

f : frequency

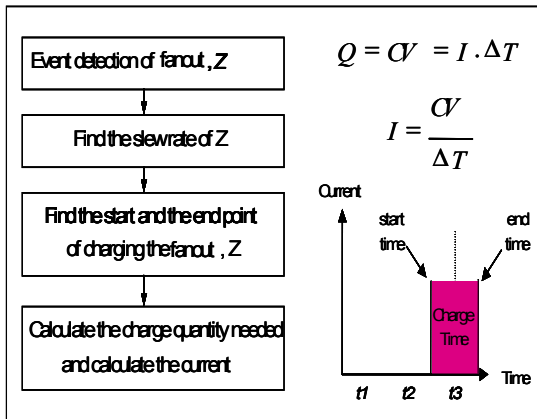


그림 11. 캐패시터 전류를 찾기 위한 흐름도

(non-switching) 게이트의 영향이다. SoC 설계의 평균 스위칭 률은 20~30% 정도이므로 전체 회로에서 70%~80%정도의 게이트들이 비스위칭이며 이에 대한 모델링이 없이는 정확한 해석이 불가능하다.

비스위칭 게이트에 대한 캐패시터 모델은 R 과 C로 모델링하는 방법과 C로만 모델링하는 방법이 있다. R 과 C로 모델링하는 방식은 정확도가 높다는 장점이 있지만, 매 순간마다 회로의 값이 달라지기 때문에 이를 추출하기 위해 해석의 효율성이 떨어지는 단점을 가지고 있다. 또한 하나의 게이트에 대해 새로운 노드가 하나 발생되기 때문에 전체 회로의 크기를 크게 만드는 단점이 있다.

C로만 모델링 하는 방식은 아래 식과 같이 캐패시턴스 값을 스위칭 인자(switching factor)를 이용해서 구하는 방법이다. 이 스위칭 인자는 게이트에 대해 시뮬레이션 구간 동안 스위칭하는 횟수를 이용해서 구할 수

III. 구현의 결과

전술한 바와 같이 각각의 구성에 대한 구현 결과와 더불어 출력율 결과를 다음과 같은 성능 수행 결과를 보여 주고 있다. 표3의 회로는 2.5Vdd, 0.25공정, 2,3867 개의 MOSFET로 구성된 회로이며, 전압 강하 전압은 HSPICE 대비 5%미만인 것을 알 수 있고, 분석시간은 약 800배 빠르게 수행되어 SoC칩의 분석에 가능하다는 것을 알 수 있고, 표 2가 상대적으로 큰 칩에 대한 분석 결과를 보여 주고 있다. 표 2의 결과는 칩의 크기가 상대적으로 대형인 연유로 HSPICE가 수행할 수 없었고, HSPICE보다 대형의 칩을 처리 할 수 있는 상용 EDA SW를 이용하여 비교 한 결과이다. 전압 강하의 값은 0.7과 0.74로써 오차가 대동소이한 결과를 보여주고 있으며, 수행 속도는 94,477초와 48초로써 수행 속도는 월등한 경쟁 우위를 점하고 있다.

표 2. 동적 전압 강하의 예제 2

	MAX IR (V)	平均 오류	메모리 사용량	소요시간 (초)
HSPICE	N/A	N/A	N/A	N/A
경쟁 SW	0.74	0(0%)	122M	94477
본 연구	0.70	0.137 (18.5%)	36M	48
0.25um, VDD(2.5V), MOSFET(90,236), R(48,439)				

표 3은 대형 회로를 분석하여 그 결과를 보여 주고 있으며, 상용의 EDA SW도 칩의 크기가 대형인 연유로 수행이 불가능한 상태이고, 본 연구는 수행 결과를 보여 주고 있으며, 수행 시간 또한 253초에 해당하는 월등한 경쟁 우위를 점하고 있는 것을 보여 주고 있다. 근래의 SoC 칩의 특성상 그 크기가 수백만 게이트 이상이 되고, 칩 내부의 구조도 디지털과 아날로그 혼성으로 구성되어 있다. 또, 전압강하 현상은 주로 대형 크기의 칩에서 두드러진 현상을 보이기 때문에 대형 칩에 대한 처리와 처리 속도를 감안하지 않을 수 없다.

표 3. 동적 전압 강하의 예제 3

	MAX IR (V)	平均 오류	메모리 사용량	소요시간 (초)
HSPICE	N/A	N/A	N/A	N/A
경쟁 SW	0.74	0(0%)	122M	94477
본 연구	0.70	0.137 (18.5%)	36M	48
0.25um, VDD(2.5V), MOSFET(435,136), R(109,333)				

표 4는 동 연구를 현재 구현되고 있는 SoC 칩의 모델에 해당하는 640만개의 게이트(약 2,500만개의 트랜지스터)로 구성되어 1.2V의 동작 전압과 188개의 IP로 구성된 회로에 대한 분석 결과이다. 64비트 SUN OS, 700MHz의 플랫폼을 이용하여 수행하였으며, 수행시간 비교에 있어서는 경쟁사 대비 50%의 시간으로 분석을 하였다

표 4. 대형 SoC 분석 결과

항목	세부 사항 1	세부 사항 2	수행 결과
회로의 크기	0.13마이크론 6.5M 게이트	25M 트랜지스터	<ul style="list-style-type: none"> 총분석시간 5시간 Drop 전압 180mV
SoC특성 (IP갯수)	188개	13종류	
R,C갯수	R:약10M개	C:약3M 개	
V _{dd} , 파워노드 수	39개 Vdd	약10M개의 파워노드	

수행 속도와 더불어 본 연구를 상용화하기 위하여 분석 결과의 출력과 사용자 편의를 위하여 TCL/TK와 GTK를 사용하여 단계 별 진행과 절차를 보여 주고 있다.

IV. 결론

전압 강하 현상에 대한 고려는 대략 2 ~ 3년전부터 국내 반도체 기업 내에서 외국의 상용 제품들을 구입 적용하고 있으나, 서론에서 기술한 바와 같이 정확성과 처리 용량의 문제로 말미암아 본 연구가 지속되고 제

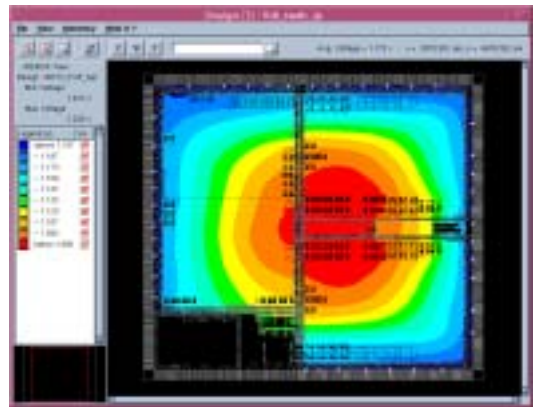


그림 13. 대형 SoC 풀 칩의 분석 결과

품화되어 활용되고 있다. 특히 SoC환경의 수백만 게이트급 도면의 전압강하 문제를 처리하여야 하는 상황에서 본 연구는 표6과 같이 대형 칩의 처리가 가능함에 따라 처리 속도와 용량에 있어 경쟁력이 있다고 하겠다. 또한, 현재와 향후의 SoC 특성에 해당하는 IP의 처리를 어떤 방식으로 분석을 수행할 것에 대한 연구

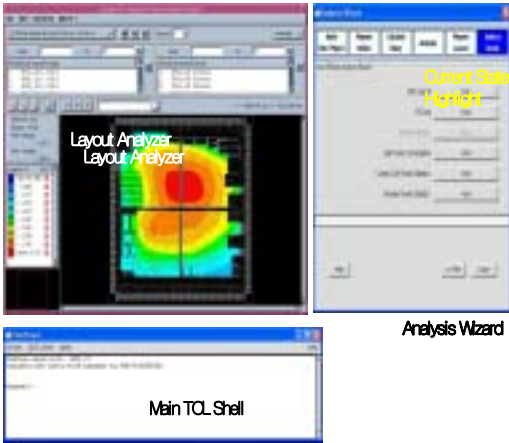


그림 14. 전압강하의 결과

가 진행되어야 하겠다. 이미, IP분석에 관한 연구와 실험결과가 일부 완성되었으나 지면상 다음 기회에 상세하게 구현 방법, 실험 결과 등을 기술할 예정이다. 부가적으로 기능으로 PLI를 통한 RTL 시뮬레이터와의 인터페이스를 완료함으로써 시뮬레이션과 동시에 전압 강하를 수행할 수 있도록 개선되어 있다. 향후에는 RLC모델의 구현과 cross-talk의 현상 분석을 추가하고, IP들로 구성되어 있는 SoC의 특성을 효율적으로 처리하기 위한 방안의 구현을 모색할 것이다. 나노미터의 초대형 SoC 설계를 위한 파워 분석 기능과 기가헬즈의 동작주파수에 필수적인 기능을 추가하여 경쟁력을 추가해 나갈 예정이다.

ACK

본 논문은 시스템집적반도체기반기술사업과 IT SoC 핵심인력양성사업의 지원으로 수행되었음.

참고문헌

[1] W. C. Elmore, Journal of Applied Physics, 19(1), 55 (1948).
 [2] S. L. Su, V. B. Rao and T. N. Trick, Proc. of IEEE International Conference on Computer-Aided Design, 270 (1986).
 [3] J. Rubinstein, P. Penfield Jr. and M. A.

Horowitz, IEEE Trans. on Computer-Aided Design, 2(3), 202 (1983).
 [4] L. T. Pillage and R. A. Rohrer, IEEE Trans. on Computer-Aided Design, 9(4), 352 (1990).
 [5] S. Kim, N. Gopal and L. T. Pillage, Proc. of IEEE International Conference on Computer-Aided Design, 64 (1992).
 [6] F. Dartu, B. Tutuianu and L. T. Pillage, Proc. of 33-rd Design Automation Conference, 544 (1996).
 [7] V. Raghavan, J. E. Bracken and R. A. Rohrer, Proc. of 29-th Design Automation Conference, 87 (1992).
 [8] B. Tutuianu, F. Dartu and L. T. Pileggi, Proc. of 33-rd Design Automation Conference, 611 (1996).
 [9] A. Devgan and P. R. OBrien, Proc. of IEEE International Conference on Computer-Aided Design, 204 (1999).
 [10] 구종은, "효율적인 IR Drop 해석 기법에 관한 연구", 포항공대 석사학위 논문, december, 2002
 [11] Joseph N. Kozhaya, et al, "A Multigrid-Like Technique for Power Grid Analysis", IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems, Vol. 21, NO.10, October 2002
 [12] J. Qian, S. Pullela and L. T. Pillage, "Modeling the Effective Capacitance for the RC Interconnect of CMOS Gates," IEEE Trans. on Computer-Aided Design, vol. 13, no. 12, pp. 1526-1535, December 1994.
 [13] J. Rubinstein, P. Penfield Jr. and M. A. Horowitz, "Signal Delay in RC Tree Networks," IEEE Trans. on Computer-Aided Design, vol. 2, no. 3, pp. 202-211, July 1983.

저 자 소 개

한 상 열



1991년 2월 : 포항공대 전기전자공학과 학사

1993년 2월 : 포항공대 전기전자공학과 석사

1997년 8월 : 포항공대 전기전자공학과 박사

1997년 8월 ~ 2001년 2월 : Hynix

반도체 선임연구원

2001년 3월 ~ 현재 : (주)에이캐드 CTO

주관심분야 : VLSI CAD 알고리즘, Physical Design, Timing Analysis 등

이 윤 식



1981년 2월 : 서강대학교 전자공학과 학사

1983년 2월 : 한국과학기술원 전산학 석사

1994년 12월 : 미 남플로리다주립대 컴퓨터공학 박사

1983년 3월 ~ 1989년 1월 : LG전자 선임

1990년 1월 ~ 1994년 4월 : 미 Center for Microelectronics Lab. 책임

1994년 8월 ~ 1998년 6월 : LG반도체 책임

1998년 7월 ~ 2000년 7월 : (주)파이손테크 대표

2001년 8월 ~ 2003년 9월 : ACAD 연구소장

1999년 8월 ~ 현재 : 호서대 부교수

주관심분야 : VLSI CAD 알고리즘, Design Automation, Hardware Accelerator