

내장형 전류 감지회로를 이용한 타이밍 오류 검출기 설계

Design of a Timing Error Detector Using Built-In current Sensor

강 장 희*, 정 한 철**, 곽 철 호***, 김 정 범*★

Jang Hee Kang*, Han Chul Jeong**, Chol Ho Kwak*** and Jeong Beom Kim*★

요 약

오류제어는 많은 전자 시스템의 주요한 관심사이다. 시스템 동작에 영향을 미치는 대부분의 고장은 회로에서 발생하는 타이밍 위반의 결과로 나타나는 비정상적인 신호지연으로 인한 것이며, 이는 주로 과도고장에 의해 발생한다. 본 논문에서는 CMOS 회로의 동작 중에 타이밍 오류를 검출하는 회로를 설계하였다. 타이밍 오류 검출기는 클럭에 의해 제어되는 시스템의 준비시간 및 대기시간의 위반에 대한 오류를 검출할 수 있다. 설계한 회로는 데이터의 입력이 클럭 천이지점에서 변화할 때 과도전류를 측정하여 오류 검출기의 전류 감지회로에서 발생시킨 기준전류와 비교함으로써 오류의 발생 여부를 확인 할 수 있다. 이러한 방법은 클럭에 의해 동작하는 시스템의 준비시간 및 대기시간의 위반에 따른 오류를 효과적으로 검출할 수 있음을 보여준다. 이 회로는 2.5V 공급전압의 0.25 μ m CMOS 기술을 이용하여 구현하였으며, HSPICE로 시뮬레이션하여 정당성 및 효율성을 검증하였다.

Abstract

Error control is one of major concerns in many electronic systems. Experience shows that most malfunctions during system operation are caused by transient faults, which often mean abnormal signal delays that may result in violations of circuit element timing constraints. This paper presents a novel CMOS-based concurrent timing error detector that makes a flip-flop to sense and then signal whether its data has been potentially corrupted or not by a setup or hold timing violation. Designed circuit performs a quiescent supply current evaluation to determine timing violation from the input changes in relation to a clock edge. If the input is too close to the clock time, the resulting switching transient current in the detection circuit exceeds a reference threshold at the instant of the clock transition and an error is flagged. The circuit is designed with a 0.25 μ m standard CMOS technology at a 2.5 V supply voltage. The validity and effectiveness are verified through the HSPICE simulation. The simulation results in this paper shows that designed circuit can be used to detect setup and hold time violations effectively in clocked circuit element

1. 서 론

오늘날 전자시스템의 높은 신뢰성(reliability)을 유지하기 위해서 타이밍 오류제어는 매우 중요한 관심사이다. 클럭에 의해 동작하는 모든 전자시스템의 경우, 신호의 전달은 많은 시간적 제약을 가지고 있으며, 여기

서 발생할 수 있는 타이밍 위반(timing violation)에 따른 오류는 시스템의 파괴보다는 일시적인 오류나 잘못된 데이터 저장 등의 문제를 일으킬 수 있다. 이러한 타이밍 위반에 의해 시스템 내에서 발생하는 타이밍 오류는 부정확한 데이터를 가져오기 전에 격리시키거나 정확한 신호로 보정하여야 한다. 전자시스템은 높은 신뢰성을 유지하도록 시스템의 동작 중에 오류를

검출할 수 있도록 설계하여야 한다.^[1] 지금까지 오류를 검출하기 위해서 오류제어 코딩(error control coding)^[2], 복사(duplication)^[3], 또는 자체테스트 회로(self test circuit)^[4-6] 등의 방법들이 사용되어 왔다. 이러한 방법들은 물리적인 장애로 인해 발생하는 영구적인 고장을 검출하는 데에 적용되었다. 그러나 이러한 연구결과에 의하면 대부분의 오류는 타이밍에 의해 동작하는 회로에 영향을 미치는 과도고장(transient fault)에 의한 것이다.^[7] 또한 물리적 결함, 잡음, 불안정한 하드웨어 구성 등에 의해 발생하는 과도고장은 시스템의 정상 상태에서의 논리 동작에는 영향을 미치지 않지만 전체 시스템의 성능을 저하시킨다. 타이밍 오류 검출에 대한 연구는 여러 분야에서 널리 진행되어 왔다.^[8-13] 디지털 통신 분야에서는 데이터 전송시스템상의 오류를 검출하는 방식에 대한 연구가 널리 진행되어 왔다.[9-13] 칩 설계 분야에서는 타이밍 감응회로(timing sensitive circuit)에서 발생하는 준비시간(setup time)과 대기시간(hold time)의 위반을 검출하는 연구결과가 제시되었다.^[8]

전류테스팅은 CMOS 회로의 구조적 특성상 정적상태(quiescent state)에서 전류가 거의 흐르지 않는 점을 이용하여 고장을 검출하는 방법이다. CMOS 회로에서 드레인-소오스 합선 및 게이트-옥사이드 합선 등의 결함이 발생하면 정적상태에서 공급전원과 접지단자 사이에 전도경로가 형성되어 결함전류가 흐르게 된다. 이러한 결함들은 논리고장을 발생시키지 않고 신호지연을 발생시킬 수 있으며, 시간이 흐름에 따라 상태가 악화되어 시스템 내에서 오동작을 유발시키기도 한다. 전류테스팅에서는 IC 내에 전류 감지회로를 내장하여 이러한 결함전류를 검출한다. 지금까지 여러 연구자들에 의해 전류테스팅을 이용하여 IC 내에 존재하는 물리적 결함을 검출하는 연구가 진행되어 왔으며, 최근에는 내장형 전류 감지회로를 이용하여 온라인 테스트에 적용하는 연구가 진행되고 있다. 또한, 내장형 전류 감지회로(built-in current sensor)를 이용하여 타이밍 오류, 즉 준비시간과 대기시간의 위반을 검출하는 타이밍 오류 검출기(timing error detector)가 제시되었다^[8]. 이 연구에서는 입력되는 클럭이 'High'로 유지되는 구간에서 항상 전류감지회로에서 기준전류를 발생하고 과도전류 생성기에서 발생한 과도전류와 비교하여 클럭이 상승 천이지점에서 동작하는 타이밍 감응회로에서는 정상적으로 타이밍 오류를 검출한다. 그러나 이후에는 클럭이 'High'를 유지하고 있는 구간이 계속될 때 대기시간 위반이 아닌 정상적인 신호의 천이

가 발생하여도 타이밍 오류신호를 발생하게 된다. 마찬가지로 클럭이 하강 천이지점에서 동작하는 타이밍 감응회로의 경우에는 대기시간 위반인 경우에는 정상적으로 타이밍 오류의 검출이 가능하지만, 준비시간의 경우는 타이밍이 'High'가 유지되고 있는 구간에서 정상적인 신호의 천이가 발생할 때에도 오류신호를 발생하게 되므로 준비시간과 대기시간을 동시에 검출이 불가능하다. 따라서 클럭의 상승 천이지점에서 동작하는 타이밍 감응회로의 경우에는 준비시간의 위반에 대하여만 오류 검출이 가능하고, 반대로 하강 천이지점에서 동작하는 타이밍 감응 회로의 경우에는 대기시간의 위반에 대하여만 오류 검출이 가능하다는 단점이 있다.

본 논문에서는 CMOS 회로의 동작 중에 타이밍 오류를 검출할 수 있는 타이밍 오류 검출기를 설계하였다. 이 회로는 플립플롭과 같이 타이밍에 의해 제어되는 회로의 준비시간과 대기시간의 위반으로 인한 오류를 동시에 검출한다. 본 논문에서 설계한 타이밍 오류 검출기는 타이밍 감응회로에 입력되는 동일한 데이터 신호와 클럭을 사용하였고, 내장형 전류 감지회로에서 기준전류를 생성하여 과도전류와 비교함으로써 준비시간과 대기시간의 위반에 따른 오류를 검출한다. 또한 클럭 지연 발생기에 삽입된 펄스 생성기의 모드를 선택에 의해 클럭의 상승 천이지점, 하강 천이지점 뿐만 아니라, 상승하강 천이구간에서 동작하는 모든 타이밍 감응 회로의 대기시간과 준비시간 위반으로 발생하는 타이밍 오류를 검출할 수 있다. 본 논문에서 설계한 타이밍 오류 검출기는 과도고장으로 인해 발생하는 타이밍 오류를 검출함으로써 타이밍 감응회로의 동작 신뢰성을 증가시킨다.

본 논문의 구성은 다음과 같다. II장에서는 타이밍 오류 검출기의 기본동작에 대해 기술하였고, III장에서는 본 논문에서 제안한 타이밍 오류 검출기를 제시하였다. IV장에서는 회로의 물리적 구현과 시뮬레이션 결과에 대해 기술하였으며, V장에서는 본 논문의 결론을 기술하였다.

II. 타이밍 오류 검출기

그림 1은 타이밍 오류 검출기의 블록 다이어그램이다. 타이밍 오류 검출기는 타이밍 감응회로를 구동하는 데이터 입력과 동일한 입력을 사용하기 위해 버퍼

와 타이밍 캐패시턴스(timing capacitance)가 연결된 과도전류 생성기(transient current generator)를 타이밍 감응회로와 병렬로 연결하고, 과도전류 생성기에 전류 감지회로(current sensor)를 연결하여 발생한 과도전류를 전류 감지회로에 입력한다. 또한 타이밍 감응회로에 연결되어 있는 클럭 지연 발생기(clock delay generator)는 인버터의 직렬 연결로 구성되어 타이밍 캐패시턴스에서 발생한 지연과 동일한 클럭 지연을 발생시킨 후, 이를 전류 감지회로에 입력한다. 전류 감지회로에서는 입력신호의 준비시간과 대기시간에서 발생한 과도전류의 교차점으로부터 기준전류를 생성하고, 이 기준전류를 전류 생성기로부터 입력된 과도전류와 동일한 시간에 비교하여 오류신호의 여부를 확인 할 수 있도록 한다.

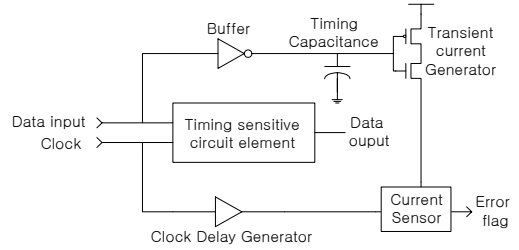


그림 1. 타이밍 오류 검출기의 블록 다이어그램
Fig. 1. Block diagram of a timing error detector

그림 2는 데이터의 입력 신호가 변화할 때 과도전류 생성기가 발생시킨 두 개의 과도전류의 파형이다. 좌측 파형(1)은 데이터의 입력 신호가 준비시간 임계점에서 변화할 때의 과도전류 파형이며, 우측 파형(2)은 데이터의 입력 신호가 대기시간 임계점에서 변화할 때의 과도전류 파형이다.

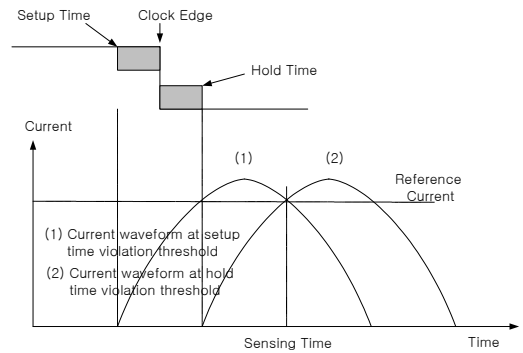


그림 2. 과도전류 생성기에서 발생하는 두 개의 과도전류의 파형
Fig. 2. Waveforms of two transient current by transient current generator

파형(1)이 우측으로 이동하게 되면 준비시간 위반 구간에서 데이터 입력이 천이 된 것이고, 즉, 준비시간 위반이 발생한 것을 의미한다. 이때 감지시간에서 과도전류는 기준전류보다 높은 값을 가진다. 또한 파형(2)가 좌측으로 이동하게 되면 대기시간 위반 구간에서 데이터의 입력이 천이 된 것이고, 즉, 대기시간 위반이 발생한 것을 의미한다. 이때 역시 감지시간에서 과도전류는 기준전류보다 높은 값을 가진다. 반면에, 준비시간과 대기시간 위반이 발생하지 않은 경우, 즉 파형(1)의 좌측이나 파형(2)의 우측에서 입력이 천이하여 발생한 과도전류는 감지시간에서 기준전류보다 낮은 값을 가진다. 따라서 본 논문에서 설계한 타이밍 오류 검출기는 과도전류 생성기에서 발생한 과도전류와 전류 감지회로에서 발생하는 기준전류를 비교하여, 과도전류가 기준전류보다 클 경우에 타이밍 위반으로 인한 오류신호를 발생시킨다.

III. 제안한 타이밍 오류 검출기

그림 3은 본 논문에서 설계한 타이밍 오류 검출기 회로이다. 다음에 각 회로별 기능을 설명하였다.

3.1 타이밍 감응회로

타이밍 감응 회로는 클럭의 천이지점에서 데이터 값을 처리하는 레지스터로, 본 논문에서는 타이밍에 의해 동작하는 회로로서 D 플립플롭을 사용하였다.

3.2 버퍼

전류 감지회로 입력단에 인버터로 이루어진 버퍼는

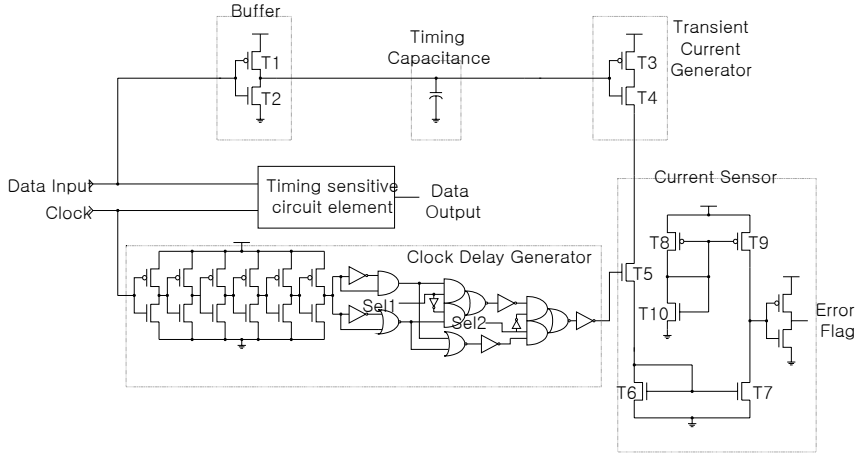


그림 3. 타이밍 오류 검출기
Fig. 3. Timing error detector

데이터 신호선의 부하 영향을 감소시키고, 준비시간과 대기시간의 차이 과형을 생성하기 위해 사용한다.

3.3 타이밍 캐패시턴스

타이밍 캐패시턴스는 트랜지스터의 게이트 캐패시턴스로 구현하였으며, 버퍼와 과도전류 생성기 사이에 부가함으로써 데이터 입력의 천이시간을 증가시켜 과도전류 생성기에서 과도전류의 측정을 할 수 있도록 한다.

3.4 과도전류 생성기

과도전류 생성기는 타이밍 감응회로의 입력이 변화할 때 그 입력을 받아 과도전류를 발생시키고, 발생한 과도전류를 기준전류와 비교하여 타이밍 오류 여부를 검출할 수 있도록 전류감지회로로 전달한다. 또한 데이터의 입력을 클럭 천이점 전후의 준비시간과 대기시간 임계점에서 변화시켜 과도전류 생성기에서 발생한 두개의 과도전류 파형의 교차점으로부터 기준전류를 정한다.

3.5 클럭 지연 발생기

클럭 지연 발생기는 타이밍 캐패시턴스로 인해 발생한 신호지연을 클럭에도 동일한 신호 지연을 갖도록 한다. 이 회로는 인버터의 직렬연결과 펄스 생성기로 구성하여, 클럭의 준비시간과 대기시간 구간에만 과도전류와 기준전류를 비교한다. 기존에 제시된 타이밍 오류 검출기^[8]는 상승 천이점에서 동작하는 타이

밍 감응회로일 때 준비시간에서의 타이밍 오류만이 검출 가능하였고, 하강 천이점에서 동작하는 타이밍 감응회로에서는 대기시간 위반만을 검출할 수 있었다. 그러나 본 논문에서 설계한 회로는 펄스 생성기의 모드 선택을 사용하여 클럭의 상승 천이점에서 동작하는 타이밍 감응회로 뿐만 아니라 하강 천이점이나 상승하강 천이점에서 동작하는 모든 타이밍 감응회로에서 발생할 수 있는 준비시간과 대기시간의 위반을 검출할 수 있다.

3.6 전류 감지회로

전류 감지회로는 과도전류 생성기로부터 정해진 기준전류를 발생하고, 측정하고자 하는 데이터 입력의 천이에 의해 발생하는 과도전류 값과 발생한 기준전류를 비교함으로써 오류발생 여부를 확인하기 위해 사용된다.^[6] T5은 과도전류 생성기를 통하여 입력되는 과도전류를 클럭 지연 발생기의 출력이 'High'가 되는 구간에만 통과시켜 T10이 만들어내는 기준전류와 비교한다. NMOS 전류미러쌍(current mirror pairs)(T6, T7)은 과도전류 생성기(T3, T4)로 부터 생성된 과도전류를 복사하고, PMOS 전류미러쌍(T8, T9)은 T10의 기준전류를 복사한다. 이렇게 복사된 과도전류와 기준전류를 비교함으로써 오류의 검출 여부를 확인한다. 만일 전류 생성기의 전류가 기준전류보다 크면 출력단 인버터의 출력에 'High'가 표시되고 이는 오류발생을 의미한다.

IV. 시뮬레이션 결과 및 비교

4.1 시뮬레이션 결과

본 논문은 0.25 μm CMOS 기술을 기반으로 2.5V의 입력전압을 사용하여 HSPICE로 시뮬레이션 하였다. 클럭은 한주기를 40ns로 설정하였고, 두번째 클럭의 상승 천이지점 60ns와 하강 천이지점 80ns 주변에서 데이터의 입력을 천이시켜 타이밍 위반을 검출하도록 하였다. 본 논문에서는 허용가능한 준비시간과 대기시간을 2ns로 제한하여 그 사이에서 데이터의 입력값이 천이 될 때 오류가 발생한 것으로 간주하여 오류표시를 하였다.

그림 4는 준비시간과 대기시간의 임계점에서 데이터의 입력을 변화하여 발생한 과도전류와 이 과도전류의 교차점으로 측정된 기준전류를 나타낸다. 타이밍 위반이 일어날 수 있는 클럭의 상승 천이구간과 하강 천이구간에 대한 각각의 준비시간과 대기시간의 임계점에서 데이터 입력을 변화하여 과도전류를 발생시키고, 이때의 과도 전류의 교차점을 통해 10.8 μA 의 기준전류와 18.1ns의 지연시간을 결정하였다. 여기에서 결정된 전류값을 전류감지회로의 기준전류로 사용하였으며, 지연시간은 클럭 지연 발생기에서 18.1ns의 동일한 지연시간을 발생시켜 정확한 감지시간에 기준전류와 비교할 수 있도록 하였다.

그림 5는 상승천이 구간에서 데이터 입력이 준비시간에 천이 되었을 때의 시뮬레이션 결과 파형이고, 그림 6은 상승천이 구간에서 데이터의 입력이 대기시간에 천이 되었을 때의 시뮬레이션 결과 파형, 그림 7은 하강천이 구간에서 데이터의 입력이 준비시간에 천이 되었을 때의 시뮬레이션 파형, 그림 8은 하강천이 구간에서 데이터의 입력이 대기시간에 천이 되었을 때의 시뮬레이션 결과 파형을 보여준다. 그림 5, 6, 7, 8의 (a)는 데이터 입력이 준비시간과 대기시간의 범위 내(2ns)이고, 그림 5, 6, 7, 8의 (b)는 데이터 입력이 준비시간과 대기시간 범위를 벗어나서 데이터의 입력이 천이 되었을 때의 결과 파형이다. (a)의 경우 준비시간과 대기시간 사이에서 데이터 입력이 천이 되어, 과도전류가 기준전류(10.77 μA)보다 높게 되므로 오류 표시에 'High' 값을 나타내어 타이밍 오류가 발생하였음을 나타낸다. 그러나 데이터 입력이 준비시간과 대기시간을 벗어나서 천이된 (b)의 경우에는 과도전류가 기준전류보다 낮게 되므로 오류 표시에 'Low'값을 나타내어 타

이밍 오류가 없음을 나타낸다.

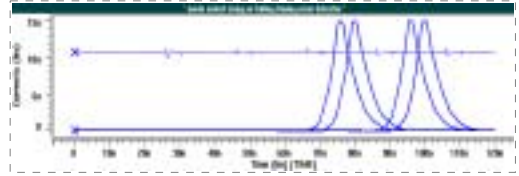
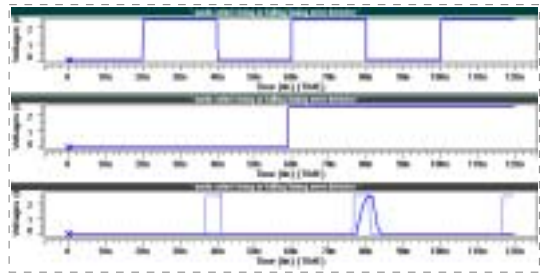
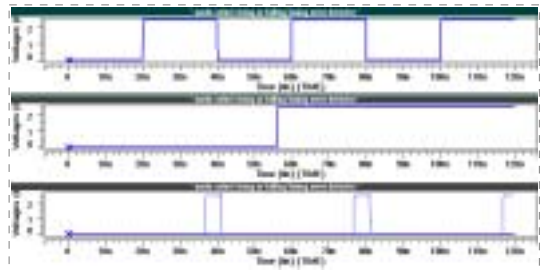


그림 4. 데이터 입력에 따른 과도 전류와 기준 전류의 파형

Fig. 4. Waveforms of transient current and reference current for input data



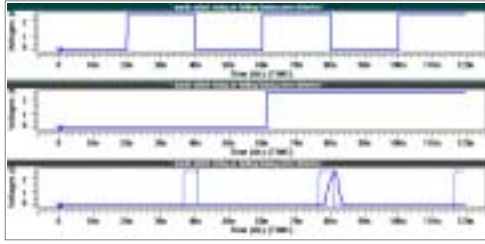
(a)



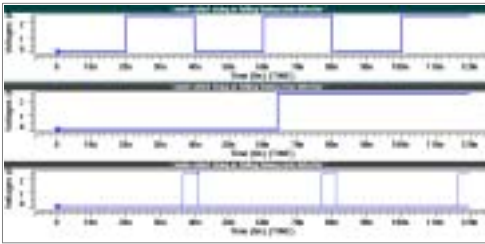
(b)

그림 5. 상승천이 지점 준비시간에서의 시뮬레이션 결과

Fig. 5. Simulation results at setup time in rising



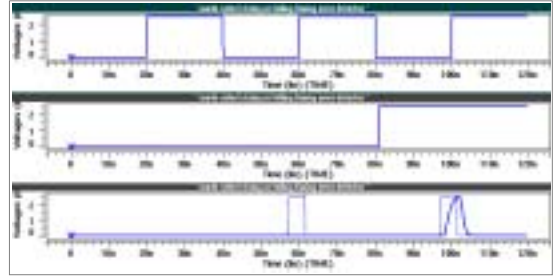
(a)



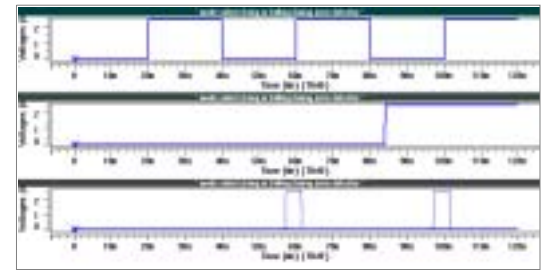
(b)

그림 6. 상승천이 지점 대기시간에서의 시뮬레이션 결과

Fig. 6. Simulation results at hold time in rising edge



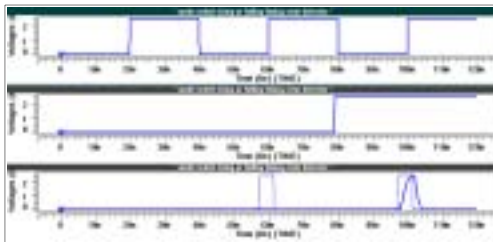
(a)



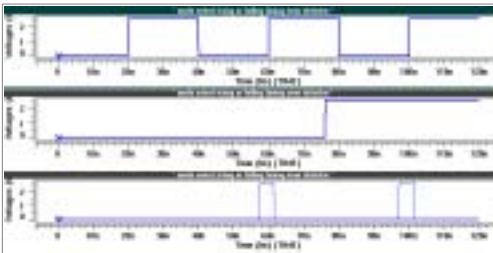
(b)

그림 8. 하강 천이 지점 대기시간에서의 시뮬레이션 결과

Fig. 8. Simulation results at hold time in falling edge



(a)



(b)

그림 7. 하강천이 지점 준비시간에서의 시뮬레이션 결과

Fig. 7. Simulation results at setup time in falling edge

4.2 레이아웃(layout)

본 논문에서 설계한 타이밍 오류 검출기는 $0.25\mu\text{m}$ CMOS 공정으로 Cadence의 Virtuoso를 사용하여 레이아웃하였고 Dracula를 사용하여 검증하였다. 그림 9는 설계한 타이밍 오류 검출기의 레이아웃이다. 중앙의 8개 블록은 트랜지스터의 게이트 캐패시터를 이용한 타이밍 캐패시터이고, 그 상단부에는 오류 검출 대상회로인 타이밍 감응 회로 즉, D 플립플롭의 레이아웃이다. 좌측으로는 클럭 지연 발생기와 전류감지 회로, 하단부에는 펄스 생성기를 레이아웃하였다. 총 8개의 입출력 단자가 사용되었으며, 전체 레이아웃 면적은 $74\mu\text{m}\times 74\mu\text{m}$ 이다. 또한 레이아웃의 형태는 타이밍 감응회로의 형태에 따라 변화 할 수 있다. 실제로 넓은 면적의 타이밍 감응회로 또는 여러 개의 타이밍 감응 회로에 적용 시에도 한 개의 타이밍 오류 검출기로 데이터의 입력과 클럭만을 연결하여 타이밍 오류를 검출하므로 타이밍 오류 검출기에 의한 면적 소모는 무시할 수 있다.

4.3 기존 회로

기존의 타이머는 클럭이 'High'로 올 때 기준전류와 비교하여 과도전류와 같은 동작하는 방식이다. 과도전류와 같은 타이머 오류는 클럭이 'High'일 때 대기시간이 발생하여도 타이머 클럭이 하강하는 경우에도 타이머 오류는 타이머가

를 발생하게 된다. 클럭이 'High'일 때 기준전류와 비교하여 준비시간의 한대로 하강하는 경우에는 아니다. 그러나 클럭이 클럭 지스 생성기의 상승, 하강 타이밍 감응회로에서 발생한 과도전류와

그림 9. 타이밍 오류 검출기의 레이아웃
Fig. 9. Mask layout of timing error detector

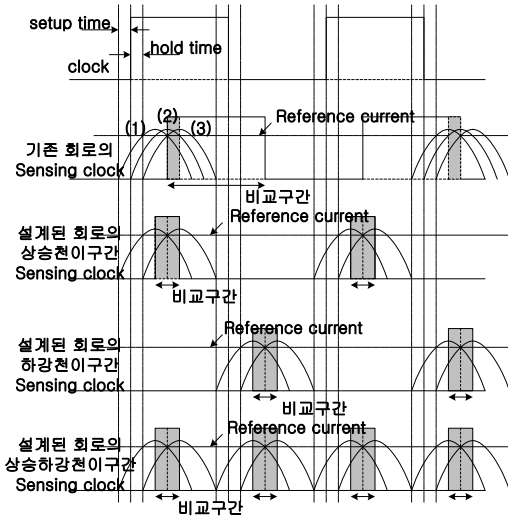


그림 10. 기존의 회로와 설계된 회로의 오류 검출 모형도

Fig. 10. Error detection previous circuit and proposed circuit

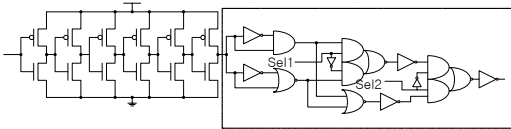


그림 11. 클럭 지연 발생기의 펄스 생성기

Fig. 11. Pulse generator of clock delay generator

표 1은 펄스 생성기의 모드 선택표이며, 표 2는 기존 회로와 본 논문에서 설계된 회로의 비교표이다.

표 1. 펄스 생성기의 모드 선택표

Table 1. Mode selection table of pulse generator

	sel 1	sel 2
클럭의 상승천이구간에서 동작하는 회로	1	0
클럭의 하강천이구간에서 동작하는 회로	0	0
클럭의 상승하강천이구간에서 동작하는 회로	don't care	1

표 2. 비교표

Table 2. Comparison table

	기존의 회로		본 논문의 회로	
	준비시간 오류검출	대기시간 오류검출	준비시간 오류검출	대기시간 오류검출
클럭의 상승천이구간에서 동작하는 회로	O	X	O	O
클럭의 하강천이구간에서 동작하는 회로	X	O	O	O
클럭의 상승하강천이구간에서 동작하는 회로	-	-	O	O

V. 결론

본 논문에서는 CMOS 회로의 동작 중에 타이밍 오류를 검출할 수 있는 타이밍 오류 검출기를 설계하였다. 이 회로는 플립플롭과 같이 타이밍에 의해 제어되는 회로의 준비시간과 대기시간의 위반으로 인한 오류를 검출한다. 본 논문에서 설계한 타이밍 오류 검출기는 타이밍 감응회로에 입력되는 동일한 데이터 신호와 클럭을 사용하였고, 전류 감지회로에서 기준전류를 생성하여 과도전류와 비교함으로써 준비시간과 대기시간의 위반에 따른 오류를 검출한다. 또한 클럭 지연 발생기에 삽입된 펄스 생성기의 모드를 선택함으로써 클럭이 상승 천이지점, 하강 천이지점 뿐만 아니라, 상승하강 천이구간에서 동작하는 모든 타이밍 감응회로의 대기 시간과 준비시간 위반으로 발생하는 타이밍 오류를 검출할 수 있으며, 이를 HSPICE를 통하여 입증하였다. 따라서 본 논문에서 설계한 타이밍 오류 검출기는 전자시스템의 타이밍 위반에 의한 오류를 검출이 가능하며, 전자시스템에 대한 신뢰성을 증가시킬 수 있을 것으로 생각되어진다.

감사의 글

이 논문은 강원대학교 두뇌한국21(BK21) 사업에 의하여 지원되었으며, 본 연구에 사용된 설계용 CAD S/W는 IDEC(반도체 설계교육센터) 지원에 의한 것임.

참고문헌

[1] W. C. Carter and P. R. Schneider, "Design of dynamically checked computers." in Proc. IFIP Conf., Edinburgh. Scotland. Aug. 1968. pp. 878-883.

[2] D. A. Anderson and G. Metze, "Design of totally self-checking circuits for m-out-of-n codes." IEEE Trans. Comput., vol. C-22, pp. 263-269. Mar. 1973

[3] W. N. Toy, "Fault-tolerant design of local ESS processors." Proc. IEEE, vol. 66, pp. 1126-1145, Oct. 1978.

[4] J. E. Smith and C. Metze, "Strongly fault-secure logic networks." IEEE Trans. Comput., vol. C-27, pp. 491-499, June. 1978.

[5] M. Nicolaidis, J. C. Lo, and J. C. Daly, "Design of static CMOS self checking circuits using built-in current sensing." in Dig. Papers. 22nd Int. Symp. Fault Tolerant Computing. Boston. MA, pp. 104-111.

[6] Jeong Beom Kim, Sung Je Hong, and Jong Kim, "Design of a Built-In Current Sensor for IDDQ Testing." IEEE J. Solid-State Circuits, vol. 33, No 8. August. 1998.

[7] J. Waiwkauski et al., "Transition fault simulation by parallel pattern single fault propagation", Proc. International Test Conference, 1986.

[8] C. G. Knight, A. D. Singh and V. P. Nelson, "An IDDQ Sensor for Concurrent Timing Error Detector," IEEE J. Solid State Circuits, vol. 30, No. 10, pp. 1545-1550, Oct. 1998.

[9] F. Gardner, "A BPSK/QPSK Timing Error Detector for Sampled Receivers," IEEE Trans. Communications, vol. 34. No. 5, pp. 423-429, May. 1986.

[10] M. Oerder, "Derivation of Gardner's Timing Error Detector from the Maximum Likelihood Principle," IEEE Trans. Communications, vol. 35. No. 6, pp. 684-685, June. 1987.

[11] L. Yan, "A timing error detection algorithm for PSK direct sequence spread spectrum system." in Proc. ICCT98 Conf., vol. 2, Oct. 1998. pp. 22-24.

[12] G. Fork, P. Schulz-Rittich, J. Baltersee, and H.

Meyr, "Multipath resistant coherent timing error detector for DS-CDMA application." in Proc. 2000 IEEE Sixth ISSSTA Conf., vol. 1, Sept. 2000. pp. 6-8.

[13] T. Bertozzi and D. L. Ruyet, "Timing error detector using particle filtering." in Proc. 2003 IEEE Seventh ISSSTA Conf., vol. 2, July. 2003. pp. 491-494.

저자 소개

강장희 (姜璋熙) (Kang Jang Hee)



2003년 2월 : 강원대학교 전자공학과 졸업(학사)

2003년 3월 ~ 현재 : 강원대학교 대학원 전자공학과 석사 과정

<주관심분야 : 저전력 회로 설계>

정한철 (鄭漢哲)



1999년 2월 : 강원대학교 전자공학과 졸업(학사)

2002년 8월 : 강원대학교 대학원 전자공학과 졸업(석사)

2002년 9월 ~ 현재 : Hynix 반도체 System IC QA팀

<주관심분야 : Wafer Level Reliability and Package Level Reliability, ESD, Latch-up and Reliability Test

곽철호 (郭哲昊)



1995년 2월 : 강원대학교 재료공학과(학사)

1997년 2월 : 강원대학교 대학원 재료공학과(석사)

2002년 2월 : 강원대학교 대학원 전자공학과(박사)

2002년 3월 ~ 현재 : 충남대학교 정보통신공학부 전임교수

<주관심분야 : RF IC 설계, VLSI 설계>

김 정 범 (金 政 範)



1985년 2월 : 인하대학교 전자공
학과 졸업(학사)

1987년 2월 : 인하대학교 대학원
전자공학과 졸업(석사)

1997년 2월 : 포항공과대학교 대
학원 전자전기공학과 졸업(박사)

1987년 1월~1992년 5월 : 금성반
도체 중앙연구소 선임연구원

1994년 8월~1997년 9월 : 현대전자 시스템 IC 연구소
책임연구원

1997년 9월~1999년 2월 : 충북대학교 전기전자공학부

1999년 3월 ~ 현재 : 강원대학교 전기전자정보통신공

<주관심분야 : VLSI설계, CAD, Multi-Valued Logic>