기 술 특 집

# SOG 디스플레이 시스템 구현을 위한 디지털 회로 기술 개요

김 재 근, 정 주 영 (수원대학교 전자공학과)

## I. 서 론

세계 시장에서 평판 디스플레이는 전자산업의 성장을 견인하는 분야로 자리잡아 가고 있다. 국내적으로도 이 분야를 반도체를 이을 성장 동력사업으로 집중 육성하여 세계 1위의 위치를 공고히 하려 하고 있다.

LCD와 PDP, 그리고 빠르게 성능 개선이 이루어지고 있는 OLED가 각광받는 현재의 시장 구조에서 LCD는 다른 디스플레이보다 우수한 안정성, 화질, 해상도 등을 무기로 당초 예상했던 20인치 장벽을 넘어 40인치 대화면 TV시장으로 그 영역을 확장하고 있다. LCD가 40인치 대화면 TV 분야에서 경쟁력을 갖기 위해서는 보다 효율적인 백라이트 유닛을 이용한 소비전력 감소, 고화질을 위한 액정의 고속 응답 특성 확보, 저진공 또는 비진공 공정을 통한 제조 비용 절감 등을 달성해야 한다.

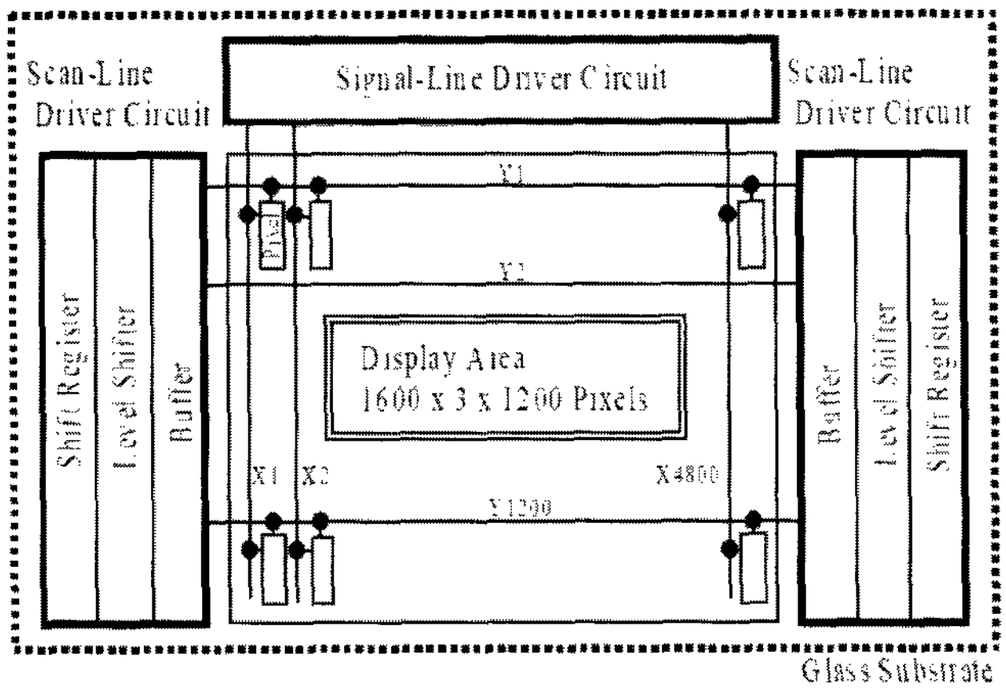
대화면 TV와 함께 LCD의 성장을 주도하는 분야는 박막 트랜지스터(TFT)의 성능 개선에 따라 실현 가능해진 system-on-glass(SOG) 디스플레이 분야이다. 초기 TFT는 비정질 실리콘으로 제작되어 캐리어의 이동도가 $1cm^2/Vsec$ 보다 작아 많은 전류를 흘리는데 부적합하였으며 단지 디스플레이의 화소에 화상 정보를 전달하는 스위치로 이용되어 상대적으로 고품위인 AMLCD를 가능케 하였다. 비정질 TFT의 낮은 이동도는 트랜지스터 크기를 줄이는데 근본적인 장애가 되어 고해상도 AMLCD 제작이 불가능하였으므로 국내외 선진업체들은 다결정 실리콘을 이용하여 수십 $cm^2/Vsec$ 이상의 전자 이동도를 갖는 TFT를 개발하기에 이르렀다. 특히 섭씨 550도 이하의 공정만 사용함으로써 유리기판 위에 높은 이동도의 TFT를 제작하는 LTPS (Low Temperature Poly-Silicon) 기술이 개발되어 실용성이 향상되었다.

본 고는 LTPS TFT를 이용한 SOG 디스플레이 시스템의 개발에 대해 연구동향 및 해결해야 할 과제들에 대해 기술하는 것을 목적으로 한다. 광범위한 주제를 모두 포함하는 것은 매우 어려우므로 본 고에서는 제2절에서 SOG 디스플레이의 상용화 현황 및 사양에 대해 개략적으로 검토하고 제3절에서는 SOG에 집적되는 디지털 회로의 특성과 요구사양에 대해 기술하겠다. 제4절에서는 SOG에 사용될 디지털 회로를 LTPS TFT로 설계하는데 있어 고려해야 할 문제점과 성능개선 및 전력소모 저감을 위한 회로 기술에 대해 기술하고 결론을 맺도록 하겠다.

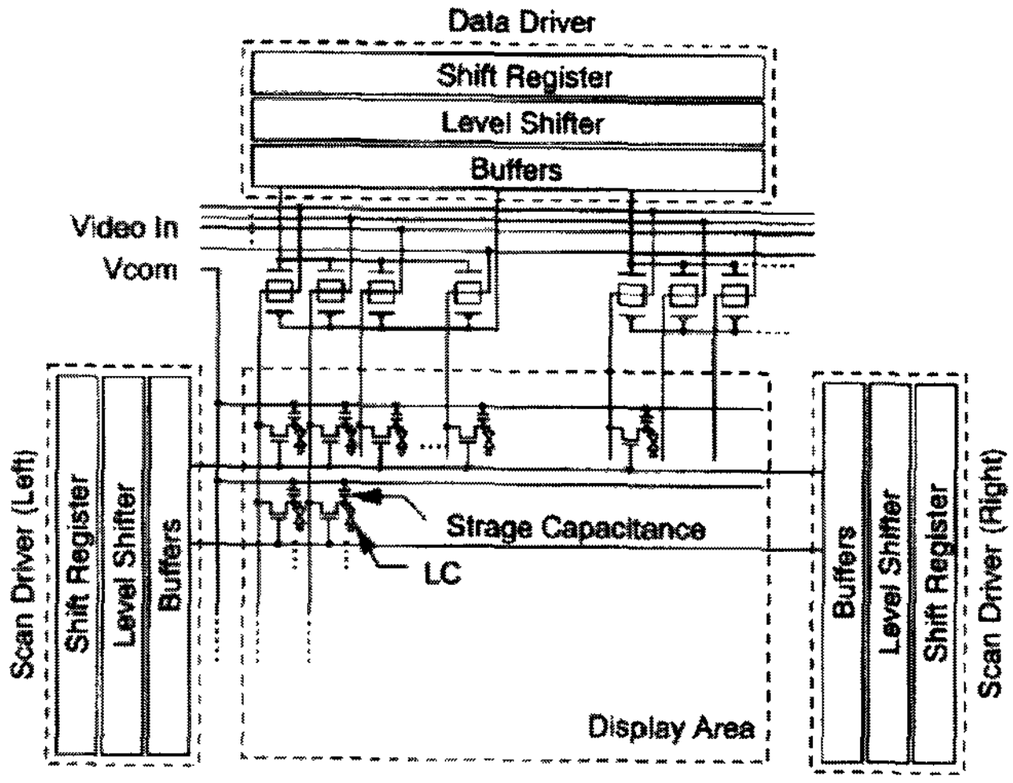
## II. SOG 디스플레이의 발전 동향

AMLCD는 크게 나누어 볼 때 고품위의 동영상이 필수적인 대화면 HDTV 기술과 높은 신뢰성과 성능 그리고 낮은 가격 특성을 갖는 SOG 기술을 개발하는 방향으로 발전하고 있다. 이 중에서 SOG 기술은 종래의 디스플레이의 개념과는 달리 디스플레이 모듈을 제작하는 공정만으로 모든 콤포넌트의 제작이 종결되는 시스템을 일컬으며 이를 위해 현재 사용되는 화소 제어용 스위칭 회로 이외에 디스플레이 구동회로 및 제어회로, 메모리, CPU등을 동시에 디스플레이 패널에 제작하는 것을 목표로 하고 있다.

화소용 TFT에 더하여 구동 집적회로를 TFT로 디스플레이에 같이 집적한 결과는 1999년과 2000년에 일본의 도시



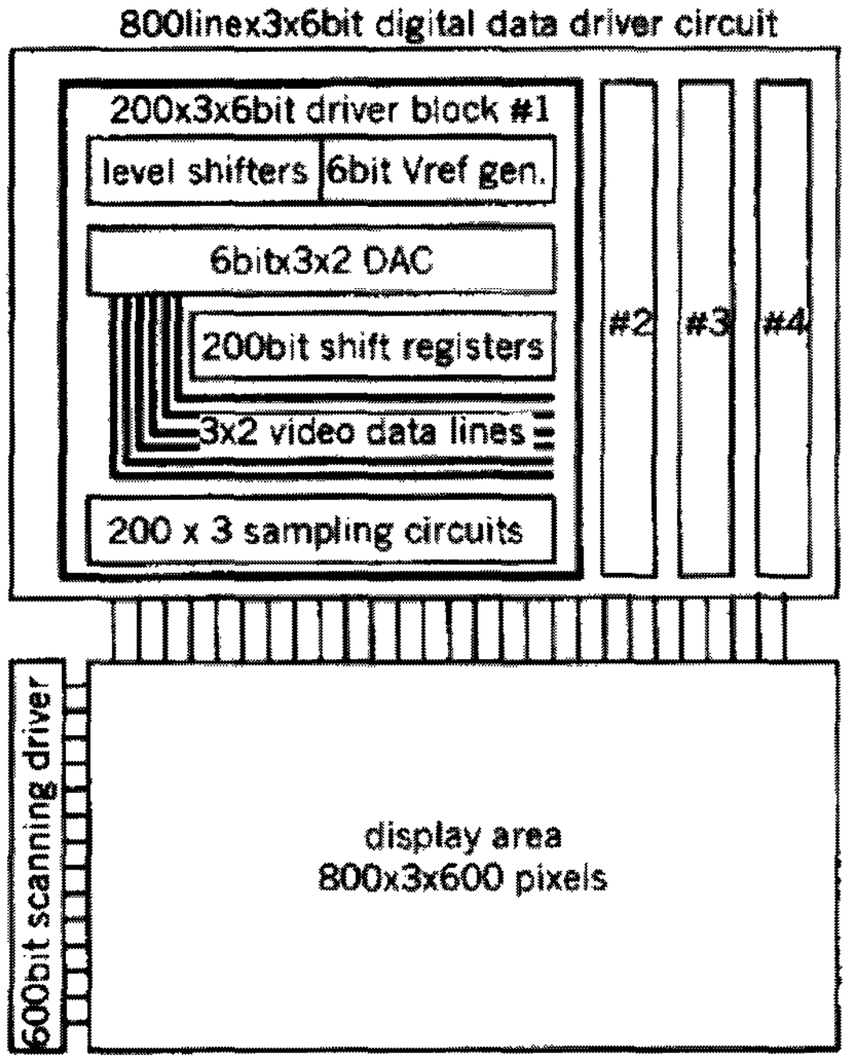

[그림 1] 구동회로를 집적한 15" UXGA AMLCD (도시바 2000년) [3]




[그림 2] CG silicon 기술을 이용한 Sharp사의 2.6인치 HDTV 패널[4]

바에 의해 보고되었다[1, 2, 3]. [그림 1]은 2000년에 발표된 결과로서 15인치 UXGA LCD 패널의 유리 기판 위에 제작된 부분을 보여주고 있다. 그림에서 볼 수 있듯이 스캔 부분은 모두 패널에 집적된 반면 고속 구동이 요구되는 소오스 드라이버 부분은 아날로그 스위치 부분만 집적되고 shift register, timing controller는 모두 외부 회로로 구성되었다.

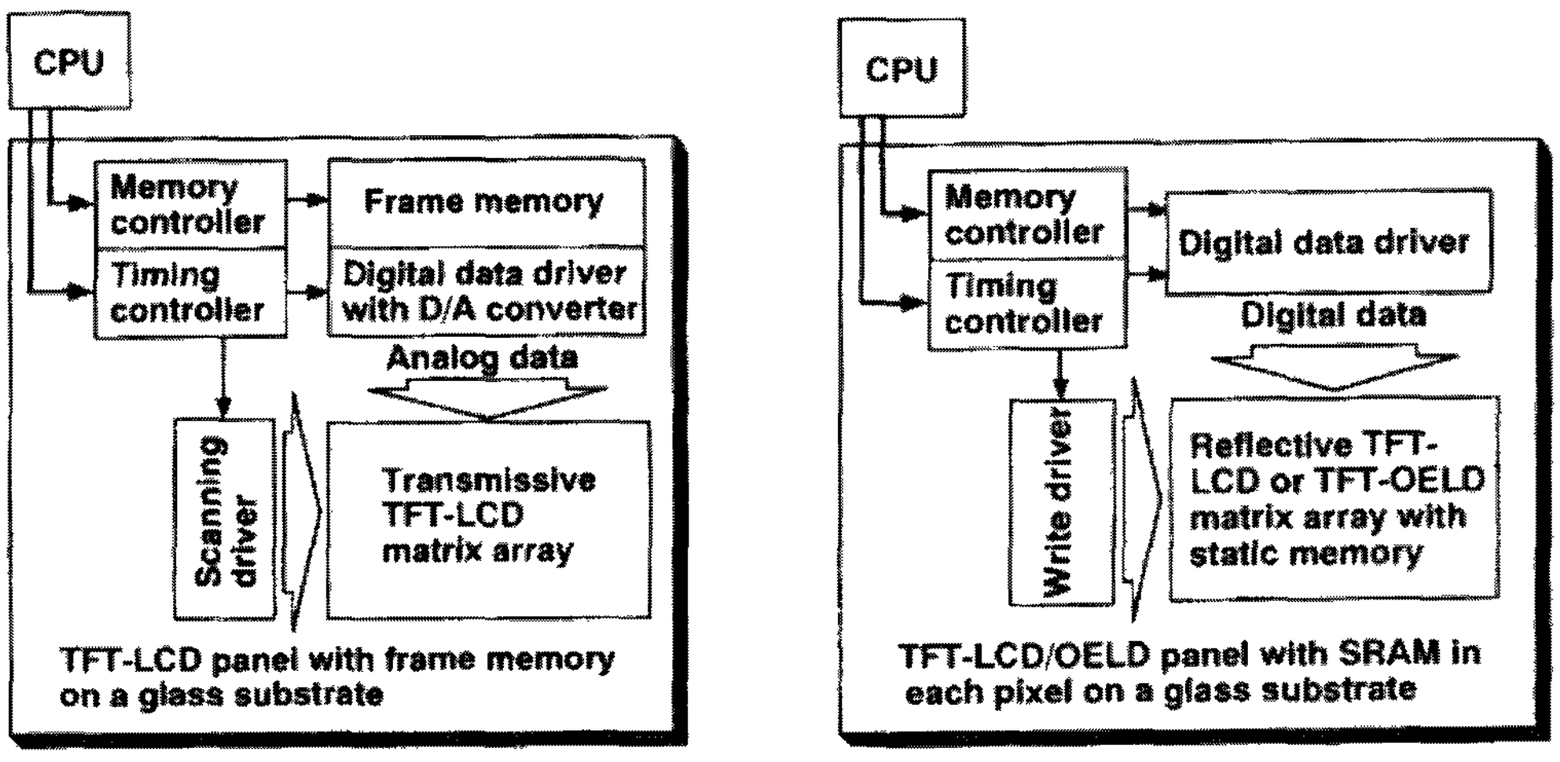
소오스 드라이버까지 패널에 집적하는 성과는 2000년에 일본의 Sharp사에 의해 보고되었다. Sakamoto 등[4]은 CG (Continuous Grain) silicon 공정기술을 이용하여 단결정과 견줄만큼 높은 260과 120cm$^2$/Vsec의 이동도를 n채널과 p채널 TFT에서 측정하였으며 이를 이용하여 아날로그 방식의 소오스 드라이버까지 패널에 집적한 2.6인치 HDTV LCD를 발표하였다([그림 2]). 또 같은 공정을 이용하여 6비트 DAC를 포함한 디지털 소오스 드라이버까지 집적한 4인치 VGA 패널의 실험 결과를 발표하였다[5]. Hitachi에서도 2001년에 [그림 3]과 같이 디지털 드라이버를 패널에 집적한 시스템을 발표하였다[6].




[그림 3] 디지털 드라이버를 내장한 SVGA LCD[6]

보다 확장된 디스플레이 시스템의 개념은 일본의 Seiko-Epson사에 의해 2000년에 보고되었는데 Y. Matsueda 등[7]은 [그림 4]에 보인 것과 같이 디지털 데이터 드라이버를 포함한 구동회로는 물론 타이밍 컨트롤러와 프레임 메모리나 SRAM을 모두 유리기판에 집적한 시스템을 제안하였다. 이후 정지영상을 적은 소비전력으로 표현하기 위해 각 픽셀에 영상정보를 저장할 메모리를 집적한 시스템은 Toshiba[8], Sanyo[9] 등에 의해 개발되었고, Sharp[10]에서는 소오스 드라이버를 두 종류 집적하여 고화질 화상은 아날로그 소오스 드라이버로 표현하고 텍스트 등의 저계조 화상은 디지털 드라이버로 표현하는 시스템을 발표하였다.

구동회로를 디스플레이 패널에 집적하고자 하는 노력 외에 마이크로프로세서를 집적하려는 연구 결과들이 보고되었




[그림 4] Seiko-Epson이 제안한 system-on-panel의 블록도 (a) frame memory (b) SRAM 내장 형식[6]

는데 Sharp사에서는 2002년에 Z80 마이크로프로세서를 TFT로 제작하는데 성공하였고[11] Seiko-Epson에서는 같은 해에 ASIC 설계를 위한 standard cell library를 poly-Si TFT로 제작한 결과를 보고하였다[12].

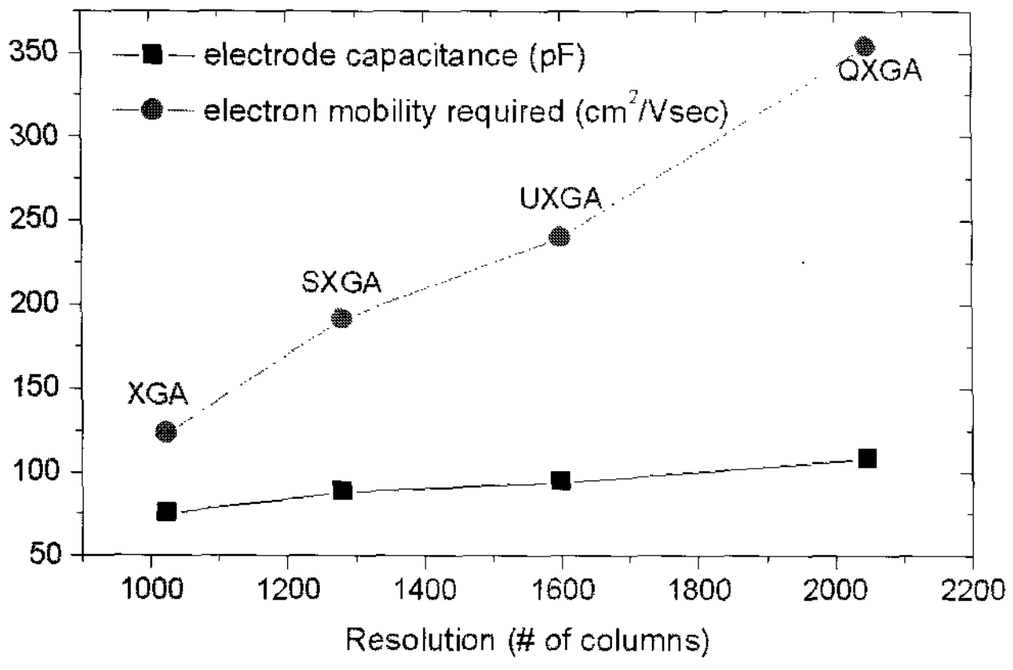
한편 최근 Toshiba에서는 시스템 디스플레이의 새로운 상품 영역으로 디스플레이에 스캐너의 기능을 함께 내장한 결과를 발표하였다[13]. 이 시스템은 각 화소마다 TFT로 구성된 광 센서 회로를 같이 집적하여 디스플레이가 출력장치뿐 아니라 입력장치인 스캐너로서의 역할도 담당하도록 하였다.

## Ⅲ. SOG 디스플레이용 LTPS TFT 디지털 회로

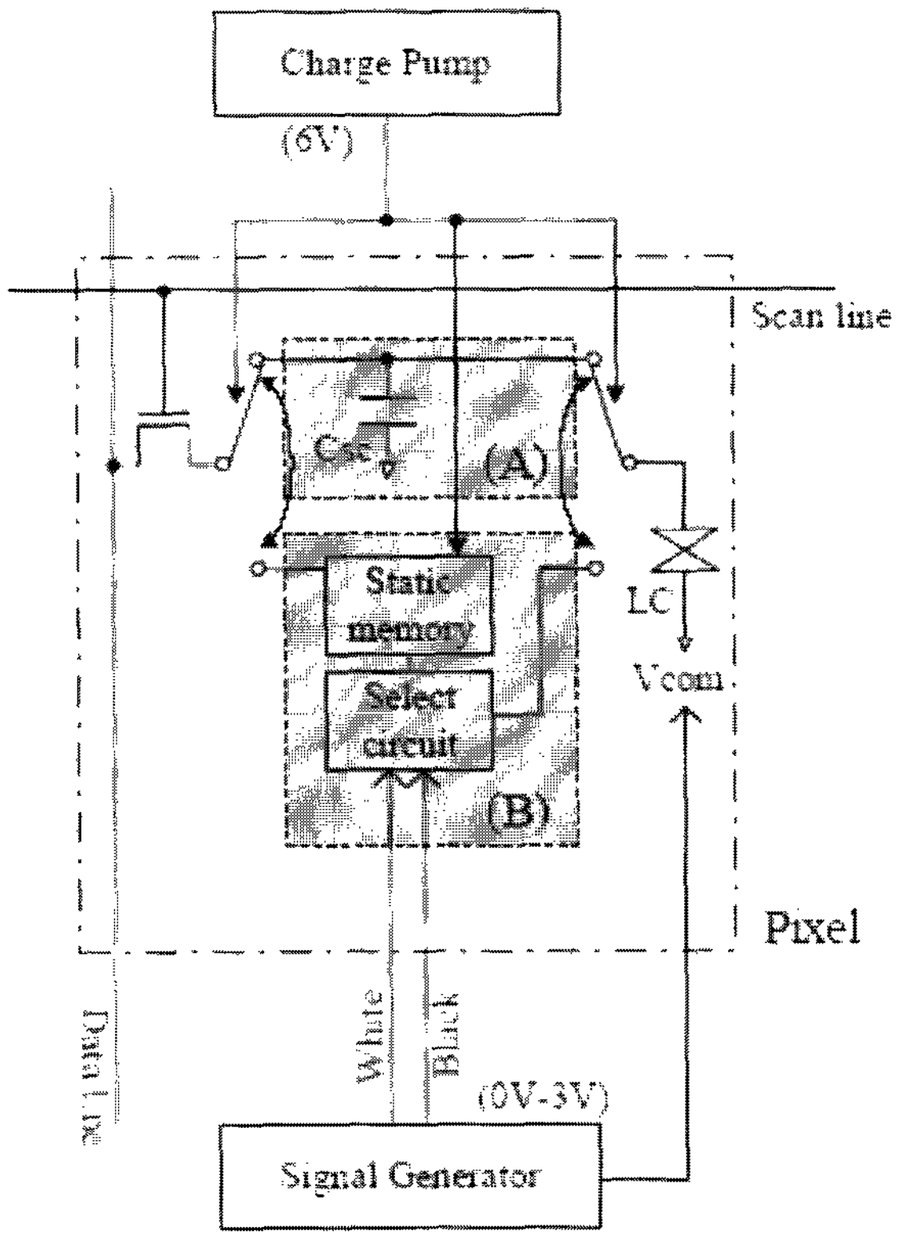
SOG 디스플레이에 집적되어야 할 디지털 회로는 크게 디스플레이 구동회로와 시스템용 디지털 회로로 나누어 볼 수 있는데 두 종류 모두 현재의 LTPS TFT 성능으로는 단결정 실리콘 집적회로를 패널에 붙여 사용하는 COG(Chip-On-Glass) 시스템에 비해 속도, 면적, 전력소모량 등에서 열세에 있다. 하지만 LTPS TFT에 사용되는 다결정 실리콘의 캐리어 이동도가 빠르게 향상되고 있고 소자의 크기 역시 수 미크론에서 지속적으로 감소하고 있어 100MHz의 clock 주파수를 사용하는 SOG 디스플레이 시스템의 상용화가 가능할 것으로 기대되고 있다.

디스플레이 구동회로는 게이트 구동회로와 소오스 구동회로로 이루어지는데 소오스 구동회로의 동작 속도가 매우 빨라 LTPS TFT를 이용하여 집적하는데 어려움이 있다. [그림 5]는 60Hz의 frame frequency를 사용하는 14.1인치 AMLCD의 128채널 소오스 드라이버를 6미크론 TFT 공정으로 제작할 때 요구되는 n채널 poly-Si TFT의 이동도 값을 해상도별로 계산한 결과이다. 이 계산은 전극의 정전용량을 요구 시간 내에 충방전 할 수 있는가의 여부를 HSPICE로 모사한 것을 요약한 것이다.

그림에서 볼 수 있듯이 6 미크론 TFT로는 15V 전원전압을 사용한 경우에도 SXGA급 이상을 구동하는 것이 매우




[그림 5] 해상도별 128채널 소오스 드라이버용 LTPS nTFT의 이동도 (Vdd=15V, W/L=8)




[그림 6] 픽셀 메모리를 갖는 2.1인치 QCIF LCD의 픽셀 구조[8].

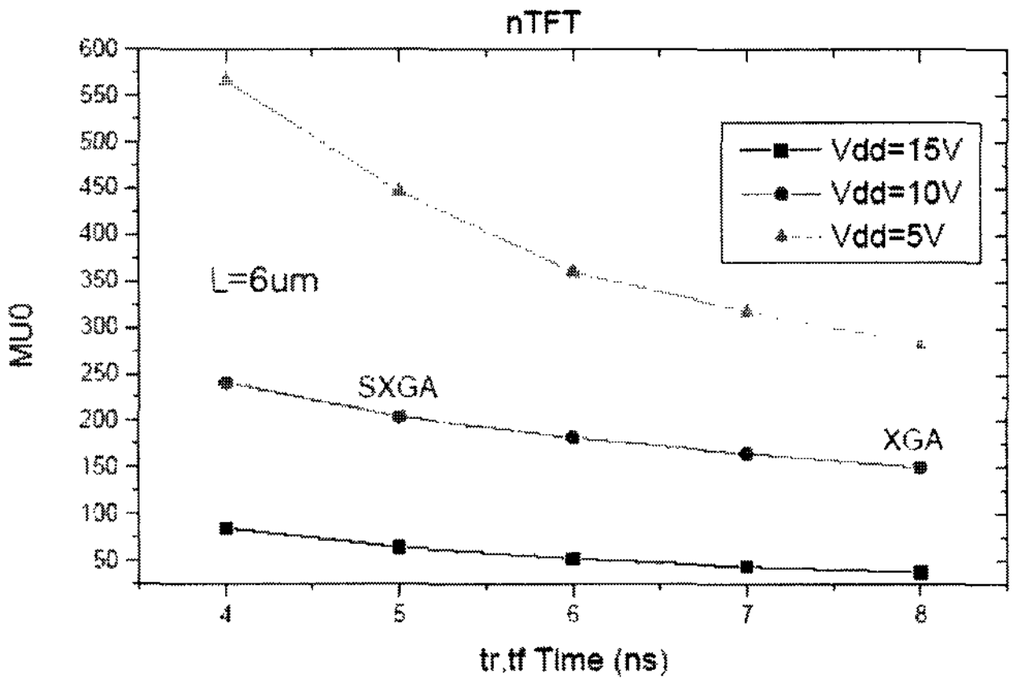
어렵다. 그러나 채널의 길이를 1 미크론으로 줄이면 MOSFET의 전류-전압 관계식으로부터 1/6의 이동도로 같은 성능을 얻을 수 있다. 또 구동 전압을 낮추어 전력 소모량을 대폭 줄일 수도 있다.

구동회로 중에서 TFT로 구현하기 어려운 다른 부품은 디지털 드라이버에 사용되는 계조 구현용 DAC이다. 이 부품은 데이터 전극 마다 하나씩 필요하므로 원가부담이 크게 될 뿐 아니라 낮은 이동도를 갖는 TFT 소자로 구현할 경우 너무 많은 면적을 차지하는 문제가 있다. 현재까지는 6 bit DAC를 TFT로 집적한 수준[6]에 머물고 있다.

한편 화상정보를 표시하기 위해 TFT가 스위치의 역할을 하는 것에서 발전하여 각 화소에 기억 소자를 집적하는 노력이 이루어 지고 있다. 통상 SRAM을 집적한 결과들이 보고되고 있는데 이를 이용하면 소오스 드라이버의 동작속도를 줄여 전력 소모를 획기적으로 줄일 수 있다[8, 9, 14]. [그림 6]은 [8]에서 보고한 2.1인치 QCIF LCD의 픽셀 구조이다.

시스템용 디지털 회로의 대표격으로는 마이크로프로세서를 꼽을 수 있다. 그러나 현재 수 GHz급의 상품이 소개되고 있는 점을 고려할 때 수십 MHz로 동작하는 LTPS TFT로 상품성 있는 제품을 집적화하는 것은 매우 어렵다. 따라서 현재의 LTPS TFT 동작 특성으로 달성해야 할 적합한 시스템용 디지털 회로는 timing controller로 사료된다.

[그림 7]은 해상도에 따라 달라지는 nTFT의 rise time ($t_r$)과 fall time($t_f$) 요구조건을 만족시키는 전자의 이동도




[그림 7] timing controller용 TFT의 해상도별 rise/fall time을 만족시키는 전자이동도

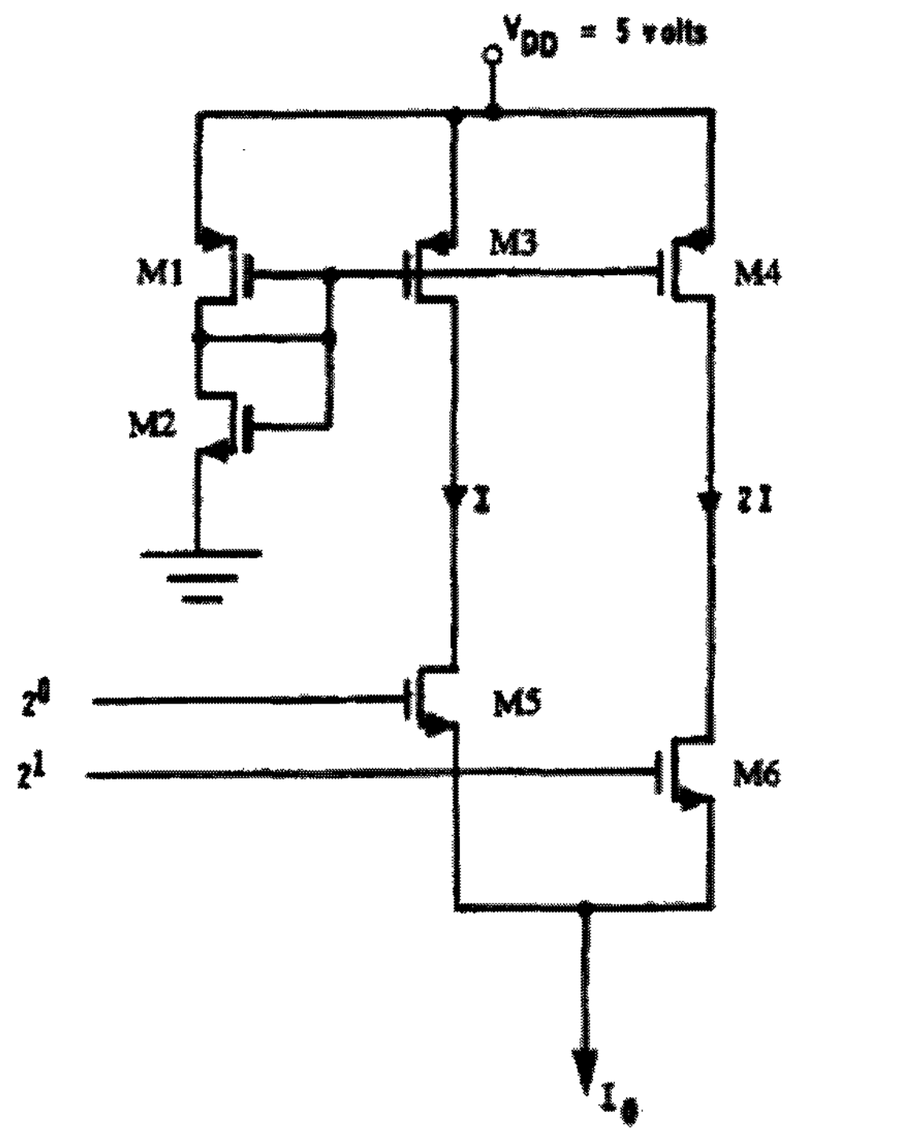
를 Vdd=5, 10, 15 볼트에 대해 계산한 결과이다. 우선 $t_r$=$t_f$=8ns인 XGA급에 대해서 전원이 15볼트이면 필요한 이동도는 50cm$^2$/Vsec 이하인 반면 5볼트에서는 250cm$^2$/Vsec 이상이 필요함을 볼 수 있다. 한편 현재 구현 가능한 LTPS의 이동도인 100cm$^2$/Vsec을 이용하여 구현할 수 있는 timing controller의 해상도를 살펴보면 10볼트 전원 전압을 이용해서는 6미크론 TFT로 XGA용 조차도 집적할 수 없음을 보이고 있다.

고해상도 LCD용 timing controller를 LTPS TFT로 제작할 수준이 되면 스케일러와 같은 영상처리 디지털 부품도 SOG에 집적할 수 있을 것이다. 그러나 이러한 과제를 달성하기 위해서는 LTPS TFT 디지털 회로의 동작 주파수가 100MHz를 돌파하여야 하며 이 주파수로 동작하는 마이크로 컨트롤러나 e-Book과 같은 저속 시스템의 SOG 구현이 가능할 것으로 기대되고 있다.

## IV. 고속 저전력 LTPS TFT 디지털 회로의 설계 기술

앞의 논의에서 살펴본 것처럼 LTPS TFT는 낮은 전류 구동 능력 때문에 디지털 회로의 면적이 커지고 구동 전압도 높은 단점을 안고 있다. 여기에 더하여 TFT의 소자구조가 PDSOI(Partially Depleted Silicon On Insulator) MOSFET과 같아 FBE(Floating Body Effect)로 인한 과도(transient) 전류와 기생 BJT 전류로 인한 kink effect가 발생한다. 또 큰 off-state 누설 전류를 억제하기 위해 높은 문턱전압을 사용하므로 전원 전압이 높고 결과적으로 logic swing이 커져 전력 소모가 크다. 게다가 위치에 따른 문턱전압 편차가 심하여 회로의 지연시간 편차가 커지는데 이를 최소화하기 위해서도 전원 전압을 높게 설정해야 한다.

낮은 전류 구동 능력으로 인한 동작 주파수 제한을 극복하고 고성능의 디지털 회로를 구현하는 방법으로 유망한 것은 multi-valued logic을 들 수 있다. 1994년에 Current[15]가 보고한 multi-valued logic은 디지털 회로를 [그림 8]과 같이 전압 구동이 아닌 전류 구동으로 동작시키고, M3와 M4의 폭을 조절하여 M6에 흐르는 전류가 M5 전류의 두배



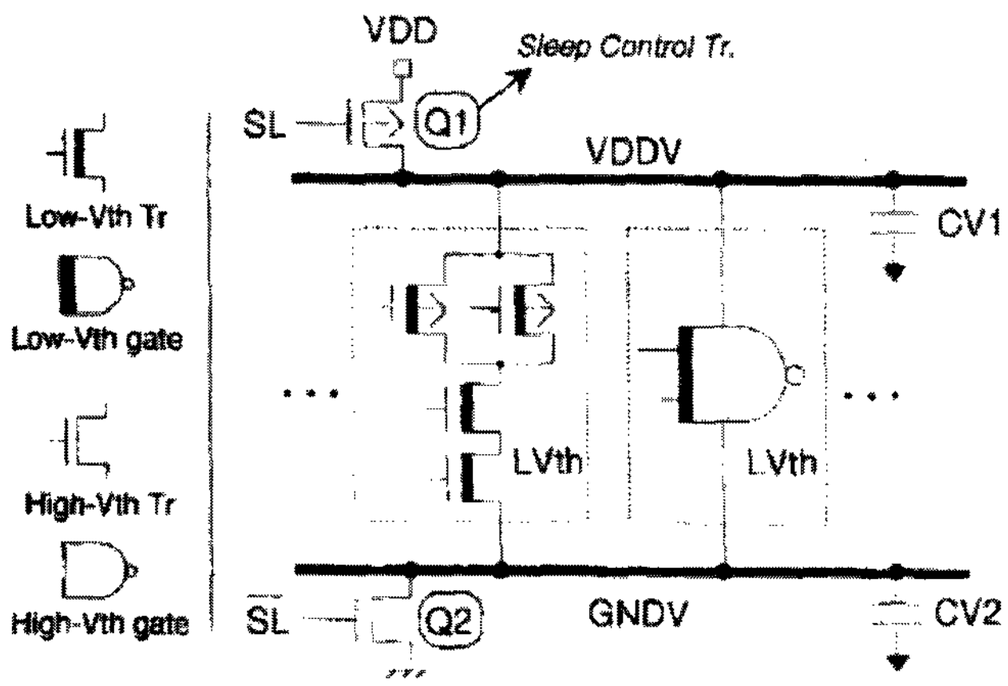

[그림 8] 전류 모드로 동작하는 multi-valued logic[15]

가 되도록 하여 출력 전류 Io가 0, 1, 2, 3의 값을 나타내도록 하였다. 전류 모드 multi-valued logic의 다른 예로 dual-rail differential logic을 사용한 결과[16] 등과 전류 모드 회로의 단점인 static 전류를 저감시키는 회로기술[17]도 보고되었다. 전류 모드의 회로 기술은 전압 모드 보다 적은 전류를 이용하여 논리 함수를 실행할 수 있는 장점이 있으나 문턱전압의 변화가 심한 LTPS TFT의 특성상 우수한 current mirror를 제작하기 어려운 문제가 있다.

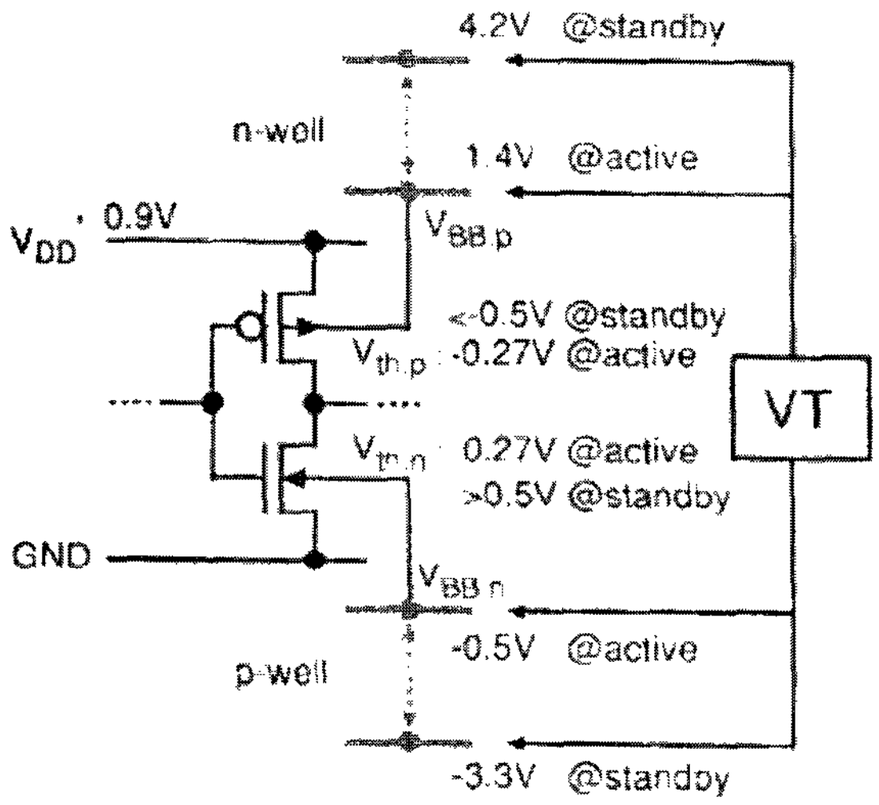
Multi-valued logic의 다른 한 분야인 전압 모드 기술은 floating gate를 갖는 MOSFET을 이용한 pass transistor logic 형태로 보고된 바 있다[18].

회로의 동작 속도를 향상시키고 동시에 소비 전력을 감소시키는 기술로 multi-threshold CMOS(MTCMOS) 방법이 있다. 같은 전원 전압을 사용하는 경우에 문턱전압이 낮을수록 보다 많은 전류를 흘릴 수 있다. 그러나 낮은 문턱전압은 높은 off-state 누설전류를 수반하므로 전력 소모가 증가하는 손해를 피할 수 없다. MTCMOS 방법[19]은 이러한 문제를 해결하기 위해 [그림 9]에 보인 것과 같이 문턱전압이 높은 MOSFET을 전원과 접지로 향하는 경로에 배치하고 낮은 문턱전압을 갖는 MOSFET을 그 사이에 집어넣어 논리회로를 구현한다. 특정 회로 블록이 동작하지 않을 때는 높은 문턱전압을 갖는 MOSFET을 off시켜 누설전류를 최소화하고, 동작할 때는 on시켜 회로 동작 속도를 극대화한다.

MTCMOS와 동일한 목적을 갖는 설계 방식에 VTCMOS (Variable Threshold CMOS)기술[20]이 있다. 이 기술은 MOSFET의 문턱전압이 body bias에 의해 커지거나 작아진다는 사실을 이용하여 standby 모드에서는 문턱전압이 커지도록 body bias를 인가하여 누설전류를 줄이고 active




[그림 9] MTCMOS 회로 기술[19].




[그림 10] VTCMOS 회로 기술[20].

모드에서는 문턱전압이 작아지도록 하여 회로의 동작 속도를 극대화한다.

문턱전압을 제어하여 회로성능을 향상시키는 노력은 SOI MOSFET에 대해서도 1996년[21] 이래 계속되고 있다. [21]은 SOI MOSFET의 body를 게이트와 직접 연결하거나 다른 MOSFET을 거쳐 연결하여 FBE를 줄인 결과를 보고하였다. Shibata[22] 등은 이 기술을 발전시켜 MTCMOS SOI SRAM을 제작하였다.

문턱전압을 제어하는 기술을 LTPS TFT 회로에 적용하기 위해서는 이 소자의 문턱전압을 제어하는 방법과 효율적으로 body contact을 형성하는 방법이 개발되어야 한다.

## III. 맺 는 말

지금까지 LTPS TFT를 이용한 SOG 디스플레이 기술의 동향과 패널에 집적되어야 할 디지털 회로 블록 그리고 TFT의 한계를 극복하고 고성능의 시스템을 집적하는데 필요한 회로기술에 대해 간략히 살펴보았다.

현재 단결정 실리콘 소자 제작 기술은 SOI 기술로 옮아가고 있으며 디스플레이용 TFT 제작기술은 다결정 실리콘 특성을 빠르게 향상시키고 있다. 따라서 멀지 않은 장래에 두 기술이 접점을 찾을 가능성이 점차 커지고 있다. 따라서 수십 GHz의 마이크로 프로세서와 고집적도를 요하는 일부 메모리를 제외한 모든 부품을 LTPS TFT로 제작한 고성능의 컴퓨터 시스템이나 시스템 전부를 TFT로 제작한 중, 저성능의 e-book, PDA 등이 선보일 것으로 기대된다.

## 감사의 글

본 연구는 과학기술부 21세기 프론티어연구개발사업인 "차세대정보디스플레이기술개발사업단"의 연구비(M1-02-KR-01-0001-02-K18-01-014-0-0)에 의하여 지원되었다.

## 참 고 문 헌

[1] M. Miyatake et al., "A 7.94-ppm, 10-cm-Diagonal TFT-LCD Using Low-Temperature Poly-Si Technology," IDW'99, p.207, 1999.

[2] Y. Aoki et al., "A 10.4-in. XGA Low-Temperature Poly-Si TFT-LCD for Mobile PC Applications", SID'99 Digest, p.176, 1999.

[3] T. Higuchi et al. "Development of a 15-inch UXGA Low-Temperature Poly-Si TFT-LCD", SID'00 Digest, p.1121, 2000.

[4] H. Sakamoto et al., "2.6 inch HDTV Panel Using CG Silicon", SID'00 Digest, p.1190, 2000.

[5] Y. Hirakata et al., "4-in. VGA Reflection-Type Poly-Si TFT LCD with Integrated Digital Driver Using Seven-Mask CG Silicon CMOS Process", SID'00 Digest, p.1014, 2000.

[6] Y. Mikami et al., "A 5-in. SVGA TFT-LCD with Integrated Multiple DAC Using Low-Temperature poly-Si TFTs", IDW'01, p.1607, 2001.

[7] Y. Matsueda et al., "Concept of a System on Panel", IDW'00, p.171, 2000.

[8] H. Kimura et al., "A 2.15 inch QCIF Reflective Color TFT-LCD with Digital Memory on Glass (DMOG)", SID'01 Digest, p.268, 2001.

[9] M. Senda et al., "Ultra-Low-Power Polysilicon AMLCD with Full Integration", SID'02 Digest, p.790, 2002.

[10] H. Washio et al., "TFT-LCDs with Monolithic Multi-Drivers for High Performance Video and Low-Power Text Modes", SID'01 Digest, p.276, 2001.

[11] J. Pollack, "Sharp: In Pursuit of System LCDs", Information Display, p.12, July, 2003.

[12] H. Hara et al., "Thin Film Transistor Standard Cells", IDW'02, p. 287, 2002.
[13] T. Nishibe and N. Ibaraki, "Quite a New Approach for System-on-Glass Technology Based on Low-Temperature Polycrystalline Silicon", IDW'03, p. 359, 2003.
[14] H. Tokioka et al., "Low Power Consumption TFT-LCD with Dynamic Memory Embedded in Pixels", SID'01 Digest, p. 280, 2001.
[15] K. Current, "Current-Mode CMOS Multiple-Valued Logic Circuits," IEEE J. Solid State Circuits, Vol. 29, No. 2, p. 95, 1994.
[16] T. Hanyu et al., "Self-Checking Multiple-Valued Circuit Based on Dual-Rain Current-Mode Differential Logic", IEEE Int. Symp. On Multiple-Valued Logic, p. 275, 1999.
[17] M. Allam and M. Elmasry, "Dynamic Current Mode Logic (DyCML): A New Low-Power High-Performance Logic Style", IEEE J. Solid State Circuits, Vol. 36, No. 3, p. 550, 2001.
[18] T. Hanyu and M. Kameyama, "Multiple-Valued Logic-in-Memory VLSI Architecture Based on Floating Gate MOS Pass Transistor Logic", IEICE Trans. Electronics, Vol. E82-C, No. 9, p. 1662, 1999.
[19] S. Mutoh et al., "1-V Power Supply High-Speed Digital Circuit Technology with Multithreshold-voltage CMOS", IEEE J. Solid State Circuits, Vol. 30, No. 8, p. 847, 1995.
[20] T. Kuroda et al., "A 0.9V, 150-MHz, 10-mW, 4mm$^2$, 2-D Discrete Cosine Transform Core Processor with Variable Threshold-Voltage (VT) Scheme", IEEE J. Solid State Circuits, Vol. 31, No. 11, p. 1770, 1996.
[21] T. Douseki et al., "A 0.5V SIMOS-MTCMOS Circuit with 200ps Logic Gate", IEEE ISSCC'96, p. 84, 1996.
[22] N. Shibata et al., "1-V 100-MHz Embedded SRAM Techniques for Battery-Operated MTCMOS/SIMOX ASICs", IEEE J. Solid State Circuits, Vol. 35, No. 10, p. 1396, 2000.