

감소된 상태전이 경로를 이용한 적응 비터비 복호기의 구조

An Adaptive Viterbi Decoder Architecture Using Reduced State Transition Paths

고형민*, 조원경*, 김진상*

Hyoungmin Ko, Won-Kyung Cho, and Jinsang Kim

요 약

제 2세대 및 제 3세대 이동 통신의 오류정정코드 기능으로 사용되는 비터비 복호기 알고리즘은 많은 연산량을 차지하고 구속장의 길이 K 가 표준에 따라 다르므로, 소프트웨어 라디오와 같은 응용을 위해서는 비터비 알고리즘을 효율적으로 처리 할 수 있는 하드웨어 구조의 개발이 필요하다. IS-95와 GSM 표준의 경우, 비터비 알고리즘은 $K=7$ 이며 WCDMA와 CDMA2000의 경우 $K=9$ 가 사용된다. 본 논문에서는 비터비 복호과정에서 필요한 상태전이 경로를 감소시켜 $K=3\sim 9$ 범위의 구속장과 $1/2\sim 1/3$ 범위의 데이터율까지 복호 할 수 있는 적응 비터비 복호기의 하드웨어 구조를 제안한다. Altera Cyclone EPIC20F400C8 디바이스를 타겟으로 프로토타이핑한 결과, 제안된 하드웨어 구조는 최대19,276의 로직 엘리먼트와 최대222.6mw의 소비전력이 필요함을 확인하였다.

Abstract

The development of a new hardware structure which can implement the viterbi algorithm efficiently is required for applications such as a software radio because the viterbi algorithm, which is an error correction code function for the second and the third generation of mobile communication, needs a lot of arithmetic operations. The length of K in the viterbi algorithm different from each standard, for examples, $K=7$ in case of IS-95 standard and GSM standard, and $K=9$ in case of WCDMA and CDMA2000. In this paper, we propose a new hardware structure of an adaptive viterbi decoder which can decode the constraint length in $K=3\sim 9$ and the data rate in $1/2 \sim 1/3$. Prototyping results targeted to Altera Cyclon EPIC20F400C8, shows that the proposed hardware structure needs maximum 19,276 logic elements and power dissipation of 222.6 mW.

Key words : adaptive, software-defined radio, state transition path, trellis, viterbi decoder

I. 서 론

통신 시스템이 진화되고 멀티미디어 형태의

정보전송이 필요함에 따라, 많은 정보를 빠르고 효율적으로 전송하는 일은 갈수록 중요하다. 그러나 통신 채널에서 발생하는 잡음, 페이딩, 간섭 등에 의해 정보 손실이 발생하며, 이로 인하

* 경희대학교 전자정보대학(College of Electronics and Information, Kyung Hee University)

· 논문번호 : 2004-2-14

· 접수일자 : 2004년 11월 4일

여 발생하는 오류를 효율적으로 극복하기 위해서는 오류정정부호의 사용이 필수 불가결하다. 이러한 오류정정부호 부호는 송신단에서 정보 비트 (information bit) 에 패리티 비트 (parity bit) 를 추가하여 전송하고, 채널을 통하여 수신된 비트들을 수신단에서 효과적으로 복호하여 정보 비트의 신뢰성을 높이는 기술이다. 1948년 "정보의 전송률이 채널용량보다 작으면 오류 없이 정보를 전송할 수 있다" 는 Shannon의 연구결과 발표 후, 우수한 오류정정 성능을 나타내는 오류정정부호 설계 방법에 대해 지속적으로 연구되어 왔다[1]. 제 2세대 및 제 3세대 이동 통신 시스템에 가장 많이 사용되는 비터비 알고리즘은 많은 연산량이 필요하고 고속장과 데이터율이 표준마다 다르므로, 이를 고속으로 처리할 수 있는 효율적인 하드웨어 구조에 대한 연구가 필요하다. 예를 들어 IS-95와 GSM 표준의 경우 $K=7$ 이 사용되며, WCDMA와 CDMA2000는 $K=9$ 가 사용된다[2]. 기존의 복호기들은 하나의 표준에 맞게 설계 되어 있어서 서로 다른 표준에서는 사용이 불가능하다. 하나의 표준 방식에서는 복호 기능을 수행 할 수 있지만 여러 서로 다른 표준을 만족하기 위해서는 그 만큼의 서로 다른 복호기가 필요하다. 본 논문에서는 다양한 통신표준에 적용할 수 있는 적응형 비터비 복호기의 하드웨어 구조를 제안한다. 제안된 하드웨어 구조는 복호 과정에 필요한 상태전이 경로를 감소시켜 고속장이 $K=3\sim 9$ 까지, 데이터율이 $1/2\sim 1/3$ 까지의 큰 볼루션 부호의 복호를 하나의 하드웨어로 처리할 수 있다는 장점이 있다.

논문의 구성은 다음과 같다. 2장에서 비터비 복호기에 대해서 설명하고 3장에서 적응형 복호기의 하드웨어 구조를 제안하며 4장에서는 실험 결과를 분석하고 5장에서는 결론을 맺는다

II. 비터비 복호 알고리즘

비터비 알고리즘은 1965년 Adrew Viterbi에 의해 고안 발표 되었으며 최대 유사도 복호 알고리즘 (maximum likelihood decoding algorithm)을 사용

하여 수신된 부호심볼을 트렐리스에서 가능한 여러 경로에 대해 확률을 계산하여 가장 큰 확률을 갖는 경로를 선택하는 방법이다[3]. 비터비 알고리즘은 하드웨어 구현이 쉽고 에러에 강하기 때문에 많이 사용되는 오류정정부호이다.

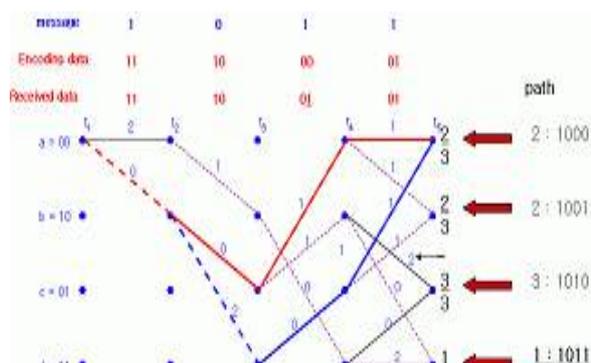


그림 1. viterbi decoding example

그림 1을 보면 4개의 서로 다른 상태천이도에서 각 상태 마다 서로 다른 PM(path metric)값을 가지게 된다. 최소 경로는 PM값이 1인 부분이 되고 복호된 값은 "1011"이 된다.

비터비 복호기는 BM(branch metric)부, ACS(add compare select)부, PM(path metric), PMM(path metric memory), TB(trace back) 부로 구성된다.

BM부에서 입력 심볼과 각 상태에서의 부호어와의 거리를 구하고 ACS부에서 누적된 상태값과 BM값을 이용하여 새로운 상태값을 갱신한다. PM부는 현 상태까지 누적된 거리값을 나타내고 PMM(path metric memory)에 갱신된 상태값을 저장하며 ACS 동작 수행을 위한 새로운 상태값을 ACS부로 전송한다. TB부는 ACS부에서 결정된 생존경로에 대한 정보를 고속장의 4-5배의 길이를 가지고 갱신된 각 상태 천이의 정보를 저장하며 최종적으로 복호된 데이터가 출력된다[4].

비터비 알고리즘은 제한길이(K)의 크기에 따라 복잡도가 지수승으로 증가하게 된다. 현재는 $K=9$ 까지 이용되며 $K>9$ 이상은 복잡도가 너무 크기 때문에 실제로는 이용되지 않는다. CDMA (IS-95)에서는 $K=7$ 인 비터비 복호기만이 사용되어지고 있으며, 차세대 이동통신인 IMT2000에서는 $K=9$ 인 비터비 복호기와 터보 복호기가 동시에 사용된다[5].

III. 감소된 상태전이 경로를 이용한 적응형 비터비 복호기 구조

본 논문에서는 비터비 복호과정의 상태전이의 규칙성을 찾아 내어 상태전이 경로를 감소시켜 효율적인 복호기 VLSI 설계가 가능하게 하며, 구속장 $K=3\sim 9$ 까지 만족하여 다양한 통신표준을 하나의 하드웨어로 처리할 수 있는 적응형 비터비 복호기의 하드웨어 구조를 제안한다.

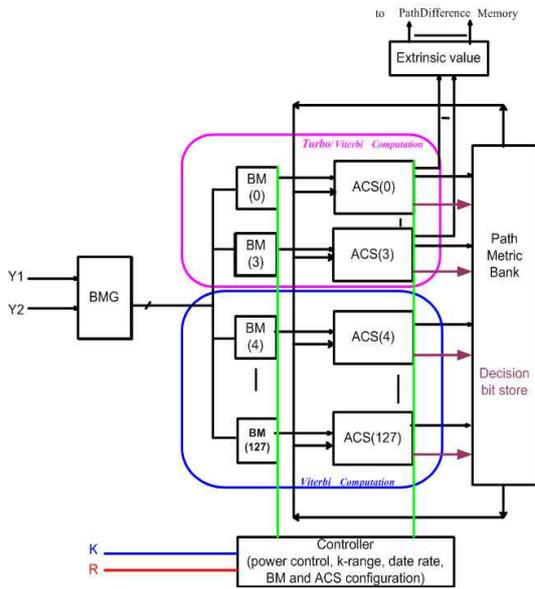


그림 2. 제안된 적응형 비터비 복호기의 블록도

그림 2는 제안된 적응형 비터비 복호기의 블록도를 나타낸다. 상위 $BM_0\sim BM_3$, $ACS_0\sim ACS_3$ 은 비터비 복호기 및 차후 추가 될 터보 복호기를 모두 수행하는 블록이기 때문에 Extrinsic value를 다음 단으로 넘겨주는 연산부가 추가로 구성되어 있다. 제어 입력된 K 값에 의해 BM과 ACS 블록의 내부구조를 재구성하여 적응형 비터비 복호를 수행할 수 있도록 한다. 비터비 복호 알고리즘은 구속장 K 가 변함에 따라 상태전이도가 2^{k-1} 로 복잡도가 증가하게 되고 예상 경로 정보도 변하게 된다. 따라서 모든 구속장 K 를 만족하기 위해서는 구속장 K 에 따라 적응 가능하도록 모든 상태전이를 계산하는 것이 중요하다.

그림 3는 8개의 상태전이를 갖는 구속장 $K=4$ 인 비터비 복호기의 트렐리스도이다.

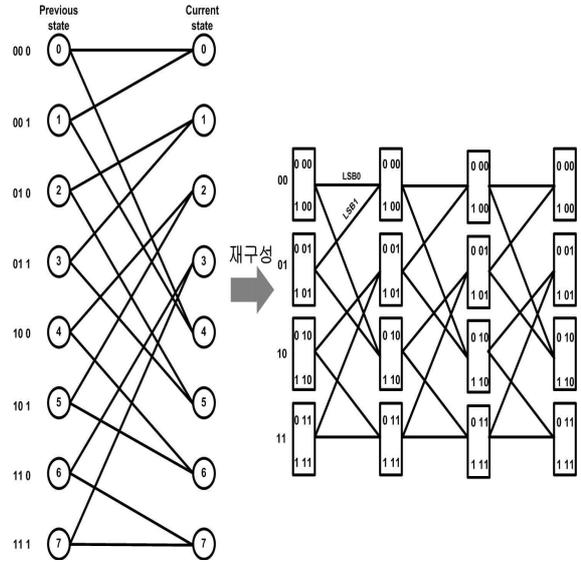


그림 3. 8state의 상태전이 줄임

그림 3의 8개의 상태전이를 가지는 비터비 복호기의 트렐리스도를 최상위 2비트가 동일한 상태전이부를 하나로 표현하면 4개의 상태전이로도 나타낼 수 있다. 이와 같이 표현하게 되면 구속장이 더 큰 시스템도 모두 4개로 표현할 수 있다. 각 상태전이부의 고유경로는 상태전이의 마지막 비트를 이용하여 구별해 주면 구속장 K 에 따라 적응 가능한 비터비 복호기를 설계 할 수 있다.

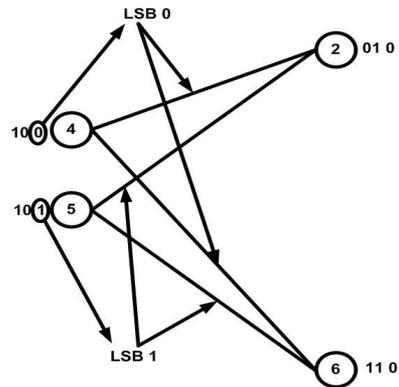


그림 4. LSB를 이용한 상태전이 구별

그림 4에서 와 같이 최대 2비트 값을 제외한 나머지 비트로 경로를 구별하여 상태전이를 감지 할 수 있다.

LSB(least significant bit)를 이용한 상태전이 구별 방식을 사용하면 4가지 상태전이 즉 00, 01, 10, 11

로 모든 상태천이를 구별 할 수 있다. 4가지의 상태천이를 이용하면 구속장 K가 변하더라도 적응적으로 처리되는 비터비 복호기를 설계 할 수 있다는 장점이 있다.

3.1 BM 연산 블록

BM연산은 입력된 2bits값과 상태천이 값의 hamming distance를 구하게 된다. 본 논문에서는 각 state마다 BM값을 계산하지 않고 BMG(banch metric generating)부에서 미리 계산된 값을 사용하여 BMMUX부를 통하여 ACS(add compare selecting)부로 넘겨 주게 된다. BMG부를 사용함으로써 불필요한 연산을 줄 일수 있다.

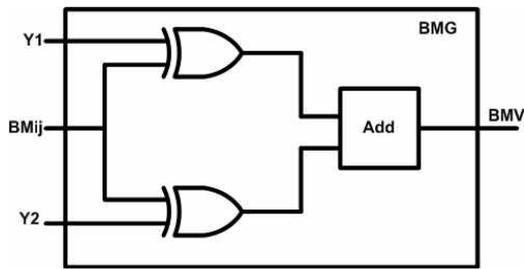


그림 5. BMG 블록

그림 5은 BMG부를 나타낸다. BMG부에서는 예상 BM 값 00, 01, 10, 11 과 입력 data의 hamming distance를 미리 계산하여 BMMUX부로 전달한다.

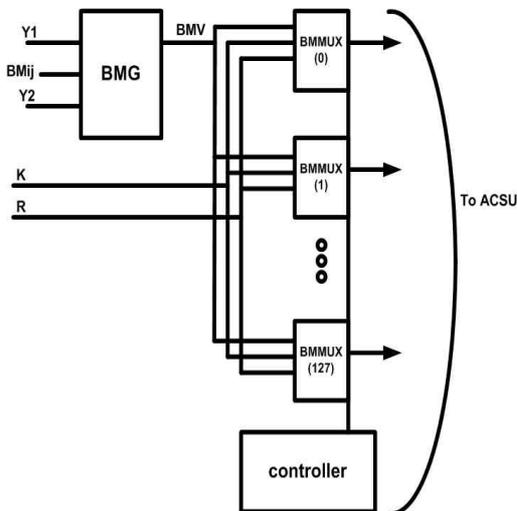


그림 6. Adaptive BMMUX

그림 6는 BMMUX부를 나타내며 여기서 K 값에 따라 BMMUX 내부가 재구성되어 BMG에서 전달된 BM값을 선택적으로 ACS부로 전달한다.

3.2 ACS 블록

ACS부는 BMMUX에서 선택된 BM값과 PM bank에서 출력된 이전 state의 PM값을 가산하여 최소 경로를 선택하는 역할을 한다.

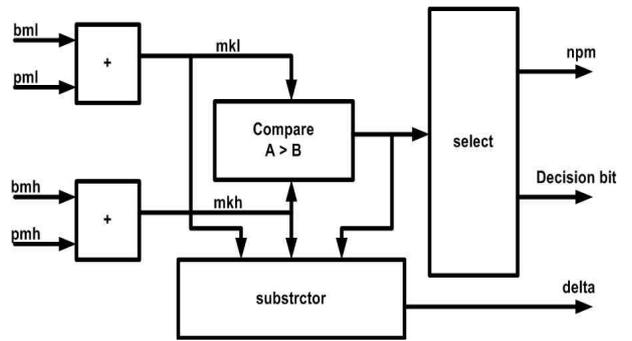


그림 7. ACS 블록

그림 7은 추후에 추가 될 터보 복호를 위해 신뢰도 값을 계산해주는 블록을 포함하고 있다. 본 논문에서는 최대 256개의 ACS연산부가 필요하지만 Radix-4 방식을 채택하여 총 128개의 ACS연산부로 최대 K=9인 비터비 복호까지 수행할 수 있도록 설계하였고 처리 속도를 향상시켰다.

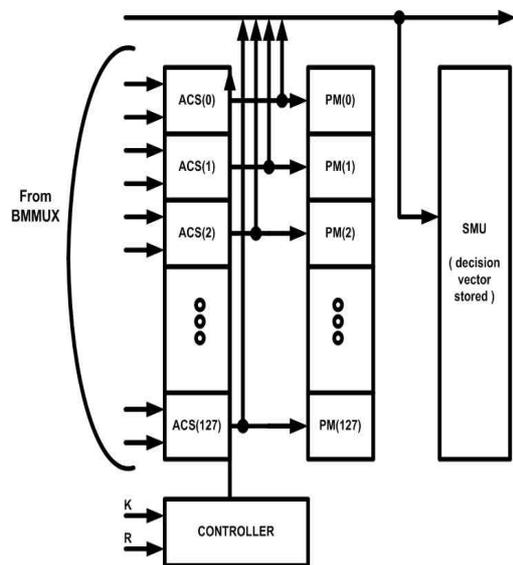


그림 8. Adaptive ACS

그림 8는 Adaptive ACS부를 나타내며 K값에 의해 재구성 되어지며 BMUX부에서 전달되는 BM값과 PM값을 더하여 최소 경로 값을 구하여 SMU에 저장 한다.

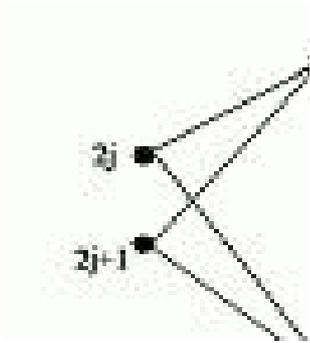


그림 9. ACS 경로 지정 방법

그림 9은 butterfly 구조를 나타내며 K값에 의해 변하는 ACS 경로를 계산할 때 사용 된다.

3.3 TB 블록

TB블럭은 ACS에서 구해진 PM값과 decision bit, 경로 값을 저장하고 복호하는 역할을 한다. 내부에 PM bank, 경로 bank를 포함한다.

IV. 실험 결과 및 분석

그림 10은 적응형 비터비 복호기의 RTL시뮬레이션 결과파형이다. 최초 복호가 시작 되면 3비트 후 부터 복호된 값이 순서대로 출력된다.

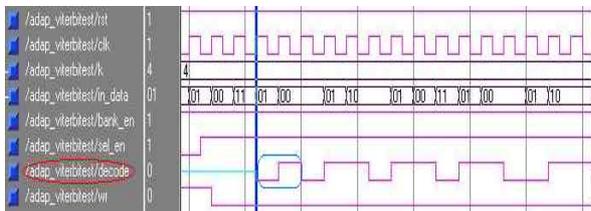


그림 10. RTL 시뮬레이션 결과

좌측 아래서 2번째 신호가 복호된 결과를 나타내며 복호가 시작 되고 3 클럭이 복호시 걸리는 시간이 된다. 시뮬레이션 결과는 K=4인 경우만 그림으로 설명 하였고 모두 3~9까지 모든 결과가 3 클럭 후부

터 복호된 값이 출력 되었다.

Entity	Logic Cells	Memory Bits	Pins
Compilation Hierarchy			
adap_viterbi	19276 (0)	262144	11
BMG:u0	14 (14)	0	0
enselc:u1	8 (8)	0	0
BMMUXTOP:u2	131 (0)	0	0
ACSTOP:u3	14147 (0)	0	0
pmregtop:u4	2074 (0)	0	0

그림 11. 합성 결과

그림 11은 quartus II를 이용한 합성 결과를 보여 준다. Altera cyclone EPIC20 디바이스를 타겟으로 합성하였으며 로직 엘리먼트는 19,256개가 필요하며 메모리는 262,144 비트가 필요하다. 메모리를 많이 사용한 이유는 구속장이 최대인 K=9에 맞춰져서 설계 되었고 차후 추가될 터보 복호기의 신뢰정보 저장 블록도 포함되었기 때문이다.

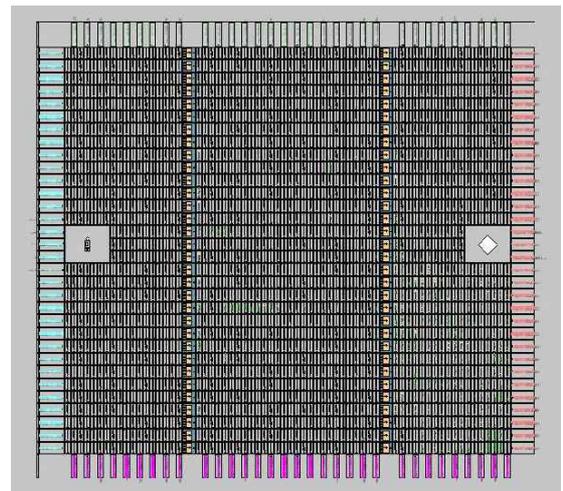


그림 12. FPGA P&R 결과

그림 12는 FPGA P&R(place and route) 결과이다. 총 입출력 핀은 11개를 사용되었다.

제안된 구조의 FPGA상에서의 소비전력을 측정하기 위하여 Altera cyclone EPIC20 디바이스를 타겟으로 quartus II를 사용하였다.

표 1. 소비전력측정 결과

TOTAL	f_{max} (MHz)	ICC (mA)	Power (mW)
Internal (VCCINT)	35.1	148.42	222.64

표1은 소비전력 측정 결과를 보여준다. 소비전력 측정 결과 메모리 사용량이 많아서 최대 동작주파수가 35.1MHz로 약간 느리게 동작 되는 것으로 나왔고 소비전력도 222.64mW로 다소 높은 것으로 측정되었으나 이는 구축장이 가장 큰 K=9인 경우이며 FPGA가 아닌 full custom으로 설계될 경우, 동작주파수와 소비전력이 크게 감소될 것으로 판단된다.

V. 결론

본 논문에서는 상태전이 경로를 감소시켜 효율적인 VLSI 설계가 가능하고 현재 통신표준에서 규정된 다양한 구축장을 처리할 수 있는 적응형 비터비 복호기를 제안하였다. 제안된 복호기는 구축장 K=3~9 까지를 모두 복호 할 수 있고 데이터율 1/2~1/3을 모두 복호 할 수 있도록 설계 되었다. 설계된 복호기의 구조를 RTL모델하였으며 이를 Altera cyclone EP1C20 디바이스를 타겟으로 합성하여 면적, 속도, 소비전력을 측정하였다. 고정된 비터비 복호기 보다 FPGA상에서 차지하는 면적이 증가되지만 제안된 하나의 복호기로 여러 표준안을 모두 복호 할 수 있는 장점이 있다. 추후 터보 복호기능을 추가하여 응용범위를 확장하고 full custom설계방식을 적용하여 저전력 기능이 있는 적응형 비터비/터보 복호기를 설계할 예정이다.

감사의 글

본 연구는 IDEC의 설계도구 지원으로 수행 되었습니다.

참 고 문 헌

[1] A. J. Viterbi, "Error bounds for convolutional

coding and an asymptotically optimum decoding algorithm," *IEEE Trans. Inform. Theory*, vol.IT-13, pp.260-269, Apr. 1967.

- [2] 김현중, "IS-95 Reverse Link 규격의 Viterbi Decoder 설계," *journal of the industrial technology research institute, soongsil university*. vol 31, 2001.
- [3] Tongtong Li; Zhi Ding; , "A reduced-state Viterbi algorithm for blind sequence estimation of DPSK sources," *Global Telecommunications Conference, 1999. GLOBECOM '99*, vol. 4 ,pp. 2167-2171 1999
- [4] Man Guo; Ahmad, M.O. Swamy, M.N.S. Chunyan Wang, , "An adaptive Viterbi algorithm based on strongly connected trellis decoding," *Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on* , vol. 4 ,pp. 26-29 May 2002
- [5] Ghanipour, F. Nabavi, A.R, "Design of a low-power Viterbi decoder for wireless communications," *Electronics, Circuits and Systems, 2003. ICECS 2003. Proceedings of the 2003 10th IEEE International Conference on* , vol. 1 ,pp. 14-17 Dec. 2003

고 형 민(高亨旻)



2003년 2월: 경희대학교 전자공
학과 (공학사)

2003년 2월~현재: 경희대학교 전
자공학과 석사과정

관심분야: 이동통신용 채널코딩
모뎀설계, VLSI 시스템 설계

조 원 경(趙源敬)



1971년 2월: 경희대학교 전자공
학과 (공학사)

1973년 2월: 한양대학교 전자공
학과 (공학석사)

1986년 8월: 한양대학교 전자공
학과 (공학박사)

1978년 ~ 1980년 : 경남대학교 전자공학과 전임강사

1980년 ~ 현재: 경희대학교 전자공학과 교수

1988년 ~ 1989: 미국 오레곤 주립대학 교환교수

관심분야: computer system architecture and
VLSI system design for arithmetic units,
computer vision, and wirele

김 진 상(金鎭想)



1985년 2월: 경희대학교 전자공
학과 (공학사)

1987년 2월: 경희대학교 전자공
학과 (공학석사)

2000년 2월: 콜로라도 주립대 전
기 및 컴퓨터 공학
과 (공학박사)

1990년 5월 ~ 2001년 8월: 한국통신연구소 선임연구원

1996년 7월 ~ 2000년 7월: 콜로라도주립대 및 휴렛팩
카드

2001년 9월 ~ 현재: 경희대학교 전자정보학부 조교수

관심분야: multimedia signal processing and VLSI
system design for arithmetic units, and
wireless and consumer electronics applications