

N-Input NAND Gate에서 입력조건에 따른 Voltage Transfer Function에 관한 연구

論 文
53C-10-4

A Study of The Voltage Transfer Function Dependent On Input Conditions For An N-Input NAND Gate

金仁模* · 宋尙憲† · 金壽遠**
(In-Mo Kim · Sang-Hun Song · Soo-Won Kim)

Abstract - In this paper, we analytically examine the voltage transfer function dependent on input conditions for an N-Input NAND Gate. The logic threshold voltage, defined as a voltage at which the input and the output voltage become equal, changes as the input condition changes for a static NAND Gate. The logic threshold voltage has the highest value when all the N-inputs undergo transitions and it has the lowest value when only the last input connected to the last NMOS to ground, makes a transition. This logic threshold voltage difference increases as the number of inputs increases. Therefore, in order to provide a near symmetric voltage transfer function, a multistage N-Input Gate consisting of 2-Input Logic Gates is desirable over a conventional N-Input Gate.

Key Words : NAND, Voltage Transfer Function, Logic Threshold Voltage, Noise Margin

1. 서 론

일반적으로 Integrated Circuit(IC)의 고집적화, 고속화로 전력소모가 증가함에 따라 전원 전압은 낮아지고 있다. 전원 전압이 낮아질수록 Logic Gate 등에서 Noise Margin⁽¹⁾은 줄어들게 되며, Logic Gate 등에서 Logic Error를 최소화하기 위해서는 Symmetric Voltage Transfer Function을 갖게 하는 것이 좋다. 본 논문에서는 2-Input NAND Gate에서 일반적으로 Symmetric Voltage Swing이 가능하게 하는 수식⁽²⁾을 이용하여, 서로 다른 구조를 갖는 4-Input NAND Gate에서 Voltage Transfer Function을 비교 분석했다.

2. 본 론

표 1에서 보듯이 2-Input NAND Gate는 두 입력이 모두 '1'일 때만 출력이 '0'이 되며, 그 외의 경우에는 출력이 '1'이 된다. 따라서 출력의 변화가 생기는 경우는, 두 입력에 동일 신호가 인가되어 출력의 변화를 주는 경우(i)와 두 입력 중 하나의 입력이 '1'인 상태에서 다른 입력신호로 출력의 변화를 주는 경우(ii, iii)로 나눌 수 있다.

표 1. 2-Input NAND Gate의 Truth Table
Table 1. The truth table of a 2-Input NAND Gate

Input		Output
A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

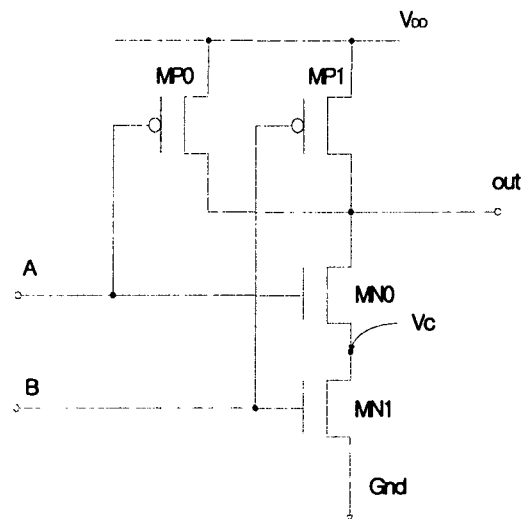


그림 1. 일반적인 2-Input NAND Gate 회로
Fig 1. A conventional 2-Input NAND Gate Circuit

† 교신저자, 正會員 : 中央大學校 電子電氣工學部 助教授 · 工博
E-mail : shsong@cau.ac.kr
* 學生會員 : 中央大學校 電子電氣工學部 碩士課程
** 正會員 : 高麗大學校 電子컴퓨터工學科 正教授 · 工博
接受日字 : 2004年 7月 7日
最終完了 : 2004年 8月 20日

2.1 2-Input NAND Gate의 Voltage Transfer Function

2-Input NAND Gate의 Voltage Transfer Function에 관한 식을 앞서 각각의 경우(i,ii,iii)에 대해 살펴보면 다음과 같으며, 여기서 사용한 기호에 대한 설명은 표 2에 나타났다.

표 2. 기호 설명

Table 2. The explanation for Symbols

V_{DD}	전원전압
V_{tp}	PMOS 트랜지스터의 threshold voltage
V_{tn}	NMOS 트랜지스터의 threshold voltage
V_{OUT}	2-Input NAND Gate의 출력전압
V_{DS}	트랜지스터의 드레인-소스전압
V_{GS}	트랜지스터의 게이트-소스전압
V_C	출력노드에 연결되어 있는 NMOS 트랜지스터의 소스전압(그림1. 참조)
MN	NMOS 트랜지스터
MP	PMOS 트랜지스터
β	$\beta = \mu \frac{\epsilon_{OX}}{t_{OX}} \frac{W}{L}$ <p>W: 트랜지스터의 채널 폭 L: 트랜지스터의 채널길이 μ: 평균표면이동도(electron 또는 hole) ϵ_{OX}: Gate 산화막의 유전률 t_{OX}: Gate 산화막의 두께</p>

i) 입력 A, B에 같은 신호($V_A = V_B = V_{in}$)가 인가되어 출력이 바뀌게 되는 경우 V_{LTV} (Logic Threshold Voltage)를 $V_{in} = V_{out}$ 인⁽²⁾ 점이라 정의하면, $V_A = V_B = V_{OUT} = V_{LTV}$ 인 조건에서 각 트랜지스터의 동작영역⁽³⁾을 살펴보면 다음과 같다.

- 1) MP0 : $V_{DSp0} = V_{OUT} - V_{DD}$, $V_{GSp0} = V_A - V_{DD}$
 $|V_{DSp0}| - (|V_{GSp0}| - |V_{tp}|) = |V_{tp}| > 0$
-> Active region operation
- 2) MP1 : $V_{DSp1} = V_{OUT} - V_{DD}$, $V_{GSp1} = V_B - V_{DD}$
 $|V_{DSp1}| - (|V_{GSp1}| - |V_{tp}|) = |V_{tp}| > 0$
-> Active region operation
- 3) MN0 : $V_{DSn0} = V_{OUT} - V_C$, $V_{GSn0} = V_A - V_C$
 $V_{DSn0} - (V_{GSn0} - V_{tn}) = V_{tn} > 0$
-> Active region operation
- 4) MN1 : $V_{DSn1} = V_C$, $V_{GSn1} = V_A$
 $V_{DSn1} - (V_{GSn1} - V_{tn}) = V_C - (V_A - V_{tn}) < 0$
-> Triode region operation

이 때 MP0, MP1에서 흐르는 전류의 합이 MN0, MN1에 흐르는 전류와 같으므로, $I_{MN0} = I_{MP0} + I_{MP1}$ 로부터 다음과 같은 식⁽³⁾이 나온다.

$$\frac{\beta_{N0}}{2} (V_{LTV} - V_C - V_{tn})^2 = \frac{\beta_{P0} + \beta_{P1}}{2} (|V_{LTV} - V_{DD}| - |V_{tp}|)^2$$

$$V_{LTV} = \frac{V_C + V_{tn} + \sqrt{(\beta_{P0} + \beta_{P1})/\beta_{N0}} (V_{DD} - |V_{tp}|)}{1 + \sqrt{(\beta_{P0} + \beta_{P1})/\beta_{N0}}} \quad \text{-- 식(1)}$$

위 식(1)에서 Symmetric Voltage Swing을 위해 V_{LTV} 를 $V_{DD}/2$ 로 맞추려면, $|V_{tp}| = V_{tn}$ 이라는 조건에서 V_C 값을 무시하고, $\beta_{P0} + \beta_{P1} = \beta_{N0}$ 가 되도록 sizing을 하는 것이 기존의 방식⁽²⁾이다. V_C 값은 $I_{MN0} = I_{MN1}$ 인 조건에서 구해지며, 다음과 같다.

$$V_C = V_{LTV} - V_{tn} - \sqrt{(V_{LTV} - V_{tn})^2 - (V_{LTV} - V_{tn})^2 / (1 + \beta_{M1}/\beta_{M0})}$$

ii) 그림 1에서 B가 '1'인 상태($V_B = V_{DD}$)에서 입력 A의 인가전압 V_A 의 변화로 출력이 바뀌게 되는 경우 $V_A = V_{OUT} = V_{LTV}$ 인 조건에서 각 트랜지스터의 동작 영역을 살펴보면 다음과 같다.

- 1) MP0 : $V_{DSp0} = V_{OUT} - V_{DD}$, $V_{GSp0} = V_A - V_{DD}$
 $|V_{DSp0}| - (|V_{GSp0}| - |V_{tp}|) = |V_{tp}| > 0$
-> Active region operation
- 2) MP1 : Off
- 3) MN0 : $V_{DSn0} = V_{OUT} - V_C$, $V_{GSn0} = V_A - V_C$
 $V_{DSn0} - (V_{GSn0} - V_{tn}) = V_{tn} > 0$
-> Active region operation
- 4) MN1 : $V_{DSn1} = V_C$, $V_{GSn1} = V_B = V_{DD}$
 $V_{DSn1} - (V_{GSn1} - V_{tn}) = V_C - (V_{DD} - V_{tn}) < 0$
-> Triode region operation

이 때 MP0, MN0, MN1에 흐르는 전류는 모두 같으므로, $I_{MN0} = I_{MP0}$ 과 $I_{MN0} = I_{MN1}$ 로부터 다음과 같은 식이 나온다.

$$\frac{\beta_{N0}}{2} (V_{LTV} - V_C - V_{tn})^2 = \frac{\beta_{P0}}{2} (|V_{LTV} - V_{DD}| - |V_{tp}|)^2$$

$$V_{LTV} = \frac{V_C + V_{tn} + \sqrt{\beta_{P0}/\beta_{N0}} (V_{DD} - |V_{tp}|)}{1 + \sqrt{\beta_{P0}/\beta_{N0}}} \quad \text{-- 식(2)}$$

$$V_C = \frac{k - \sqrt{k^2 - \beta_{N0}(\beta_{N0} + \beta_{N1})(V_{LTV} - V_{tn})^2}}{\beta_{N0} + \beta_{N1}} \quad \text{-- 식(3)}$$

여기서, $k = \beta_{N0}(V_{LTV} - V_{tn}) + \beta_{N1}(V_{DD} - V_{tn})$ 이다.

iii) 그림 1에서 A가 '1'인 상태($V_A = V_{DD}$)에서 입력 B의 인가전압 V_B 의 변화로 출력이 바뀌게 되는 경우 $V_B = V_{OUT} = V_{LTV}$ 인 조건에서 각 트랜지스터의 동작 영역을 살펴보면 다음과 같다.

- 1) MP0 : Off
- 2) MP1 : $V_{DSp1} = V_{OUT} - V_{DD}$, $V_{GSp1} = V_B - V_{DD}$
 $|V_{DSp1}| - (|V_{GSp1}| - |V_{tp}|) = |V_{tp}| > 0$
-> Active region operation
- 3) MN0 : $V_{DSn0} = V_{OUT} - V_C$, $V_{GSn0} = V_A - V_C$
 $V_{DSn0} - (V_{GSn0} - V_{tn}) = V_{OUT} - V_A (= V_{DD}) + V_{tn} < 0$
-> Triode region operation

4) MN1 : $V_{DSn1} = V_C, V_{GS1} = V_B$
 $V_{DSn1} - (V_{GSn1} - V_{tn}) = V_C - (V_B - V_{tn}) > 0$
 -> Active region operation

이 때 MP1, MN0, MN1에 흐르는 전류는 모두 같고, MP1, MN1 모두 active region에 있으므로 $I_{MN1} = I_{MP1}$ 로부터 다음과 같은 식이 나온다.

$$\frac{\beta_{N1}}{2} (V_{LTV} - V_{tn})^2 = \frac{\beta_{P1}}{2} (|V_{LTV} - V_{DD}| - |V_{tp}|)^2$$

$$V_{LTV} = \frac{V_{tn} + \sqrt{\beta_{P1}/\beta_{N1}} (V_{DD} - |V_{tp}|)}{1 + \sqrt{\beta_{P1}/\beta_{N1}}} \quad \text{-- 식(4)}$$

그림 2는 식 (1), (2), (4)에 대한 그림으로 x축의 β_{Ratio} 는 $\beta_{P0}/\beta_{N0} (= \beta_{P1}/\beta_{N1})$ 이며, 모든 식에 대해 $\beta_{N0} = \beta_{N1}, \beta_{P0} = \beta_{P1}$ 이다. 그러므로 NMOS와 PMOS의 Size가 정해지면, 식(1)의 $(\beta_{P0} + \beta_{P1})/\beta_{N0} = 2 * \beta_{P0}/\beta_{N0}$ 가 되는데 이것을 그림에 표시했다. 여기서 식(2)의 V_C 값은 식(3)에서 V_{LTV} 가 1V~2V사이 일 때의 V_C 값을 평균해서 약 110mV로 놓고 계산하였다.

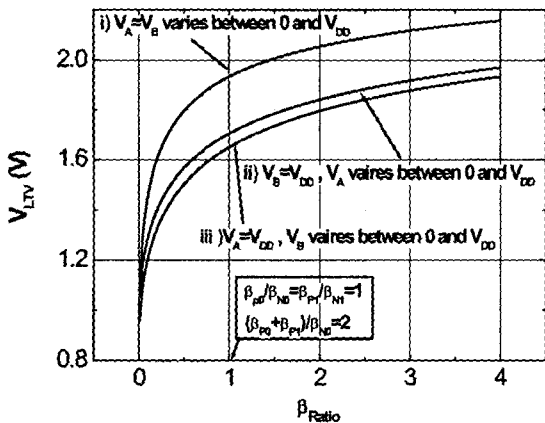


그림 2. 입력조건과 β_{Ratio} 에 따른 V_{LTV}
 Fig 2. A plot for Input condition dependent V_{LTV} vs. β_{Ratio}

그림 2에서 ii)와 iii)의 V_{LTV} 차이는 Body effect의 영향보다는 식(2)의 V_C 값의 영향으로 나타난 것이며, 그림 2에서 보듯이 모든 입력조건에 대해서 β_{Ratio} 의 변화로 같은 V_{LTV} 값을 갖게 할 수는 없다. 즉, 입력조건에 따른 V_{LTV} 들 간의 차이는 불가피함을 볼 수 있다.

2.2 N-Input NAND Gate의 Voltage Transfer Function

먼저, 그림 3과 같은 구조에서 모든 입력에 같은 신호가 인가된다고 보고 계산을 하게 되면 2-Input NAND Gate와 같이 V_{LTV} 에서는 모든 PMOS와 MN(0)만 active region operation을 하고, 나머지 NMOS들은 triode region operation을 하므로 아래와 같은 결과가 나온다.

$$I_{MN0} = I_{MP0} + \dots + I_{MP(n-1)}$$

$$\frac{\beta_{N0}}{2} (V_{LTV} - V_{C(0)} - V_{tn})^2$$

$$= \frac{\beta_{P0} + \dots + \beta_{P(n-1)}}{2} (|V_{LTV} - V_{DD}| - |V_{tp}|)^2$$

$$V_{LTV} = \frac{V_{C(0)} + V_{tn} + \sqrt{\beta_{P0} + \dots + \beta_{P(n-1)}/\beta_{N0}} (V_{DD} - |V_{tp}|)}{1 + \sqrt{\beta_{P0} + \dots + \beta_{P(n-1)}/\beta_{N0}}} \quad \text{-- 식(5)}$$

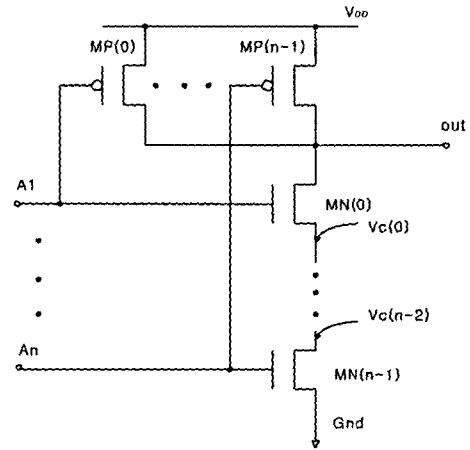


그림 3. N-Input NAND Gate 회로
 Fig 3. An N-Input NAND Gate Circuit

여기서 $V_{C(0)}$ 의 값은 MN(0)외에 모든 NMOS의 triode region operation을 보장해야 한다. 그러므로 입력수가 많아질수록 직렬 연결된 NMOS의 수가 많아져 $V_{C(0)}$ 의 값은 커지게 된다. 즉, Transistor Sizing을 기존의 방식⁽²⁾으로 했을 때 입력이 많아질수록 $V_{C(0)}$ 값의 영향으로 모든 입력을 묶어서 하나의 입력으로 하는 조건에서의 V_{LTV} 는 점점 커지게 되며, 다른 입력조건에서는 식(4), 그림 2에서 보듯이 $\beta_{P(n-1)}/\beta_{N(n-1)}$ 의 감소로 V_{LTV} 는 감소하게 되어 입력조건에 따른 V_{LTV} 의 차이는 더욱 커지게 된다. 결국, 입력수가 많아질수록 입력조건에 따라 V_{LTV} 가 변화함으로써 High level 혹은 Low level Noise Margin⁽¹⁾이 점점 작아지게 되어 Margin이 작은 쪽에서 Noise에 대해 Logic Error를 일으킬 수 있는 가능성이 높아지는 문제가 발생한다. 따라서 N-Input Logic Gate에서 V_{LTV} 의 변화를 줄이기 위해서는 입력의 수가 작은 Logic Gate를 조합하여 논리회로를 꾸미는 것이 유리하다.

2.3 두 종류의 4-Input NAND Gate의 Voltage Transfer Function 비교

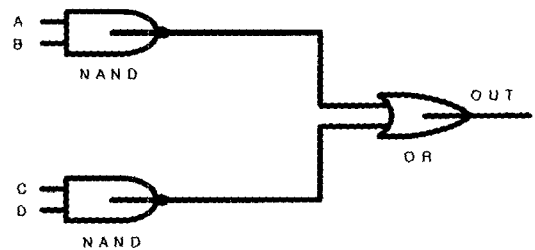


그림 4. 2-Stage 4-Input NAND Gate
 Fig 4. A 2-Stage 4-Input NAND Gate

본 논문에서는 4-Input NAND Gate에 대해서 그림 3과 같은 구조와 그림 4와 같은 2-Stage 구조를 갖는 NAND Gate의 Voltage Transfer Function을 비교해왔다.

3. 시뮬레이션 결과

사용한 Transistor Model은 Level 47 BSIM3 version2 MOS Model로 $\mu_n/\mu_p \approx 2.5$, $V_{DD} = 3.3V$, $V_{th} = |V_{tp}| \approx 0.8V$ 이다. NMOS, PMOS Sizing은 일반적인 수식⁽²⁾을 이용했다.

3.1 2-Input NAND Gate

NMOS Size(W/L) = 0.70u/0.35u
PMOS Size(W/L) = 0.88u/0.35u

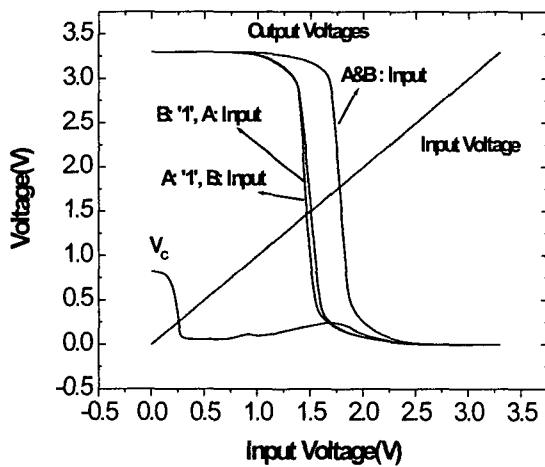


그림 5. 2-Input NAND Gate의 입력조건에 따른 Voltage Transfer Function

Fig 5. The Voltage Transfer Function dependent on Input conditions for a 2-Input NAND Gate.

3.2 4-Input NAND Gate

NMOS Size(W/L) = 0.70u/0.35u
PMOS Size(W/L) = 0.44u/0.35u

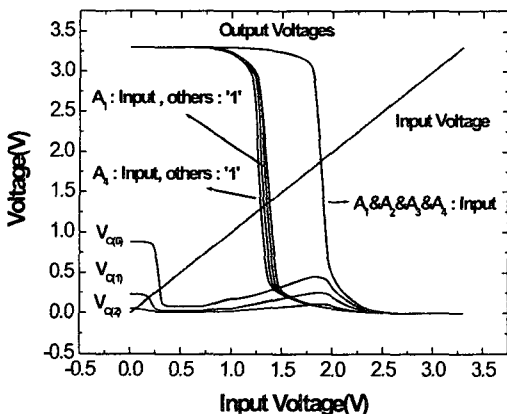


그림 6. 4-Input NAND Gate의 입력조건에 따른 Voltage Transfer Function

Fig 6. The Voltage Transfer Function dependent on Input conditions for a 4-Input NAND Gate.

위 두 그림을 비교해보면 입력수가 많은 쪽의 $V_{C(0)}$ Voltage가 V_{LTV} 근처에서 큰 것을 볼 수 있으며, V_{LTV} 는 모든 입력에 같은 신호를 인가하는 입력조건에서는 더 커지고, 다른 입력조건에서는 작아져서 입력조건에 따른 V_{LTV} 들 간의 차이는 더 커진 것을 확인할 수 있다.

3.3 2-Stage 방식 4-Input NAND Gate

2-Input NAND×2+NOR+Inverter

- NAND Size

NMOS Size(W/L) = 0.70u/0.35u
PMOS Size(W/L) = 0.88u/0.35u

- NOR Size

NMOS Size(W/L) = 0.70u/0.35u
PMOS Size(W/L) = 3.50u/0.35u

- Inverter Size

NMOS Size(W/L) = 0.70u/0.35u
PMOS Size(W/L) = 1.75u/0.35u

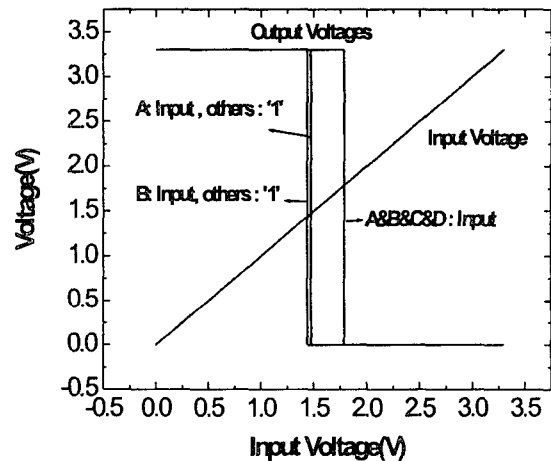


그림 7. 2-Stage 4-Input NAND Gate의 입력조건에 따른 Voltage Transfer Function

Fig 7. The Voltage Transfer Function dependent on Input conditions for a 2-Stage 4-Input NAND Gate.

4. 결론

2-Input NAND Gate에서 β_{Ratio} 의 변화로는 모든 입력조건에 대해서 같은 Voltage Transfer Function을 갖게 하는 것은 불가능하며, 입력조건에 따른 V_{LTV} 값에 차이가 생기는 것은 불가피하다. 또한, 입력수가 많아질수록 입력조건에 따른 V_{LTV} 들 간의 차이는 더욱 커지게 된다. 이것은 Noise Margin을 줄이는 악영향을 미치게 되며, 전원전압이 낮아질수록 심한 영향을 미칠 것이다.

본 논문에서는 여러 개의 입력을 갖는 NAND Gate에서의 입력조건에 따른 Voltage Transfer Function과 V_{LTV} 의 변화에 대해 살펴보았으며, 4-Input NAND Gate에서는 그림3과 같은 구조보다 2-Stage 방식이 입력조건에 따른 V_{LTV} 의 변화가 적어 Noise Margin 측면에서 유리한 것을 알 수 있었다.

감사의 글

이 논문은 한국과학재단 목적기초연구사업 (R01-2001-00533)의 지원을 받아 이루어졌습니다.

참 고 문 헌

- [1] 예를 들면, Adel S. Sedra and Kenneth C. Smith, Microelectronic Circuits 4th Ed, Oxford University Press, pp. 39-41, 1998.
- [2] 유희준, DRAM의 설계, 홍릉과학출판사, pp. 359-377, 1996.
- [3] 예를 들면, Adel S. Sedra and Kenneth C. Smith, Microelectronic Circuits 4th Ed, Oxford University Press, pp. 366-375, 1998.

저 자 소 개



김 인 모(金仁模)

2003년 2월 중앙대학교 전자전기공학부/학사, 2003년~현재: 중앙대학교 전자전기공학부 석사과정.



김 수 원(金壽遠)

1974년 : 고려대학교 전자공학과(공학사). 1976년 : 고려대학교 대학원 전자공학(공학석사). 1983년 : Texas A&M University 반도체(공학석사). 1987년 : Texas A&M University 반도체(공학박사). 1987년~현재 : 고려대학교 공과대학 전자컴퓨터공학과 정교수. 1992년~1994년 : 정보통신부 자문위원. 1994년~1996년 : 파기처-첨단기술분야 전문 위원. 1994년~1996년 : 통산사업부 생산기술 연구원 전문 위원. 1995년~1996년 : 대통령 자문 정책 기획 위원회 전문 위원. 1996년~1997년 : 대통령 자문 정책 기획 위원회 SOC 기술 분과위 위원. <주관심분야> Mixed mode IC, PLL, High speed & Low power digital system.



송 상 현(宋尙憲)

1986년 : 서울대학교 전자공학과(공학사). 1988년 : 미국 Princeton University(M.A.) 1997년 : 미국 Princeton University(Ph.D.) 1997년~1999년 : ㈜LG반도체 책임연구 원보. 1999년~2000년: 서울시립대학교, 양자정보처리연구단 연구위원. 2000~2001년 : 고려대학교 BK21 정보처리연구단 계약교수. 2001년~현재: 중앙대학교 전자전기공학부 조교수. <주관심분야> 반도체 소자 및 시스템, 양자전자공학.