

# PSA 기법에 근거한 생산라인상의 디지털 회로 보오드 검사전략에 대한 연구

論 文

53D-11-5

## A Study on the Test Strategy of Digital Circuit Board in the Production Line Based on Parallel Signature Analysis Technique

高 銳 錫<sup>\*</sup>  
(Yun-Seok Ko)

**Abstract** - The SSA technique in the digital circuit test is required to be repeated the input pattern stream to  $n$  bits output nodes  $n$  times in case of using a multiplexor. Because the method adopting a parallel/serial bit convertor to remove this inefficiency has disadvantage of requiring the test time  $n$  times for a pattern, the test strategy is required, which can enhance the test productivity by reducing the test time based on simplified fault detection mechanism. Accordingly, this paper proposes a test strategy which enhances the test productivity and efficiency by applying PAS(Parallel Signature Analysis) technique to those after analyzing the structure and characteristics of the digital devices including TTL and CMOS family ICs as well as ROM and RAM. The PSA technique identifies the faults by comparing the remainder from good device with remainder from the tested device. At this time, the remainder is obtained by enforcing the data stream obtained from output pins of the tested device on the LFSR(Linear Feedback Shift Register) representing the characteristic equation. Also, the method to obtain the optimal signature analyzer is explained by furnishing the short bit input streams to the long bit input streams to the LFSR having 8, 12, 16, 20bit input/output pins and by analyzing the occurring probability of error which is impossible to detect. Finally, the effectiveness of the proposed test strategy is verified by simulating the stuck at 1 errors or stuck at 0 errors for several devices on typical 8051 digital board.

**Key Words** : Parallel Signature Analysis, Digital Circuit Board, Test Strategy, Production Line, PCB

### 1. 서 론

전기전자 및 컴퓨터 관련분야에서 전자회로기판에 부품을 장착하는 작업은 제품의 생산성은 물론 제품품질에 결정적인 영향을 미친다. 따라서 일부 수작업이 존재하지만 대부분의 경우에 부품을 자동 장착하는 표면실장기술로 보편화되어 있다. 그러나 전자회로가 저항, 콘덴서, 인덕터, Tr, Op-Amp 등 아날로그 소자와 CMOS, TTL 계열의 IC, RAM, ROM 등 디지털 소자들을 포함하기 때문에, 소자나 회로의 결함을 확인하는 작업은 쉽지 않다[1].

지금까지, 전자부품들이 전자회로에 결합되는 과정에서 발생할 수 있는 부품 및 회로결합 문제들에 대한 많은 연구가 있었다. 초기에는 회로 보오드 단위로 테스트 패턴을 입력하여 출력패턴을 검사하는 회로기능 검사 기법이 제안되었다 [2]. 그러나, 점차 회로가 복잡해지고 고집적화 됨으로써 검사 패턴의 수가 기하급수적으로 증가하게 되고, 보오드의 결합이 확인된 후에도 모든 소자를 소자별로 검사하게 됨으로써 불량부품을 확인하는 데에 많은 시간비용이 요구되었다 [3]. 이러한 문제를 해결하기 위해, 모든 상정사고 데이터를

DB화한 고장패턴 지식베이스를 이용한 검사기법이 제안되었는데, 모든 고장경우들에 대한 출력패턴을 DB화하는 과정에서 높은 프로그래밍 비용이 요구되었다[6-7]. 따라서, 검사비용 문제를 해결하기 위해 각 부품에 대해 개별적으로 검사함으로써 최소의 프로그래밍 비용으로 신속하게 고장부품을 확인할 수 있는 소자검사기법(In-circuit test)이 제안되었는데, 특히, [8]에서는 아날로그 전자회로에 대해 전문가의 경험적 지식에 근거한 검사전략이 제안된다. 반면에 [10,11]에서는 디지털 보오드를 검사할 수 있는 검사전략으로써 이진 다항식 나눗셈 이론을 이용한 SSA(Serial Signature Analysis)기법에 근거한 검사전략이 제안된다. 그러나 이 기법은  $n$  비트 출력노드의 경우 측정하고자 하는 출력노드들로부터 발생하는 출력 데이터 스트림을 멀티플렉서를 이용하여 선택적으로 SSA에 제공함으로써 검사패턴 생성절차가  $n$ 번 반복되어야 하는 비효율성이 발생한다. 또한 이 문제를 제거하기 위해 병렬/직렬 비트 스트림 변환기를 적용하는 경우 한번의 검사패턴 생성작업으로 검사가 완료될 수 있으나  $n$ 비트를 하나의 직렬 스트림으로 만들기 위해서  $n$ 배의 클럭 시간이 요구됨으로써 검사시간이 개선되지 않는 단점을 가지기 때문에 검사의 생산성을 제고하고 고장검출회로를 간소화시킬 수 있는 효율적인 검사전략이 요구되고 있다.

따라서 본 연구에서는 디지털 회로에 탑재되는 CMOS, TTL 계열의 IC는 물론 ROM, RAM 등 고밀도 디지털 부품들의 구조와 특성을 분석하여 각 부품들의 검사에 병렬 이진 나눗셈 기법(PSA: Parallel Signature Analysis)을 적용, 표면

<sup>\*</sup> 교신저자, 正會員 : 남서울大學 電子情報通信工學部 副教授 · 工博  
E-mail : ysko@nsu.ac.kr

接受日字 : 2004年 7月 6日

最終完了 : 2004年 9月 7日

실장 과정에서 발생할 수 있는 결함등을 신속하게 정확하게 검사함으로써 검사 생산성을 제고하고 검사회로를 간소화할 수 있는 검사전략을 제안한다. PSA는 특성 다항식을 표시하는 LFSR(Linear Feedback Shift Register)을 이용하여 설계되는데 8, 12, 16, 20비트 LFSR에 대해 입력패턴들의 수를 변화시키면서 검출 불가능한 에러의 발생확률을 검토함으로써 최적의 LFSR을 설계한다. 검사 시스템은 검사 데이터베이스로부터 측정소자의 회로 연결성을 자동으로 추적하여 검사 테이블을 작성하도록 구성된다. 검사 시스템은 디지털 회로의 탐색을 위해 요구되는 동적 메모리 할당기법 구현과 데이터베이스 인터페이스는 물론 하드웨어의 직접제어를 위해 Visual C++언어로 설계, 구현된다. 끝으로 대표적인 8051 디지털 회로상의 수개의 디바이스에 대해 생산라인에서 대규모로 조립 및 표면실장과정에서 자주 발생할 수 있는 또는 어드레스 핀, 데이터 핀 그리고 셀렉터 핀 결함 등을 조합하여 단일고장 및 다중고장을 모의, 검사결과를 보임으로써 제안된 검사전략에 대한 유효성을 검증한다.

### 2. 검사원리

생산라인에서 대규모로 생산되는 디지털 보오드상에서는 표면실장 및 조립과정에서 고착0 또는 고착1 결함이 자주 발생하기 때문에 제품의 품질을 제고하기 위한 노력으로 검사 시스템이 생산라인에 도입, 운용되고 있다. 그림 1은 디지털 검사 시스템의 구성을 보인다. 디지털 부품을 포함하는 회로 보오드에 대한 검사는 치구의 푸르브를 이용하여 검사하고자 하는 보오드의 내부 디바이스들에 대한 모든 핀들을 검사 시스템과 연결한다. 다음 검사테이블에 따라 검사하고자 하는 부품을 선택, 전기적인 회로를 구성한 후 그 부품의 입력 핀에 이진 벡터로 구성되는 입력 비트 스트림을 드라이브 회로를 통하여 순차적으로 인가하면서, 대응하는 출력핀들부터의 출력비트 스트림을 리시브 회로를 통하여 관찰함으로써 이루어진다.

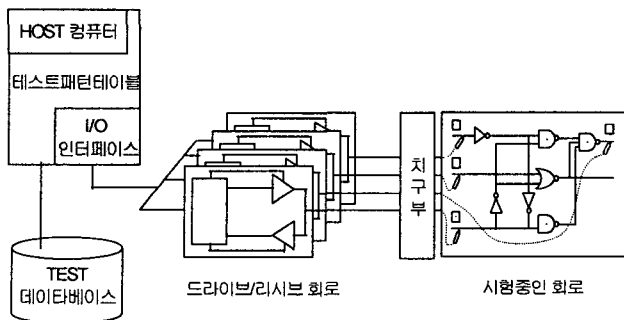


그림 1 디지털 검사 시스템의 구성  
Fig. 1 The configuration of digital test system

예를들면, 그림 2[13]에 보인 디지털 회로 보오드의 입력노드들 {1, 2, 3, 4, 5, 6}에 대해 하나의 입력패턴을 입력한 후 출력노드들 {20, 21, 22}의 출력패턴을 감시, 정상상태의 출력비트 패턴과 비교하여 불일치하면 결함으로 확인한다. 여기서,  $D_i$ 는  $i$ 번째 디지털 디바이스를,  $\square$ 는 노드번호를 표시한

다. 그러나 표면실장 및 조립과정에서 자주 발생할 수 있는 고착1 또는 고착0 결함등에 대한 결함을 정확하게 검출하기 위해서는 입력노드들 {1, 2, 3, 4, 5, 6}에 대해 입력이 가능한  $2^6$ 개의 테스트 패턴들에 대해 입력, 출력패턴 비교과정을 반복적으로 해야 하는데, 이 작업은 상당한 시간을 요구될 수 있다. 특히 ROM, RAM 등과 같은 대규모 집적회로의 경우 입력패턴의 수가 폭발적으로 증가함으로써 검사생산성의 심각한 저하를 경험할 수 있다.

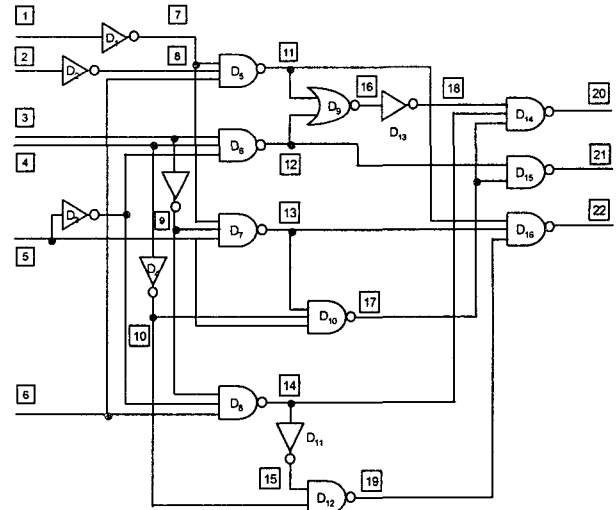


그림 2 간단한 디지털 회로  
Fig. 2 Simple digital circuit

따라서 이러한 문제를 해결하기 위해 이진 나눗셈 기법을 기반으로 하는 SSA(Serial Signature Analysis) 기법이 도입된다. 이 기법은 검사 디바이스의 입력단에 가능한 모든 입력패턴을 연속적으로 인가하면서 출력단으로부터 발생하는 출력 비트 스트림을 특성다항식을 표시하는 LFSR을 이용하여 연속적으로 나누어 최종적으로 얻어지는 나머지 값 즉 LFSR의 상태 값을 정상값과 비교함으로써 디바이스의 결함을 확인한다. 그림 3은 SSA적용을 위한 4비트 내부형 LFSR 구조를 보인다. 그림에서, 심볼  $\square$ 는 저장 디바이스 D flip-flop을, 심볼  $\oplus$ 는 modulo-2 덧셈, 뺄셈, 즉 EXCLUSIVE-OR 게이트들을 표시한다.[10,11,12,15]

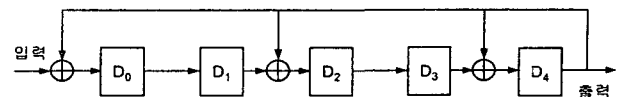


그림 3 내부형 LFSR 구조의 PRBS 생성기  
Fig. 3 PRBS generator with LFSR of internal type

그러나 이 기법은 검사 대상 디바이스가  $n$ 비트 출력단을 구성하는 경우 멀티플렉서를 이용하여  $n$  비트 출력단으로부터 발생하는 비트 스트림을 순차적으로 LFSR에 인가하여 나눗셈을 수행해야 하는데 이 경우 입력 비트 스트림의 인가작업이  $n$ 번 반복되어야 하는 비효율성을 가진다. 이 문제는 병렬

데이터 패턴을 직렬 데이터 패턴으로 변환하는 병렬/직렬 데이터 변환기를 이용하여 해결될 수 있는데, n비트를 하나의 직렬 스트림으로 만들기 위해서 n배의 클럭 시간이 요구되기 때문에 검사의 생산성을 제고하고 고장검출회로를 간소화시킬 수 있는 효율적인 검사전략이 요구되고 있다. 이에 반해 PSA(Parallel Signature Analysis)는 n비트 출력단이 하나의 LFSR에 병렬로 연결되는 구조를 가짐으로써 n개의 비트 스트림이 연속적으로 하나의 LFSR에 한번만 입력되면 된다. 따라서 비교적 간단한 고장 검출회로로 검사 생산성을 크게 개선할 수 있는 장점을 가진다. 그러나 디지털 회로에 포함되는 디지털 디바이스들이 다양한 구조와 동작특성을 가지기 때문에 이들 특성이 정확하게 고려되지 않으면 PSA 기법 적용의 유효성이 보장될 수 없다. 따라서 디지털 회로 디바이스들에 대한 검사에서 이 기법을 효과적으로 적용하기 위해서는 디지털 보오드내의 각 디바이스의 특성과 구조를 분석하여 디바이스별로 적합한 검사전략이 개발되어야 한다.

3. PSA 기법에 근거한 고장검출회로 설계

SSA가 입력 데이터 스트림을 하나의 입력라인에만 직렬로 입력할 수 있는 구조인데 비해 PSA는 연속적으로 병렬로 입력할 수 있는 구조를 가진다.[11,12,15,16]

3.1 PSA 구조

PSA는 SSA에 동일길이의 입력 스트림들을 병렬로 입력하기 위한 병렬라인들과 플립플롭들의 modulo-2 연산을 위한 EXCLUSIVE-OR 게이트들이 추가된다. PSA는 SSA의 경우와 같이, 내부형 구조와 외부형 구조를 가진다. 그림 4는 궤환연결을 위해 플립플롭들간에 EXCLUSIVE-OR 게이트들을 포함하기 때문에 내부형 PSA라 하는데, 병렬로 입력되는 데이터 스트림들을 특성 다항식  $x^5+x^4+x^2+1$ 로 나누어 몫과 나머지(signature)를 구하는 PRBS 생성기를 실현한다.

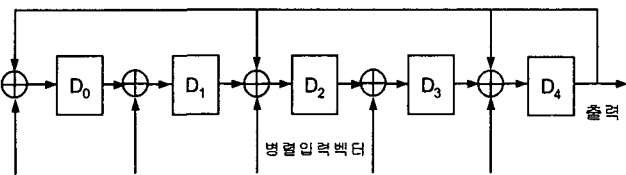


그림 4 내부형 구조의 PSA  
Fig. 4 PSA of internal type

PSA는 EXCLUSIVE-OR 게이트들을 통하여 플립플롭들에 연결되는 병렬 입력라인들을 가지는 쉬프트 레지스터들로 구성되며, MSB가 선택된 플립플롭들의 내용과 함께 EXCLUSIVE-OR 게이트들을 통하여 입력으로 궤환되는 구조를 가진다. PSA가 나눗셈을 통해 몫과 나머지(signature)를 구하는 과정은 표 1과 같다.

표 1 내부형 PSA에 근거한 입력 스트림 처리결과

Table 1 Processing results based on internal PSA

입력 스트림	레지스터 내용					출력 스트림
	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	D <sub>4</sub>	
1 1 1 0 1	0	0	0	0	0	
1 0 1 0 1	1	1	1	0	1	0
0 1 0 1 1	0	1	1	1	0	1 0
1 0 1 0 0	0	1	1	0	0	0 1 0
1 1 1 1 1	1	0	0	1	0	0 0 1 0
1 0 0 1 0	1	0	1	1	0	0 0 0 1 0
1 1 1 0 1	1	1	0	0	1	0 0 0 0 1 0
1 0 0 0 1	0	0	1	0	0	1 0 0 0 0 1 0
0 1 1 0 1	1	0	0	1	1	0 1 0 0 0 0 1 0
1 0 1 1 1	1	0	0	0	1	1 0 1 0 0 0 0 1 0
나머지 →	0	1	0	1	0	1 1 0 1 0 0 0 0 1 0

첫 번째 입력 스트림 1, 1, 1, 0, 1은 이전 계수를 가지는 다항식  $x^4+x^3+x^2+1$ 로 표시될 수 있다. 먼저, 첫 번째 데이터 스트림이 병렬로 입력되면 한 클럭 사이클 동안 EXCLUSIVE-OR 게이트를 통해 modulo-2연산과 데이터 쉬프팅을 통해 나눗셈을 실행한다. 다음, 나머지 모든 입력 스트림들을 순차적으로 입력하면서 이러한 과정을 적용하여 출력되는 MSB들을 감시함으로써 나눗셈에 대한 몫을 얻으며, 최종 데이터 스트림에 대한 나눗셈 후 레지스터들의 내용으로부터 나머지 시그네이처를 얻게 된다. 여기서 나머지는  $x^4+x^3+x+1$ 이다.

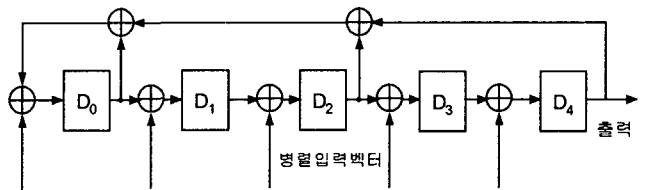


그림 5 외부형 구조의 PSA  
Fig. 5 PSA of external type

반면에 그림 5는 수개의 병렬입력 데이터 스트림들을 특성 다항식  $x^5+x^4+x^2+1$ 로 나누어 몫과 나머지(signature)를 구하기 위한 외부형 PSA를 보인다.

표 2 외부형 PAS에 근거한 입력 스트림 처리결과

Table 2 Processing results based on external PAS

입력 스트림	레지스터 내용					출력 스트림
	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	D <sub>4</sub>	
1 1 1 0 1	0	0	0	0	0	
1 0 1 0 1	1	1	1	0	1	0
0 1 0 1 1	0	1	0	1	1	1 0
1 0 1 0 0	1	1	1	1	0	1 1 0
1 1 1 1 1	1	1	0	1	1	0 1 1 0
1 0 0 1 0	1	0	0	1	0	1 0 1 1 0
1 1 1 0 1	0	1	0	1	1	0 1 0 1 1 0
1 0 0 0 1	0	1	0	0	0	1 0 1 0 1 1 0
0 1 1 0 1	1	0	1	0	1	0 1 0 1 0 1 1 0
1 0 1 1 1	1	0	1	1	1	1 0 1 0 1 0 1 1 0
나머지 →	0	1	1	0	0	1 1 0 1 0 1 0 1 0 1 1 0

MSB와 다른 선택된 플립플롭 출력신호들이 플립플롭 외부의 EXCLUSIVE-OR 게이트들을 통해서 LSB 위치로 궤환되기 때문에, 궤환연결을 위한 EXCLUSIVE-OR 게이트들이

플립플롭들사이에 존재하지 않고 외부에만 존재하게 된다. 현재, 그림 4, 그림 5로 표시되는 내부형과 외부형 PSA들이 고장 검출의 확률측면에서 어느 정도 더 효율적인지에 대한 정확한 판단기준은 없기 때문에, 실현하기에 편리한 구조를 선택한다.

### 3.2 PSA의 고장검출 확률

검사중인 회로의 한 부품에서 고장이 발생하면, 검사응답 벡터들에 고정된 비트 위치의 에러가 포함되는데, 이 에러들을 제거할 수 없기 때문에 에러를 포함하는 응답벡터들은 PSA에 병렬 입력벡터들로 입력된다. 이때, 입력되는 n개 벡터들이 에러를 포함하기 때문에, 직렬 등가 데이터도 n개의 에러비트들을 가지는데, 이러한 타입의 에러는 (n, k) burst 에러로 표시될 수 있다. 여기서, (n, k) burst 에러는 n개의 연속된 비트 위치내에서 최대 k개의 비트들이 에러인 경우를 의미한다. n비트의 직렬 입력 데이터를 표시하는 다항식을 S(x)라 가정하자. 그리고, 제수 P(x)를 m차 다항식으로, 나머지를 R(x)라 가정하자. 이때, 나머지 R(x)는 S(x), P(x)와 식 (1)과 같이 관계된다.

$$S(x) = P(x) \cdot Q(x) + R(x) \quad (1)$$

다음, 위에 언급된 (n,k) burst에러를 포함하는 다항식을 S'(x)라 정의하자.

$$S'(x) = P(x) \cdot Q'(x) + R(x) \quad (2)$$

이때, 에러 다항식 E(x)는 S(x)-S'(x)로 정의된다. 예를들면, 정확한 입력 스트림이 1, 0, 1, 1, 1, 1이면 S(x) = x<sup>5</sup>+x<sup>4</sup>+1, 에러를 포함한 입력 스트림이 1, 0, 0, 0, 0, 1이면 S'(x) = x<sup>5</sup>+1이므로, 에러 스트림은 S(x)-S'(x)에 의해 0, 0, 1, 1, 1, 0 즉, E(x)= x<sup>3</sup>+x<sup>2</sup>+x가 된다. 이때, PSA에 n개의 m 비트길이의 입력벡터들이 입력되므로 에러 스트림은 E(x)= x<sup>j</sup>\*V(x)로 표시된다. 여기서, V(x)는 n보다 작은 차수의 다항식이며, 0≤j<m이다. 이때, 검출할 수 없는 에러는 R(x) = R'(x)인 경우 즉, V(x)가 P(x)를 인수로 포함하는 경우이므로, 검출할 수 없는 에러는 식 (3)으로 표시할 수 있다.

$$E(x) = x_j * F(x) * P(x) \quad (3)$$

여기서, F(x)가 n-m차 다항식이므로 검출할 수 없는 에러 다항식들의 수는 m(2<sup>n-m</sup>-1)이다. 그리고 전체 에러는 m(2<sup>n</sup>-1)으로 표시된다. 따라서, PSA가 에러를 검출 할 수 없는 확률은 식 (4)로 표시된다.

$$Prob(PSA, fail) = \frac{\text{검출불가능한에러수}}{\text{전체에러수}} = \frac{2^{n-m}-1}{2^n-1} \quad (4)$$

PSA 기법에 근거한 고장검출회로 설계는 식 (8)에 근거한

다. 그림 6은 PSA의 병렬 입력 데이터들의 길이비트 m과 입력 데이터들의 수 n의 변화에 따른 고장검출 확률 곡선을 보인다. m은 대표적인 4비트, 8비트, 12비트, 16비트, 20비트에 대한 결과이다. 4비트 PSA의 경우 n=7일 때 96.774로 떨어져 27에서부터는 93.75%를 보임으로써 검출 불가능한 에러가 0.0625%에 수렴함을 알 수 있다. 그리고, 8비트와 12비트의 경우 n= 26비트 이상에 대해 고장검출 확률이 각각 99.6093%, 99.9555%에 수렴함으로써 입력 데이터 스트림들의 수 n이 26이상일 때 검출 불가능한 에러가 0.000445%에 수렴함을 알 수 있다.

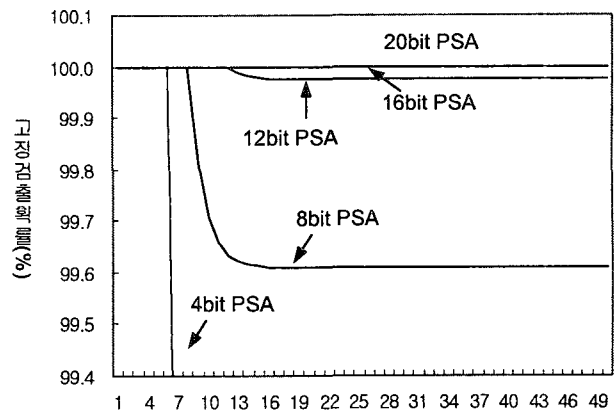


그림 6 입력 스트림의 길이 n  
Fig. 6 Length n of input stream

반면에, 16비트 PSA는 입력 데이터 스트림의 길이 n이 27 이상인 경우에 대해서 고장검출 확률이 99.9984%에, 그리고, 20비트 PSA 설계시에는 n이 31이상인 경우에 대해서 99.9999%로 수렴하게 된다. 이러한 결과들을 통해, 16비트 이상의 PSA가 이상적임을 알 수 있으며 이 경우, 데이터 스트림의 길이가 27이상이어야 함을 알 수 있다.

### 3.3 PSA기법에 근거한 고장검출회로 설계

그림 7은 본 연구에서 설계된 PSA 기반 n비트 고장검출기의 구조를 보인다. 고장 검출기의 하부 레지스터에는 정상 디바이스에 대한 압축결과가 검사 시스템의 명령에 따라 저장된다. 다음 검사 시스템은 검사대상 디바이스의 테스트 편에 가능한 모든 입력 데이터 스트림들을 연속적으로 인가하면서 n비트 출력핀들로부터 제공되는 n개의 출력 비트 스트림들을 고장 검출기에 병렬로 입력하여 압축시킨다. 압축이 완료되면, 그 응답을 비교기를 통하여 초기 설정값과 비교함으로써 회로의 고장정보를 제공한다. 만약 PSA에 기반한 n비트 시그네처(signature) 비교결과가 정확하게 일치하면 고장 검출기는 "0"을 출력하는데 이것은 검사 대상 디지털 부품이 양품임을 의미한다. 따라서 검사 시스템은 PASS를 기록한다. 반면에, 불일치하면 고장 검출기는 "1"을 출력하게 되며, 이것은 불량부품이거나 표면실장 과정에서 어떠한 결함이 발생한 경우이기 때문에 FAIL을 기록한다.

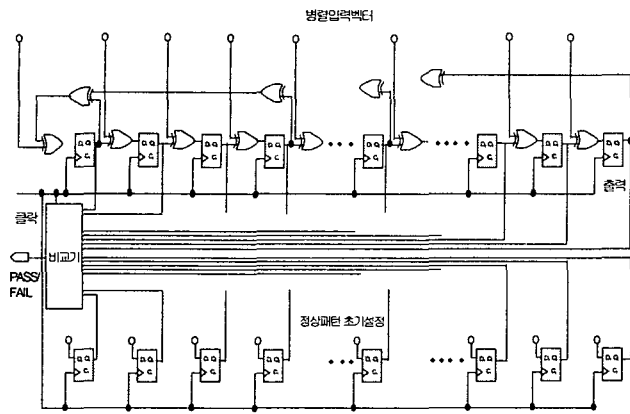


그림 7 PSA 기반 n비트 고장검출기 설계  
Fig. 7 Design of n bit fault detector based on PSA

4. 디지털 부품 검사전략 설계

본 연구에서 제안되는 검사전략은 그림 8에 보이는바와 같이 전자회로 모델구축으로부터 결합확인결과 표시단계까지 크게 6단계로 구성된다.

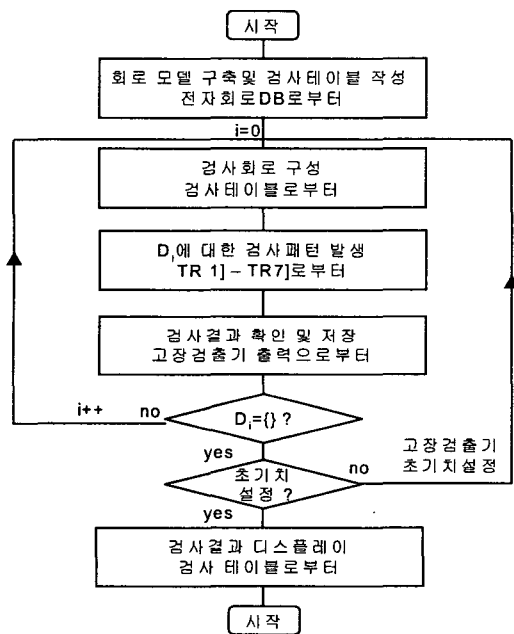


그림 8 회로 보드의 검사 전략  
Fig. 8 Test strategy of circuit board

단계 1] 전자회로 DB로부터 모델링 구조에 기반하여 전자회로 모델을 메모리에 구축하고 구축된 전자회로 모델의 연결성을 탐색하여 검사테이블을 작성한다.

단계 2] 검사 테이블에 구축된 검사정보에 근거하여 검사 대상 디바이스와의 신호주입 및 측정을 위한 전기적 회로를 구성한다.

단계 3] 검사테이블의 i번째 디바이스 Di에 대한 검사패턴을 입력핀에 인가한다. 이 과정은 표 7에 보인바와 같이 부

품들의 특성에 따라 TR 1-7]에 근거하여 이루어진다. 이 과정은 검사의 효율성과 정확성이 확보될 수 있도록 결정 되어 한다.

단계 4] 고장검출기 출력으로부터 고장검출기의 내부상태를 확인한다. 그리고 검사결과를 검사테이블에 확인하고 기록한다.

단계 5] Di={}, 즉 모든 부품이 검사 완료되었는지를 확인한다. 만약 검사가 완료되었으면 단계 6]으로 간다. 반면에 검사가 완료되지 않았으면 i++로 충분한 다음 단계 3]으로 가서 Di,i에 대한 검사를 실시한다.

단계 6] 고장검출기 초기값 설정 작업이 이미 완료되었는지를 확인한다. 만약 미설정상태이면 기존의 고장검출기 출력결과를 무시하고 내부상태를 고장검출기의 초기상태로 설정한다. 반면에 기 설정상태이면 고장검출기 확인결과를 검사테이블에 기록한다.

표 3은 부품동작 특성과 데이터 스위트등을 분석하여 작성된 대표적인 디지털 부품들의 검사전략 TR1-TR7]을 보인다.

표 3 대표적 디지털 부품의 검사전략  
Table 3 Test strategies of typical digital devices

TR	부품계열	입력핀	데이터핀	출력핀	데이터	R	LE	CE	WE	RD
1	ROM	{A <sub>0</sub> :A <sub>N</sub> }	{D <sub>0</sub> :D <sub>M</sub> }	{Q <sub>0</sub> :Q <sub>M</sub> }	D <sub>i</sub> =1, i=n-M*m D <sub>j</sub> =0, i≠n-M*m	1		L		
2	RAM	{A <sub>0</sub> :A <sub>N</sub> }	{D <sub>0</sub> :D <sub>M</sub> }	{Q <sub>0</sub> :Q <sub>M</sub> }	D <sub>i</sub> =1, i=n-M*m D <sub>j</sub> =0, i≠n-M*m	2		L	L	L
3	DECODER	{S <sub>0</sub> :S <sub>N</sub> }		{Q <sub>0</sub> :Q <sub>M</sub> }		4				
4	INCODER	{S <sub>0</sub> :S <sub>N</sub> }	{D <sub>0</sub> :D <sub>M</sub> }	{Q <sub>0</sub> }	D <sub>i</sub> =1, i=n D <sub>j</sub> =0, i≠n	4				
5	LATCH	{D <sub>0</sub> :D <sub>N</sub> }		{Q <sub>0</sub> :Q <sub>N</sub> }		1	H			
6	FF	{D <sub>0</sub> :D <sub>N</sub> }		{Q <sub>0</sub> :Q <sub>M</sub> }		1				
7	AND	{D <sub>0</sub> :D <sub>N</sub> }		{Q <sub>0</sub> :Q <sub>M</sub> }		1				
8	OR	{D <sub>0</sub> :D <sub>N</sub> }		{Q <sub>0</sub> :Q <sub>M</sub> }		1				
9	INVERTER	{D <sub>0</sub> :D <sub>N</sub> }		{Q <sub>0</sub> :Q <sub>M</sub> }		1				

TR 1] 검사부품이 ROM 계열인 경우, 반복횟수 R은 1로 하고 입력핀을 어드레스핀 {A<sub>0</sub>:A<sub>N</sub>}으로 설정한다. 입력핀 {A<sub>0</sub>:A<sub>N</sub>}에 00H를 인가한 후 CE를 "L", OE를 "L"로 설정함으로써 출력핀 {Q<sub>0</sub>:Q<sub>N</sub>}이 어드레스 00H에 대한 데이터 패턴을 출력하도록 한다. 이 과정은 테스트 핀 {D<sub>0</sub>:D<sub>N</sub>}에 최대 어드레스 FFH가 인가될 때까지 연속적으로 이루어진다. 이 과정을 통해 ROM 계열의 부품에 대한 어드레스핀 {A<sub>0</sub>:A<sub>N</sub>}, 출력핀 {Q<sub>0</sub>:Q<sub>N</sub>}의 결합이나 고착0 또는 고착1 결합을 확인할 수 있다. 여기서 최대어드레스는 FFH로 가정된다.

TR 2] 검사부품이 RAM 계열인 경우, 반복횟수 R을 2로 설정하고 입력핀을 어드레스핀 {A<sub>0</sub>:A<sub>N</sub>}으로 한다. 먼저 R=1 일 때 입력핀에 00H를 인가한 후 CE를 "L"로, 다시 WE를 "L"로 설정한 다음 데이터핀 {D<sub>0</sub>:D<sub>M</sub>}에 01H를 인가함으로써 RAM의 00H번지에 01H가 기록되도록 한다. 다음 RD에 "L"을 인가한 다음 다시 "OE"에 "L"을 인가하여 출력핀 {Q<sub>0</sub>:Q<sub>M</sub>}가 00H번지의 데이터 01H를 출력하도록 한다. 다음 어드레스는 +1씩 증가되며 데이터핀 {D<sub>0</sub>:D<sub>M</sub>}은 i=n-M\*m일 때 D<sub>i</sub>=1, i≠n-M\*m일 때 D<sub>j</sub>=0로 설정된다. 여기서 D<sub>i</sub>는 1번째의 데이터 비트를 의미하며 n은 패턴발생횟수, m은 MSB D<sub>M</sub>=1의 반복횟수를 의미한다. 이 WE/RD 과정은 입력핀에 최대 어드레스 FFH가 인가될 때까지 반복되는데 이 과정을 통해 내부고장은 물론 표면실장과정에서 발생할 수 있는 데

이터핀 ( $D_0:D_M$ )와 출력핀 ( $Q_0:Q_N$ )의 고착0 또는 고착1 결함을 확인할 수 있다. 다음  $R=2$ 일 때는 입력핀 ( $A_0:A_N$ )에 동일한 방법으로 어드레스가 인가되면서 WE과정은 생략되고 RD 과정만이 반복되는데 이것은 어드레스 핀의 고착0 또는 고착1 결함을 확인하기 위한 과정이다.

TR 3] 검사부품이 DECODER 계열인 경우, 반복횟수  $R$ 은 4로 하고 입력핀을 선택터핀 ( $S_0:S_N$ )으로 설정한다.  $R=1$ 에서 입력핀 ( $S_0:S_N$ )에 00H에서 최대 어드레스 FFH가 인가되도록 한다. 이 과정은  $R=4$ 에 이를 때까지 반복적으로 이루어지는데 이 과정을 통해 데이터 비트 스트림의 길이를 충분히 연장함으로써 디코더의 내부고장은 물론 선택터 핀 ( $S_0:S_N$ )과 출력핀 ( $Q_0:Q_M$ )의 고착0 또는 고착1 결함을 확인할 수 있다.

TR 4] 검사부품이 ENCODER 계열인 경우, 반복횟수  $R$ 은 4로 하고 입력핀을 선택터핀 ( $S_0:S_N$ )으로 설정한다.  $R=1$ 에서 먼저 데이터핀 ( $D_0:D_M$ )을 01H로 설정한 다음 입력핀 ( $S_0:S_N$ )에 00H가 인가되도록 함으로써 LSB,  $D_0=1$ 이 출력되도록 한다. 이 과정은 선택터핀 ( $S_0:S_N$ )에 최대 어드레스 FFH가 인가될 때까지 반복되는데 이때 데이터핀 ( $D_0:D_M$ )은  $D_{i-n}=1, D_i=0$ 로 설정된다. 여기서  $i$ 는 비트위치,  $n$ 은 데이터 패턴 수를 표시한다. 이 과정은  $R=4$ 에 이를 때까지 반복적으로 이루어지는데 이 과정을 통해 데이터 비트 스트림의 길이를 충분히 연장함으로써 인코더의 내부고장은 물론 선택터 핀 ( $S_0:S_N$ ), ( $Q_0$ )의 고착0 또는 고착1 결함을 확인할 수 있다.

TR 5] 검사부품이 LATCH 계열인 경우, 반복횟수는 1로 하고 입력핀을 데이터핀 ( $D_0:D_N$ )으로 설정한다. 입력핀 ( $D_0:D_N$ )에 00H를 인가한 후 LE를 "H", OE를 "L"로 설정하여 디바이스 출력핀 ( $Q_0:Q_N$ )이 첫 번째 데이터 패턴을 출력하도록 한다. 이 과정은 입력핀 ( $D_0:D_N$ )에 FFH가 인가될 때까지 연속적으로 이루어진다. 이 과정을 통해 LATCH 계열의 부품에 대한 입력핀 ( $D_0:D_N$ )와 출력핀 ( $Q_0:Q_N$ )의 결함이나 고착0 또는 고착1 결함을 확인할 수 있다.

TR 6] 검사부품이 FLIPFLOP 계열인 경우, 반복횟수는 1로 하고 입력핀을 데이터핀 ( $D_0:D_N$ )으로 설정한다. 테스트 핀 ( $D_0:D_N$ )에 00H를 인가한 후 CLOCK을 입력한다. 다음 OE를 "L"로 설정하여 디바이스 출력핀 ( $Q_0:Q_N$ )이 첫 번째 데이터 패턴을 출력하도록 한다. 이 과정은 입력핀 ( $D_0:D_N$ )에 FFH가 인가될 때까지 연속적으로 이루어진다. 이 과정을 통해 LATCH 계열부품에 대한 입력핀 ( $D_0:D_N$ )와 출력핀 ( $Q_0:Q_N$ )의 결함이나 고착0 또는 고착1 결함을 확인할 수 있다.

TR 7] 검사부품이 조합회로(AND, OR, INVERTER) 계열인 경우 반복횟수는 1로하고 입력핀을 데이터핀 ( $D_0:D_N$ )으로 설정한다. 입력핀 ( $D_0:D_N$ )에 00H에서 최대 FFH가 인가될 때까지 연속적으로 이루어진다. 이 과정을 통해 조합회로 계열 IC들의 내부고장은 물론 표면실장과정에 발생할 수 있는 입력핀 ( $D_0:D_N$ ) 또는 출력핀 ( $Q_0:Q_N$ )의 고착0, 고착1 결함의 유무를 확인할 수 있다.

### 5. 시뮬레이션 고찰

본 연구에서는 PSA를 기반으로 한 TTL 및 CMOS 계열의 IC는 물론 ROM, RAM등을 포함하는 디지털 회로 보오드 검사를 위한 디지털 부품 검사전략을 제안하였다. 따라서

제안된 검사전략의 유용성을 검증하기 위해서 TTL 및 CMOS 계열의 IC는 물론 ROM, RAM등 비교적 다양한 디지털 부품들을 포함하는 그림 9의 8051 회로[17]가 전자회로 모델로 도입된다.

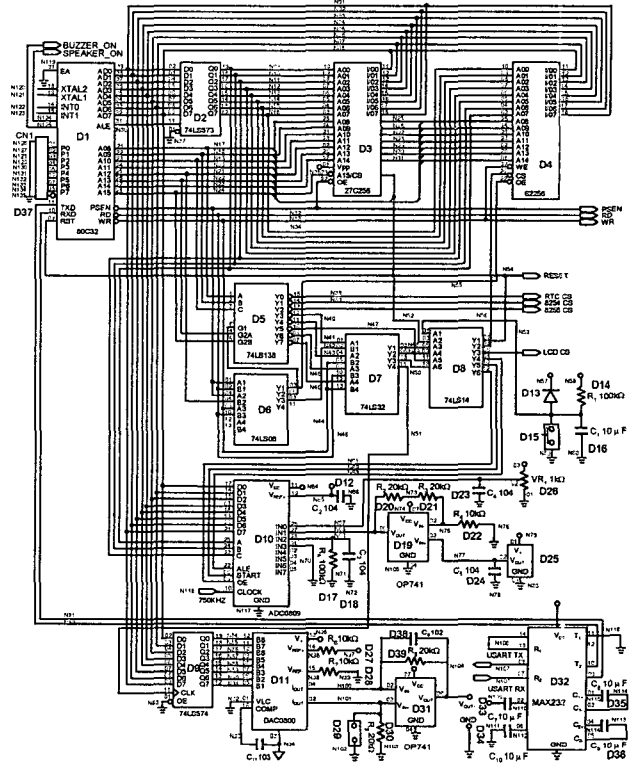


그림 9 성능검증을 위한 전자회로 모델  
Fig. 9 Electronic circuit model for performance evaluation

시뮬레이션 검증을 위해 그림 9의 회로모델이 전자회로 데이터베이스로 구축된다. 그리고 회로내에서 검사하고자 하는 부품들 74LS573, 27C256, 62256, 74LS238, 74LS08, 74LS32, 74LS14, 74LS574 등의 동작특성을 모의하기 위해 동작모의 함수들이 구현되며 또한 고장 검출기 함수가 개발된다. 고장 검출기는 그림 6에 보인바와 같이 기본적으로 16비트로 설계되며, 그림 7에 보인바와 같이 32비트 출력패턴을 처리할 수 있도록 구성된다. 먼저 전자회로 데이터베이스를 검색하여 검사 테이블을 작성한다. 표 4는 작성된 검사 테이블을 보이는데 DI는 디지털 부품이나 회로임을 표시한다. 검사가능여부는 검사전략이 존재하지 않거나 측정이 불가능한 경우 NO로 표시되며 이 경우 검사 테이블에서 제외된다. 다음, 검사 테이블의 목록에 근거하여 각 부품들이 정상적으로 동작하는 상태에서 TR 1-7에 근거, 입력핀에 입력패턴을 인가하여 PSA기반 고장 검출기로부터 정상회로의 정상 시그네처를 확인한다. 다음 동일하게 대량생산되는 실장 PCB상에서 주로 발생하는 어드레스 핀, 데이터 핀, 선택터 핀 그리고 출력핀등의 고착 0 또는 고착 1 결함의 단일 고장 또는 다중고장을 모의한다. 표 5는 시뮬레이션 결과를 보인다.

TEST 1] 검사대상 27C256에 대해 핀 {6}의 단일 고착0

결함, 핀 {6, 11}의 다중 고착0 결함, 핀 {6}의 단일 고착1 결함, 핀 {6, 11}번 핀의 다중 고착1 결함 그리고 핀 {6, 11, 18}의 다중 고착1 결함 등을 모의한다. 여기서 핀 {6}은 어드레스 핀이고 핀 {11, 18}은 데이터 핀이므로, 어드레스 핀과 데이터 핀의 단일 또는 다중 고착 0, 고착 1 결함을 모의한다. 부품 27C256은 ROM계열에 속하므로 TR 1]에 근거하여 입력핀에 검사패턴이 발생된다. 표 5의 #1에 보인바와 같이 정상상태시의 PSA의 내용이 "F1AF"인데 반해 고장모의시 각각 "ODA6", "8099", "FC09", "263A", "0336"이므로 PSA기반 고장검출기 출력이 "1"을 표시함으로써 정확하게 "FAIL"을 확인함을 알 수 있다.

표 4 전자회로 DB로부터 얻어진 검사 테이블

Table 4 Test table obtained from electronic circuit board

#	부품 번호	부품 타입	부품 종류	부품 ID	패턴 타입	검사가능 여부	PASS/FAIL
1	3	DI	EPROM	27C256	A	YES	PASS
2	4	DI	SRAM	62256	A	YES	PASS
3	5	DI	DECODER	74LS138	A	YES	PASS
4	2	DI	LATCH	74LS573	A	YES	PASS
5	9	DI	FLIPFLOP	74LS574	A	YES	PASS
6	6	DI	AND	74LS08	A	YES	PASS
7	7	DI	OR	74LS32	A	YES	PASS
8	8	DI	INVERTER	74LS14	A	YES	PASS

TEST 2] 검사대상 62256에 대해 핀 {6}의 단일 고착0 결함, 핀 {6, 11}의 다중 고착0 결함, 핀 {6}의 단일 고착1 결함, 핀 {6, 11}번 핀의 다중 고착1 결함 그리고 핀 {6, 11, 18}번 핀의 다중 고착1 결함 등을 모의한다. 여기서 핀 {6}은 어드레스 핀이고 핀 {11, 18}은 데이터 핀이므로, 어드레스 핀과 데이터 핀의 단일 또는 다중 고착 0, 고착 1 결함을 모의한다. 부품 62256은 ROM계열에 속하므로 TR 2]에 근거하여 입력핀에 검사패턴이 발생된다. 표 5의 #2에 보인바와 같이 정상상태시의 PSA의 내용이 "620B"인데 반해 모의결과가 모두 다르므로 고장검출기 출력이 "1"을 표시함으로써 정확하게 "FAIL"을 확인함을 알 수 있다.

TEST 3] 검사대상 74LS138에 대해 핀 {3}의 단일 고착0 결함, 핀 {3, 11}의 다중 고착0 결함, 핀 {3}의 단일 고착1 결함, 핀 {3, 11}의 다중 고착1 결함 그리고 핀 {3, 11, 14}의 다중 고착1 결함 등을 모의한다. 여기서 핀 {6}은 셀렉터 핀이고 핀 {11, 18}은 출력핀이므로, 셀렉터 핀과 출력핀의 단일 또는 다중 고착 0, 고착 1 결함을 모의한다. 부품 74LS138은 DECODER 계열에 속하므로 TR 3]에 근거하여 입력핀에 검사패턴이 발생된다. 표 5의 #3에 보인바와 같이 정상상태시의 PSA의 내용이 "8827"인데 반해 검사결과가 모두 다르므로 PSA기반 고장검출기 출력이 "1"을 표시함으로써 정확하게 "FAIL"을 확인함을 알 수 있다.

TEST 4] 검사대상 74LS573에 대해 핀 {2}의 단일 고착0 결함, 핀 {2, 7}의 다중 고착0 결함, 핀 {2}의 단일 고착1 결함, 핀 {2, 7}의 다중 고착1 결함 그리고 핀 {2, 7, 11}의 다중 고착1 결함 등을 모의한다. 여기서 핀 {2, 7}은 입력핀이고 핀 {11}은 출력핀이므로, 입력핀과 출력핀의 단일 또는 다중

고착 0, 고착 1 결함을 모의한다. 부품 74LS573은 LATCH 계열이므로 TR 5]에 근거하여 입력핀에 검사패턴이 발생된다. 표 5의 #4에 보인바와 같이 정상상태시의 PSA의 내용이 "9E4F"인데 반해 모의결과가 모두 다르므로 PSA기반 고장검출기 출력이 "1"을 표시함으로써 정확하게 "FAIL"을 확인함을 알 수 있다.

표 5 고장 부품의 각 PSA signature

Table 5. PSA signature of faulted device

#	부품명	고장		PSA상태		고장검출기출력	PASS/FAIL
		타입	핀번호	정상	모의		
1	27C256	고착0	6	F1AF	ODA6	1	FAIL
		고착0	6,11	F1AF	8099	1	FAIL
		고착1	6	F1AF	FC09	1	FAIL
		고착1	6,11	F1AF	263A	1	FAIL
		고착1	6,11,18	F1AF	0336	1	FAIL
2	62256	고착0	6	620B	2BF6	1	FAIL
		고착0	6,11	620B	7869	1	FAIL
		고착1	6	620B	49FB	1	FAIL
		고착1	6,11	620B	2BC6	1	FAIL
		고착1	6,11,18	620B	C76F	1	FAIL
3	74LS138	고착0	3	8827	1F8A	1	FAIL
		고착0	3,11	8827	AB65	1	FAIL
		고착1	3	8827	69DF	1	FAIL
		고착1	3,11	8827	B4A1	1	FAIL
		고착1	3,11,14	8827	CD31	1	FAIL
4	74LS573	고착0	2	9E4F	C330	1	FAIL
		고착0	2,7	9E4F	ED54	1	FAIL
		고착1	2	9E4F	0771	1	FAIL
		고착1	2,7	9E4F	0CE8	1	FAIL
		고착1	2,7,15	9E4F	34CF	1	FAIL
5	74LS574	고착0	7	9E4F	7BEE	1	FAIL
		고착0	7,12	9E4F	6745	1	FAIL
		고착1	7	9E4F	3015	1	FAIL
		고착1	7,12	9E4F	BE40	1	FAIL
		고착1	7,12,18	9E4F	A828	1	FAIL
6	74LS08	고착0	1	C063	2DC5	1	FAIL
		고착0	1,3	C063	CBB1	1	FAIL
		고착1	1	C063	C555	1	FAIL
		고착1	1,3	C063	4101	1	FAIL
		고착1	1,3,6	C063	908A	1	FAIL
7	74LS32	고착0	2	77E6	72D0	1	FAIL
		고착0	2,5	77E6	5A91	1	FAIL
		고착1	2	77E6	EBEE	1	FAIL
		고착1	2,5	77E6	1006	1	FAIL
		고착1	2,5,8	77E6	F034	1	FAIL
8	74LS14	고착0	4	5A5E	45B7	1	FAIL
		고착0	4,10	5A5E	8CEC	1	FAIL
		고착1	4	5A5E	EB08	1	FAIL
		고착1	4,10	5A5E	CE64	1	FAIL
		고착1	4,10,12	5A5E	03DC	1	FAIL

TEST 6] 검사대상 74LS08에 대해 핀 {1}의 단일 고착0 결함, 핀 {1, 3}의 다중 고착0 결함, 핀 {1}의 단일 고착1 결함, 핀 {1, 3}의 다중 고착1 결함 그리고 핀 {1, 3, 6}의 다중 고착1 결함 등을 모의한다. 여기서 핀 {1}은 입력핀이고 핀 {3, 6}은 출력핀이므로, 입력핀과 출력핀의 단일 또는 다중

고착 0. 고착 1 결함을 모의한다. 부품 74LS08은 조합회로 계열이므로 TR 7]에 근거하여 입력핀에 검사패턴이 발생된다. 표 5의 #6에 보인바와 같이 정상상태시의 PSA의 내용이 "C063"인데 반해 모의결과가 모두 다르므로 PSA기반 고장검출기 출력이 "1"을 표시함으로써 정확하게 "FAIL"을 확인함을 알 수 있다.

TEST1-TEST8]의 모의결과는 일반 조합회로 IC는 물론 ROM, RAM 등의 부품에 대한 PCB 표면 실장과정에서 발생할 수 있는 어드레스 핀, 데이터핀 그리고 출력핀 등의 단일 또는 다중의 고착0 결함과 고착1 결함에 대해 PSA기반의 고장 검출회로가 신속하고 정확하게 결함을 확인할 수 있음을 보임으로써 제안된 전력의 유효성을 확인할 수 있다.

### 5. 결 론

따라서 본 연구에서는 디지털 회로에 탑재되는 CMOS, TTL 계열의 IC는 물론 ROM, RAM 등 고밀도 디지털 소자들의 구조와 특성을 분석, 각 소자들의 검사에 병렬 이진 나눗셈 기법(PSA: Parallel Signature Analysis)을 적용함으로써 검사 생산성을 제고하고 검출회로를 간소화할 수 있는 검사전략을 제안하였다. PSA는 측정하고자 하는 검사 디바이스에 대한 모든 출력 핀들로부터 출력되는 출력 데이터 비트들이 SSA를 구현하기 위해 고안된 LFSR(Linear Feedback Shift Resister)의 내부 플립플롭들 사이에서 EXCLUSIVE-OR 게이트들을 통하여 병렬로 입력되도록 구현되었다. 그리고, 4, 8, 12, 16, 20비트 PSA에 대해 입력패턴들의 수를 변화시키면서 검출 불가능한 에러의 발생확률을 검토함으로써 최적한 16비트 LFSR 구조로 설계되었다. 8051 디지털 회로에 대한 검사 데이터베이스 구축 및 검사전략이 Visual C++언어를 이용하여 설계, 구현되었다. 끝으로 8051 보오드 회로 내의 부품들 74LS573, 27C256, 62256, 74LS238, 74LS08, 74LS32, 74LS14, 74LS574 등에 대해 어드레스 핀, 데이터 핀 그리고 셀렉터 핀 결함 등을 조합하여 단일 또는 다중 고착0 또는 고착 1 결함을 모의하였으며 고장 검출회로가 정확한 결과를 추론함으로써 제안된 전략이 디지털 회로의 검사전략으로 유용하게 활용될 수 있음을 입증할 수 있었다.

### 감사의 글

이 논문은 2004년도 남서울대학교 교내 연구비의 지원에 의하여 연구되었음.

### 참 고 문 헌

[1] Jon Turino, "Functional Testing's Place In Electronics Manufacturing", Evaluation Engineering, pp. 58-61, September 1984.  
 [2] Reynold, "In-Circuit McTesters ? or the Future of In-Circuit Test", Evaluation Engineering, pp. 8-15, February 1987.  
 [3] David T. Crook, "Analog In-Circuit Component Measurements: Problems and Solutions", Hewlett-Packard Journal, pp 34-42 march 1979.  
 [4] Steve J Baker, "Analog-Component Faults Yield to In-Circuit Testing", GenRad journal pp 15-20, 1984.

[5] Peter Hansen, "Ensuring ASIC Testability at the Board Level Tools and Strategies", ATE & Instrumentation Conference, pp 33-43 1987.  
 [6] John J. Arena, "Calculating the Effective Pattern Rate for High-Speed Board Test Applications", IEEE Trans. Industrial Electronics, Vol. 36, No. 2, pp. 164-174, May 1989.  
 [7] Ed O. Schiotzhauer, "User-Oriented Software for an Automatic Circuit-Board Tester", Hewlett-Packard Journal, pp. 22-27, March 1979.  
 [8] Edward S. Hirgelt, "Knowledge Representation In an In-Circuit Test Program Generator", International Test Conference, pp. 773-777, 1984.  
 [9] Kenneth Jessen and Mike Bullock, "Safeguarding Devices under Test", Electronics Manufacture & Test, pp. 35-38, July/August 1985.  
 [10] R. A. Frohwerk, "Signature Analysis: A New Digital Field Service Method", Hewlett-Packard J., pp. 2-8, May 1977.  
 [11] N. Benowitz, D. F. Calhoun and et. al., "Fault Detection/Isolation Results From AAFIS Hardware Built-In Test", NAECON' 76 RECORD, pp. 215-222, 1976.  
 [12] B. W. Johnson, Design and Analysis of Fault-Tolerant Digital Systems, Addison-Wesley Publishing Company, 1989.  
 [13] John J. Shedletsky, "Random Testing: Practicality vs. Verified Effectiveness", IBM T. J. Watson Research Center.  
 [14] 고윤석, "인공지능기법을 이용한 전자회로보오드의 자동 검사 전략에 대한 연구", 대한전기학회 논문지, 52권 12호, pp. 671-678 2003년 12월.  
 [15] James E. Smith, "Measures of Effectiveness of Fault Signature Analysis", pp. 510-514, IEEE Trans. On Computer, Vol. C-29, No. 6, June 1980.  
 [16] Bernd Konemann, Joachim Mucha and Gunther Zwi ehoff, "Built-In Logic Block Observation Techniques, pp. 37-41, IEEE Test Conference, 1979.  
 [17] 윤덕용, 어셈블리와 C언어로 익히는 8051 마스터, 오음사, 2001.

### 저 자 소 개



### 고 윤 석(高 銳 錫)

1984년 2월 광운대 공대 전기공학과 졸업. 1986년 2월 광운대 대학원 전기공학과 졸업(석사). 1996년 2월 광운대 대학원 전기공학과 졸업(박사). 1986년 3월~1996년 3월 한국전기연구소 선임연구원. 1996년 4월~1997년 2월 포스코 경영연구소 연구위원. 1997년 3월~현재 남서울대학교 전자정보통신공학부 부교수.