

논문 2004-41TC-12-16

CMOS 직사각형 나선 인덕터의 기하학적 변화에 따른 전자기적 특성에 관한 연구

(Investigation on the Electromagnetic Characteristics of CMOS Rectangular Spiral Inductors according to the Geometrical Change)

진 경 신*, 김 영 식**

(Kyoung-Shin Jin and Young-Sik Kim)

요 약

본 논문에서는 EM field 시뮬레이션을 통한 CMOS 공정의 온-칩 직사각형 나선 구조의 인덕터 특성을 보여주고 있다. EM field 시뮬레이션을 위해서 ADS 모멘텀을 사용하였으며, 실제 검증은 하이닉스 0.35 μ m CMOS 공정을 이용하여 인덕터를 제작, 측정하였다. 이 연구에서는 일반 CMOS 공정에서의 전송선로의 길이, 턴 횟수와 같은 기하학적인 변화에 따른 인덕터의 특성이 조사되었다. 실험과 시뮬레이션 결과는 거의 일치하였으며 5이하의 Q-factor를 가질 때 1nH에서 6nH의 인덕턴스 분포를 가지는 것을 확인할 수 있었다.

Abstract

The characteristics of on-chip spiral rectangular inductors in CMOS process are investigated through the simulation and experiment. The ADS-momentum is used for EM simulation, and the spiral inductors are fabricated with Hynix 0.35 μ m CMOS process. This research mainly concerned the effects of the geometric change in terms of the number of turns and the width of micro strip line. The measured and simulated results show that the Hynix 0.35 μ m process could support a top metal spiral inductor of 1nH to 6nH with Q-factor less than 5.

Keywords: Rectangular spiral inductor, EM simulation, Compact equivalent circuit model, Q-factor

I. 서 론

근래 무선 통신에서 고 집적화된 초고주파용 회로가 요구되면서 MMIC(Monolithic Microwave Integrated Circuits)를 설계할 때 온-칩 인덕터는 핵심이 되는 부품으로서 그 필요성이 증대되고 있다. 이는 외부의 칩을 최대한 줄임으로써 제작과 단가에서 높은 이점을 얻을 수 있기 때문이다. 또한 최근 MMIC의 설계에서는 기존에 각광받던 GaAs 위주의 공정을 지양함에 반해 실리콘 CMOS공정을 택하고 있는 추세이다. 이는 공정비용의 절감뿐만 아니라 최근 떠오르고 있는 시스

템 온-칩에 대한 구현을 가능케 하기 때문이다. 그러나 대부분의 CMOS 공정에서 인덕터는 상대적으로 큰 loss를 가지게 됨으로 인해 낮은 Q-factor를 가진다. Loss라 함은 주로 인덕터에서의 금속 층과 기판(substrate)에 의해 발생한다. 이러한 공정에 따른 종속성 때문에 인덕터의 공정 후 실제 특성을 예측하는 것은 매우 어렵다.

나선 구조의 인덕터는 그 구조의 물리적인 크기와 모양에 따라 인덕턴스와 Q-factor가 달라진다. 이는 캐비티의 크기, 몇 번이나 감겨져 있는가에 대한 턴 수, 전송선로의 두께, 그리고 각 전송선로(transmission line) 간의 폭의 변화에 따라서 각각의 기생성분이 다르므로 다른 인덕턴스와 Q-factor를 갖게 된다.^[1]

본 논문에서는 최근 그 필요성이 커지고 있는 인덕터

* 학생회원, ** 정회원, 한동대학교 정보통신공학과
(Dept. of Information Technology, Handong Global University)

접수일자: 2004년7월5일, 수정완료일: 2004년12월13일

$$C_{3lay} = \frac{\epsilon_0 \epsilon_{r1} \epsilon_{r2} \epsilon_{r3}}{2} \times \int_{-\pi}^{\pi} \frac{dy}{\epsilon_{r3}(\epsilon_{r1} - \epsilon_{r2})f_1 + \epsilon_{r1}(\epsilon_{r2} - \epsilon_{r3})f_2 + \dots} \dots \frac{1}{+ \epsilon_{r1} \epsilon_{r2} (\epsilon_{r3} - 1)f_3 + \epsilon_{r2} \epsilon_{r3} x_1} \quad (13)$$

식 (12), (13) 의 적분 식을 계산하기 위해 Gaussian Quadrature 방법을 이용하였으며 계산식은 다음과 같이 주어진다^[6].

$$\int_a^b f(x) dx \approx \frac{b-a}{2} \sum_{j=1}^N C_j f\left(\frac{(b-a)r_j + b + a}{2}\right) \quad (14)$$

식 (14)에서 r_j, C_j 는 Legendre polynomial 의 근 및 계수이며, 본 논문에서는 10차까지 이용하였다. $a = -\pi, b = \pi$ 이므로 $y = \frac{(b-a)r_j + b + a}{2} = r_j \times \pi$ 이다. 따라서 식 (10), (11)을 이용하여 위의 y 값에 해당하는 ϕ 를 계산한 후 f_1, f_2, f_3 를 계산하여 적분계산에 적용하였다.

2. 특성임피던스 및 유효 유전상수 계산

평행 2선식 전송선로는 신호가 quasi-TEM 모드로 진행하기 때문에 특성임피던스 및 유효 유전상수는 다음과 같이 주어진다^[7].

$$\epsilon_{eff} = \frac{C_d}{C_a}, \quad Z_0 = \frac{1}{c \sqrt{\epsilon_{eff} C_a}} \quad (15)$$

여기서 C_d 는 유전체 코팅이 존재할때 단위길이 당 전체 정전용량이며, C_a 는 유전체 층이 공기로 대체되었을 때의 정전용량이고 c 는 자유공간에서 전자파의 진행속도이다. 따라서 C_d, C_a 를 계산하면 ϵ_{eff} 및 Z_0 를 계산 할 수 있다. 유전체 코팅이 존재할 때의 단위길이 당 전체 정전용량은 Π 장에서 계산한 결과와 같으며, 유전체를 공기로 대체했을 때의 정전용량은 그림 1. (b)에서 유전체 층을 공기로 대체하였기 때문에 폭이 2π 이고 거리가 $2x_1$ 이고 공기로 채워진 평행 판 커패시터의 정전용량과 같다. 또한 R 을 1로 정규화 시켰기 때문에 $x_1 = \cosh^{-1}(D/2R)$ 이며, 따라서 C_a 는 다음과 같이 계산할 수 있다.

$$C_a = \frac{\pi \epsilon_0}{\cosh^{-1} D/2R} [F/m] \quad (16)$$

이로부터 식 (16) 이 유전체가 코팅되지 않은 일반 평행 2선로의 정전용량과 같음을 확인할 수 있다^[7].

3. 계산 및 시뮬레이션 결과

먼저 두 층으로 코팅된 평행 2선식 전송선로의 경우 $R=1$ mm, $D=6$ mm, $\Delta_1=1$ mm, $\epsilon_{r2} = 8, 6, 4, 2$, $\epsilon_{r1}=10$ 일 때 Δ_2 를 0 부터 1mm 까지 변화시켜 가며 정전용량을 구했으며, 이를 이용해 임피던스 및 유효 유전상수를 계산하였다. 계산결과의 신빙성을 확인하기 위해 FEM(Finite Element Method) 으로 해석하는 Ansoft사의 Maxwell 2D의 electrostatic solver를 이용해 시뮬레이션 하였다. 그림 2. 에 정전용량을 본 논문에서 등각사상(CMM:Conformal Mapping Method)을 이용해 계산한 결과와 시뮬레이션 한 결과를 비교하여 나타내었다. 그림으로부터 유전체의 두께 및 유전상수가 증가할수록 도체와 유전체의 경계면 사이에 필드가 더 많이 집중됨으로 인해 정전용량 값이 증가함을 알 수 있다. 그림 3, 4 는 특성 임피던스 및 유효유전상수를 나타낸다. 위와 마찬가지로 유전체의 두께 및 유전상수 값이 증가할수록 정전용량 값이 증가하기 때문에 임피던스가 감소하며, 유효점유비율(Effective Filling Fraction) 이 증가하기 때문에 유효유전상수 값은 증가함을 알 수 있다. 또한 시뮬레이션 결과와 비교하여볼 때 계산결과가 오차 4% 이내로 거의 일치함을 알 수 있다.

다음으로 유전체가 세 층으로 코팅된 평행 2선식 전송선로를 $R = 1$ mm, $D = 8$ mm, $\Delta_1 = \Delta_2 = 1$ mm, $\epsilon_{r1} = 10$, $\epsilon_{r2} = 6, \epsilon_{r3} = 4, 3, 2$ 이고 $\epsilon_{r1} = 10$, $\epsilon_{r2} = 8, \epsilon_{r3} = 6, 4, 2$ 일 때 Δ_3 를 0부터 1mm 까지 변화시켜 가며 정전용량을 계산한 결과를 그림 5, 6 에 나타내었다. 유전체를 세 층 코팅하기 위한 공간을 확보하기 위해 거리 D 를 8mm 로 늘려 주었기 때문에 전체적으로 정전용량 값이 두 층으로 코팅된 경우에 비해서 감소했음을 확인할 수 있다. 그림 7-10. 은 특성 임피던스 및 유효유전상수를 나타낸다. 두 층으로 코팅된 경우와 마찬가지로 유전체의 두께 및 유전상수 값이 증가할수록 임피던스는 감소하고 유효유전상수는 증가함을 알 수 있다. 또한 계산 및 시뮬레이션 결과 사이의 오차는 4% 이내임을 알 수 있다.

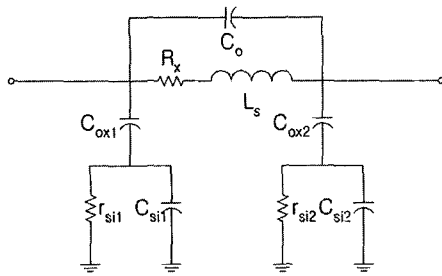


그림 2. 등가 회로 모델
Fig. 2. Equivalent circuit model.

등가회로 모델은 1990년 Nguyen과 Meyer가 제시한 회로로 부터 다양한 형태로 연구되어왔다.^[4] 보다 정확한 등가회로의 모델을 위해서는 마이크로 스트립 전송선로 각각의 마디 별로 등가회로를 만들어야 하지만 빠른 시뮬레이션을 위해서 단순한 형태의 간략화 된 모델이 필요하게 되었고 J.R. Long이 제시한 등가회로가 본 연구에서 사용됐다.^[3]

제시된 등가회로에서의 Q-factor는 인덕티브 리액턴스와 전체 소모 에너지의 비로 정의된다. 단일포트에서 500MHz이하의 주파수에서는 종종 단일포트 임피던스의 허수성분과 실수성분의 비로 Q-factor를 표현하지만 주파수가 올라갈수록 기생 캐패시터 성분들에 의해 매우 큰 오차가 생기게 되므로 초고주파에서는 다른 형태로 Q-factor 정의해야 한다. 이 경우 등가회로 모델의 Q-factor는 다음과 같은 식으로 표현될 수 있다.

$$Q = \frac{wL}{r_s + \frac{\left(\frac{w}{w_{ox}}\right)^4 \cdot r_{si1}}{1 + (wC_{ox1}r_{si1})^2}} \quad (1)$$

여기서 ω_{ox} 는 옥사이드의 공진 주파수(oxide resonant frequency)이며 L 과 C_{ox1} 로 정의된다.

예를 들어 옥사이드 층이 두꺼워져서 C_{ox1} 가 작아진다면 옥사이드의 공진 주파수와 기판의 코너 주파수가 증가하므로 Q-factor가 증가하게 된다.

2. 시뮬레이션과 측정

IDEC의 하이닉스 0.35 μ m 공정을 이용하여 몇 개의 나선 직사각형 인덕터를 설계하였다. 그림 3은 공정을 한 나선 직사각형 인덕터의 모양이다. 외부 길이는 150 μ m, 200 μ m, 마이크로 스트립 전송선로의 넓이는 9.5 μ m 와 12 μ m, 전송선로간의 간격은 1.5 μ m, 턴 수는 4.5와 6.5로 각각 디자인 되었다.

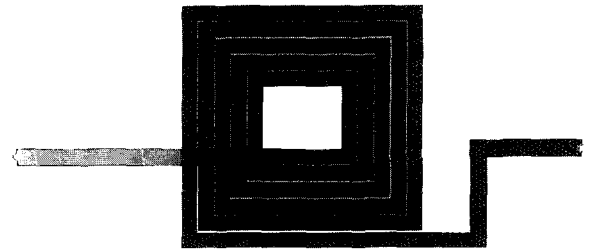


그림 3. 디자인된 나선 직사각형 인덕터의 모습
Fig. 3. Designed rectangular spiral inductor layout.

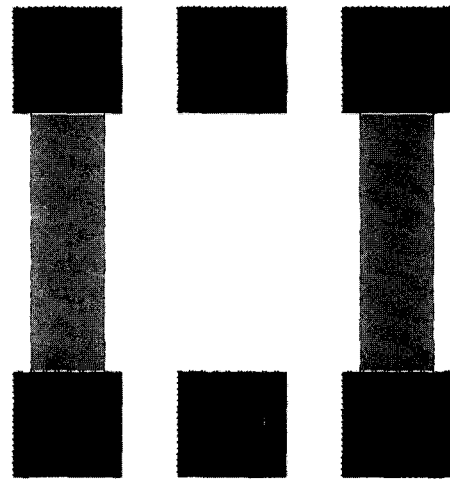


그림 4. De-embedding을 위한 패드 테스트 패턴
Fig. 4. Test pattern for de-embedding.

인덕터의 S-parameter 추출하기 위해서 온-웨이퍼 프루브(on-wafer probe)를 사용하여 500 MHz에서 5GHz까지 측정하였다. 그림 4는 온-웨이퍼 프루브 측정 시 추가적으로 보이는 패드의 영향을 정량적으로 알기 위해 패드 패턴(pad pattern)만을 그린 것이다. 이 패드 패턴만을 측정한 값을 실제 측정된 인덕터의 값에서 제거해 줌으로써 패드의 영향을 de-embedding하게 된다.

De-embedding을 위해서는 그림 5와 같은 순서를 따른다. 먼저 패드 패턴만 있는 이 개방 패턴(open pattern)의 S-parameter값을 측정하고(그림 5-a), 2-port Y-parameter의 π -모델을 만든다(그림 5-b). 이 때 다음의 변환식이 적용된다.^[5]

$$Y_{11} = Y_0 \frac{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \quad (2)$$

$$Y_{12} = Y_0 \frac{-2S_{12}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \quad (3)$$

$$Y_{21} = Y_0 \frac{-2S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \quad (4)$$

$$Y_{22} = Y_0 \frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \quad (5)$$

두 개 이상의 2포트 회로망이 종속 접속(cascade connection)일 때의 해석의 편리를 위해서 ABCD행렬로 변환한다. 2포트 Y행렬의 ABCD행렬로의 변환은 다음과 같다.

$$A = \frac{-Y_{22}}{Y_{21}} \quad (6)$$

$$B = \frac{-1}{Y_{21}} \quad (7)$$

$$C = \frac{-Y}{Y_{21}} \quad (8)$$

$$D = \frac{-Y_{11}}{Y_{21}} \quad (9)$$

그림 5-c는 open pattern을 x , y , z 행렬이 종속적으로 연결되게 한 모습이다. 실제 인덕터가 있는 것을 측정된 S-parameter를 ABCD행렬로 변환한다(그림 5-d). 변환식은 다음과 같다.

$$A = \frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{2S_{21}} \quad (10)$$

$$B = Z_0 \frac{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}}{2S_{21}} \quad (11)$$

$$C = \frac{1}{Z_0} \frac{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}}{2S_{21}} \quad (12)$$

$$D = \frac{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}}{2S_{21}} \quad (13)$$

이제 측정값 ABCD행렬에서 open pattern의 값을 빼면 되는데 그림 5-e에서 X와 Y에 해당하는 것은 역행렬을 만들어 곱함으로써 제거하며 Z에 해당하는 것은 Y-parameter로 다시 만들어서 대수적으로 빼주면 된다. ABCD행렬에서 Y행렬로의 변환식은 다음과 같다.

$$Y_{11} = \frac{D}{B} \quad (14)$$

$$Y_{12} = \frac{BC - AD}{B} \quad (15)$$

$$Y_{21} = \frac{-1}{B} \quad (16)$$

$$Y_{22} = \frac{A}{B} \quad (17)$$

이렇게 구한 Y행렬을 최종적으로 S행렬로 바꾸면(그림 5-f) 시뮬레이션의 결과로 나온 S행렬과 비교, 분

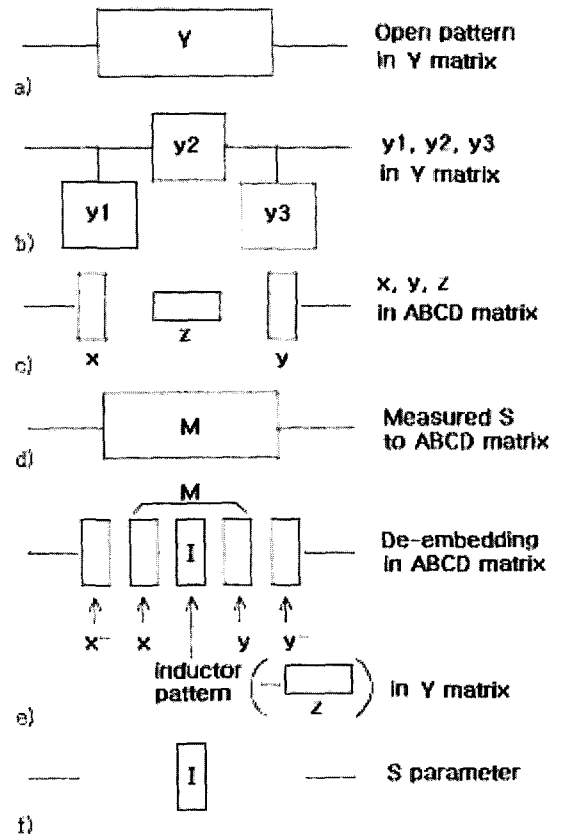


그림 5. De-embedding 순서

Fig. 5. De-embedding procedure.

석할 수 있다. 다음은 Y행렬에서 S행렬의 변환식이다.

$$S_{11} = \frac{(Y_0 - Y_{11})(Y_0 + Y_{22}) + Y_{12}Y_{21}}{\Delta Y} \quad (18)$$

$$S_{12} = \frac{-2Y_{12}Y_0}{\Delta Y} \quad (19)$$

$$S_{21} = \frac{-2Y_{21}Y_0}{\Delta Y} \quad (20)$$

$$S_{22} = \frac{(Y_0 + Y_{11})(Y_0 - Y_{22}) + Y_{12}Y_{21}}{\Delta Y} \quad (21)$$

그림 6은 온-웨이퍼 프루브로 측정된 것 ($S(1,1)$) 과 de-embedding 하여 패드 영향을 제거한 후의 S-parameter ($S_{OUT}(1,1)$)를 보여주고 있다. 그림 7은 de-embedding 한 후의 값과 EM 시뮬레이션으로 얻어진 결과 값이 거의 일치하고 있음을 보여주고 있다.

Q-factor는 앞의 장에서 설명한 공식으로 계산할 수 있으며, 그림 8은 측정값에서의 Q-factor와 시뮬레이션에의 값이 주파수의 변화에 따라서 거의 일치하고 있음을 보여준다. 측정값과 시뮬레이션 결과 모두 3GHz 부근에서 최대의 Q-factor를 갖고 있음을 알 수 있다.

인덕터를 디자인할 때 마이크로 스트립 전송선로의

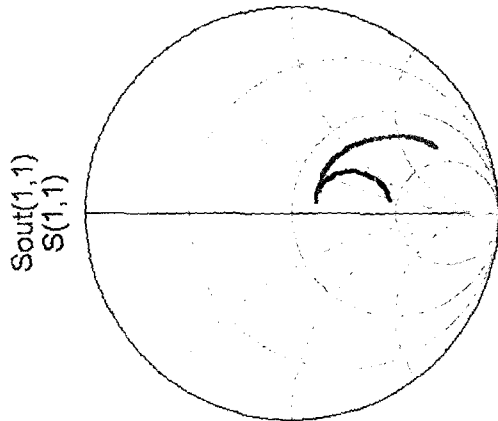


그림 6. 온-웨이퍼 측정 S-parameter와 de-embedding이 후의 S-parameter
 Fig. 6. S-parameter of measured and de-embedded results.

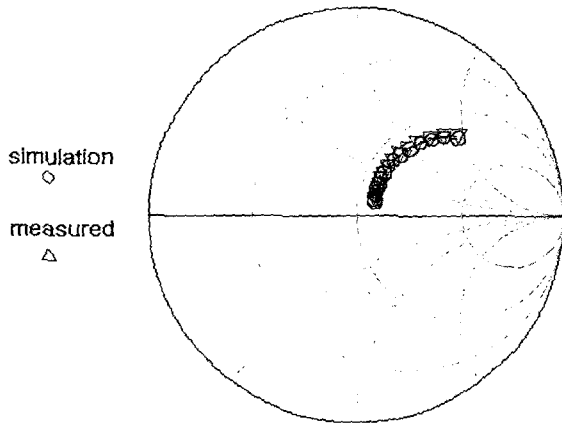


그림 7. De-embedding 후의 S-parameter와 시뮬레이션 결과
 Fig. 7. S-parameter of de-embedded and simulated result.

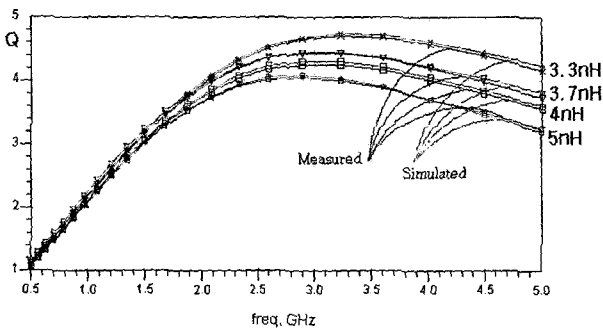


그림 8. De-embedding이 후의 측정값과 시뮬레이션의 Q-factor의 값
 Fig. 8. Q-factor of de-embedded and simulated results.

폭과 턴 수에 따른 인덕턴스와 Q-factor의 변화를 예측하기 위해 frequency를 2GHz로 고정을 하고 전송선로 간의 간격은 $1.5\mu\text{m}$, 같은 캐비티 사이즈에서 그림 9, 그림 10과 같이 폭과 턴 수의 변화를 주며 시뮬레이션을

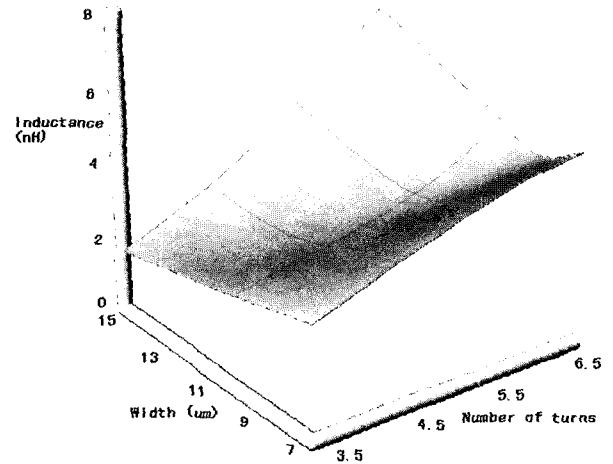


그림 9. 전송선로의 폭과 턴 수에 따른 인덕턴스
 Fig. 9. Inductance variation according to transmission line width and number of turns.

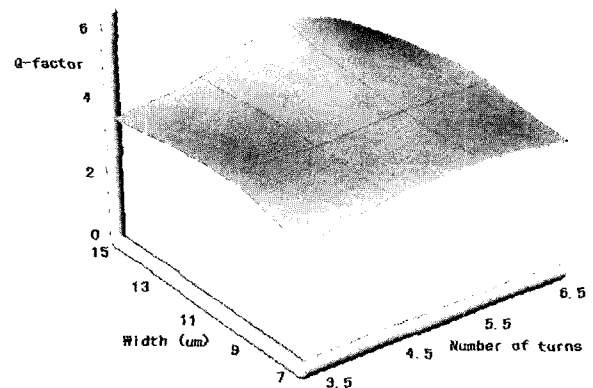


그림 10. 전송선로의 폭과 턴 수에 따른 Q-factor
 Fig. 10. Q-factor by variation of transmission line width and number of turns.

하였다. 실제 측정 시 2개의 포트가 서로 반대방향에 위치하도록 하기 위해 인덕터의 턴 수는 정수배가 아닌 3.5, 4.5, 5.5, 6.5 턴으로 정하였으며, 폭은 $7\mu\text{m}$ 에서 $15\mu\text{m}$ 까지 변화를 주어 시뮬레이션을 수행하였다. 그림 9에 보여주듯이 인덕터의 턴 수가 증가함에 따라 인덕턴스가 대체로 증가하는 것을 볼 수 있다. 그러나 전송선로의 폭은 비례적으로 증감하지 않고 특정한 곡선을 취함을 확인할 수 있었다.

그림 10은 Q-factor가 인덕터 전송 선로의 턴 수와 폭의 증감에 일정하게 변하지 않는 모습을 보여준다. 5.5 turn 부근에서 전송 선로의 폭이 넓어질수록 Q-factor가 향상되는 것을 확인할 수 있다.

III. 결 론

본 연구에서 시뮬레이션과 실제 공정으로 제작된 인덕터를 측정, 비교함으로써 나선 직사각형 인덕터의 특성을 알 수 있었으며 IDEC의 하이닉스 0.35 μm 로 제작된 인덕터는 그 측정결과와 시뮬레이션의 결과가 거의 일치함을 알 수 있다. 인덕터의 사용 주파수를 2GHz로 설정하였을 때 이 공정은 1nH에서 6nH까지의 인덕턴스를 끌어 낼 수 있었으며, 5이하의 Q-factor를 가질 수 있었다. 또한 전송선로의 턴 수와 폭에 따른 인덕턴스와 Q-factor의 경향 분석을 통해서 필요한 특성의 인덕터 설계 시에 충분한 정보를 제시해 줄 수 있을 것이다.

참 고 문 헌

- [1] K.B. Ashby, I.A. Koullias, W.C. Finley, J.J. Bastek, and S. Moinian, "High Q inductors for wireless applications in a complementary silicon bipolar process," IEEE J. Solid-State Circuits, vol.31, pp.4-9, Jan 1996.
- [2] Behzad Razavi, RF Microelectronics, pp.233-234 Prentice-Hall, Inc, 1998.
- [3] J.R. Long, M.A. Copeland, "The Modeling, Characterization, and Design of Monolithic Inductors for Silicon RF IC's" IEEE J. Solid-State Circuits. vol 32, pp357-369, Mar 1997.
- [4] N.M. Nguyen and R.G. Meyer, "Si EC-compatible inductors and LC passive filters," IEEE J. Solid-State Circuits vol 25, pp. 1028-1031, Aug. 1990.
- [5] David M. Pozar, Microwave Engineering, 2nd ed. pp.182-250 New York, NY : John Wiley & Sons, 1998.

저 자 소 개



진 경 신(학생회원)
2002년 2월 한동대학교(공학사)
2004년 8월 한동대학교(공학석사)
<주관심분야: RF전력증폭기 설계>



김 영 식(정회원)
1993년 2월 포항공과대학교
(공학사)
1995년 2월 포항공과대학교
(공학석사)
1999년 2월 포항공과대학교
(공학박사)
1999년 3월~현재 한동대학교 전산전자공학부
조교수
<주관심분야: RFIC설계, 무선통신용 모델설계>