

논문 2004-41TC-12-15

주기적인 계단형 스텝브를 갖는 소형화된 하이브리드 Branch-Line 결합기와 Rat-Race 결합기

(Compact Hybrid Branch-line Couplers and Rat-Race Couplers with
Periodic Stepped Stubs)

이 창 언*, 김 원 기*, 김 상 태**, 신 철 재*

(Chang On Lee, Won-Ki Kim, Sang-Tae Kim, and Chull-Chai Shin)

요 약

본 논문에서는 마이크로스트립 전송선로에 주기적으로 계단형 스텝브를 추가하여 물리적 길이를 소형화시킨 마이크로스트립 전송선로를 나타내었다. 주기적인 계단형 스텝브는 quasi-static analysis와 전송선 이론을 바탕으로 한 등가모델로 병렬로 부가된 커패시턴스 역할을 함을 보였으며, 기존의 일반 스텝브를 이용한 경우보다 짧은 길이의 스텝브로 높은 커패시턴스 부가 효과를 얻을 수 있음을 보였다. 그리고 이러한 선로를 이용하여 소형화된 branch-line 결합기와 rat-race 결합기를 설계하였다. 1.8 GHz에서 구현된 각각의 결합기는 677 μm , 913 μm 으로 일반적인 결합기에 비해 그 크기가 62%, 45%로 다른 소자의 부가 없이 단지 전송선로의 변형만을 통해 매우 효과적으로 축소되었다.

Abstract

In this paper, we introduce the advanced compact transmission line with periodic stepped stubs. They are more effective than normal stubs in ATL. The short stepped stubs loading of transmission line work as effective shunt capacitance and that was proved by equivalent circuit based on transmission line theory and quasi-static analysis. And the compact branch-line coupler and the compact rat-race coupler via proposed compact microstrip line were designed at 1.8 GHz. They have 677 μm and 913 μm , respectively, and they are 62% and 45% of normal design.

Keywords : CLCTL(capacitively loaded compact transmission line), ATL(artificial transmission line),
Branch-line coupler, Rat-race coupler

I. 서 론

소자를 물리적으로 소형화 한다는 것은 그것을 구성하는 통신시스템의 크기를 소형화 할 뿐 아니라, 저 전력 시스템을 구현할 수 있으며, 비용절감의 효과도 있다^[1]. 따라서 초고주파 회로에서 소자를 소형화하기 위한 연구는 다양한 방법으로 연구되고 있다^[1-7]. 마이크로스트립 선로를 기초로 하는 소자를 소형화하기 위해서, 초기에는 주로 전송선로를

굽히는 meander line (혹은 folder line)을 이용하는 방법이 제시되고 연구되었다^[2-4]. 하지만 이러한 전송선로를 굽히는 것은 물리적으로 전송선로의 길이를 줄이는 것이 아니라, 단지 전송선로를 굽혀서 소자의 전체 면적을 줄이는 방법이 기 때문에 진정한 의미에서의 소형화라 보기 힘들다^[5]. 또한 굽혀진 선로는 인접선로와의 간섭을 고려하여 설계되어야 하며, 굽혀진 선로에서의 불연속성으로 인해 발생하는 bending 효과도 고려되어야 하는 등, 부가적인 효과에 대하여 고려되어야 한다^[6]. 한편, 집중소자(lumped elements)를 이용하여 매우 효과적으로 소자를 소형화할 수 있다^[7]. 하지만 이러한 방법은 높은 주파수 대역에서는 사용이 힘들어지고, MMIC와 같은 다층 기판에서는 적용이 힘들다는 단점이 있다^[6]. 따라서 부가적인 집중소자의 적재 없이 전송선로

* 정희원, 아주대학교 전자공학과
(Division of Electrical & Computer Engineering,
Ajou University)

** 정희원, 한국산업기술평가원
(ITEP)

접수일자:2004년7월19일, 수정완료일:2004년11월27일

를 소형화할 필요가 있다. 최근 짧은 길이의 스테브를 비교적 짧은 거리를 두고 주기적으로 전송선로에 배열하여 전송선로의 물리적 길이를 성공적으로 소형화한 ATL(artificial transmission line)이 소개되었다^[5,6]. 이러한 주기적인 스테브를 갖는 ATL은 성공적인 물리적 길이의 감소에도 불구하고 마이크로스트립 상에서 구현될 때 몇 가지 단점이 존재한다. 대표적으로 스테브로 인해 부가되는 커패시턴스의 양이 증가하면 전송선로의 압축률은 좋아지지만, 주 전송선로의 선폭이 좁아지게 되어 기술적으로 구현이 힘들어지는 것을 들 수 있다. 또한 물리적 길이가 줄어드는 반면에 ATL의 전체 선폭은 주 전송선로의 선폭과 스테브의 길이의 합으로 정의되기 때문에 ATL의 선폭이 넓어지게 된다. 이는 소자의 설계시 유연성을 악화시키는 요인이 된다. 또한 부과되어야 할 커패시턴스 양이 커질수록 긴 스테브의 길이가 요구되므로 이를 개선할 필요성이 있다.

본 논문에서는 기존의 주기적인 일반 스테브 대신해 주기적인 계단형 스테브를 사용하여 보다 효과적으로 물리적 길이를 소형화한 전송선로(CLCTL: capacitively loaded compact transmission line)를 마이크로스트립 상에서 구현하였다. 제안된 계단형 스테브는 불연속면에 대한 quasi-static analysis를 이용한 등가회로와 전송선 이론을 결합하여 나타낸 등가회로로 나타내어, 쉽게 커패시턴스 양을 구할 수 있도록 제시하였고, 제안된 계단형 스테브를 사용할 경우 짧은 길이의 스테브로 보다 효과적으로 커패시턴스 양을 부가할 수 있음을 확인하였다. 또한 제안된 계단형 스테브를 이용한 CLCTL로 동작주파수가 1.8 GHz인 소형화된 branch-line결합기와 rat-race결합기를 설계하였다. 설계는 이미 소형화된 일반 스테브를 사용한 기존의 소자들과 비교하기 위하여 동일한 양의 커패시턴스를 부과하였으며, 보다 적은 수와 짧은 길이의 스테브가 사용하여 소형화할 수 있음을 보였다. 설계된 branch-line 결합기와 rat-race 결합기는 각각 677 mm, 913 mm의 면적을 가지며, 일반적인 설계 방법에 비해 그 크기가 62%, 45%정도 밖에 되지 않으며, 동일한 양의 커패시턴스와 물리적 길이를 갖는 기존의 구조에 대하여서도 짧은 스테브로 인하여 그 크기가 감소하는 효과가 있다.

II. 주기적으로 계단형 스테브를 부가하여 소형화된 물리적 길이를 갖는 전송선로

전송선로에서 관내과장에 대하여 비교적 짧은 거리인 d 간격으로 주기적으로 단락 커패시턴스가 그림 1(a)와 같이 적재되면 전송선로의 특성임피던스(Z_{oATL} 혹은 Z_{oCLCTL})

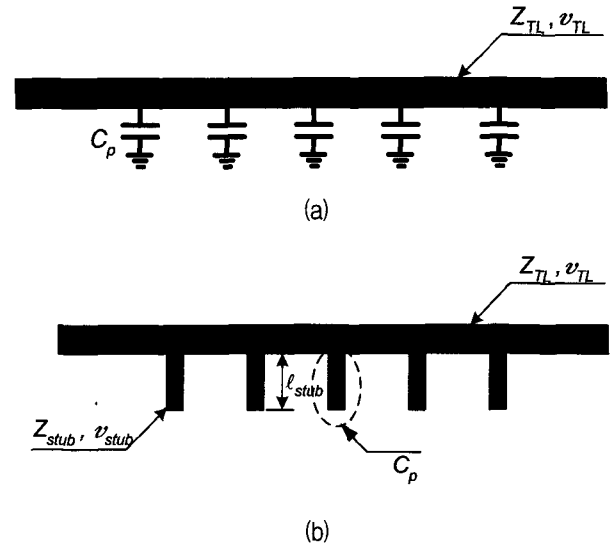


그림 1. 소형화 된 전송선로의 형태와 마이크로스트립 라인상에서의 구현 모습 (a) 주기적인 단락 커패시턴스를 이용한 소형화된 전송선로인 ATL(CLCTL) (b) 마이크로스트립 선로로 구현된 ATL(CLCTL)

Fig. 1. Compact transmission line assembled form and realization in microstrip line (a) ATL(CLCTL) with transmission line and shunt capacitances (b) realization of ATL(CLCTL) in microstrip line.

와 위상속도(v_{pATL} 혹은 v_{pCLCTL})를 다음과 같이 변화한다^[6].

$$Z_{oATL} = Z_{oCLCTL} = \sqrt{\frac{L}{\left(C + \frac{C_p}{d}\right)}} \quad (1)$$

$$v_{pATL} = v_{pCLCTL} = \frac{1}{\sqrt{L\left(C + \frac{C_p}{d}\right)}} \quad (2)$$

여기서 L 과 C 는 스테브가 연결되는 주 전송선로(TL)의 특성을 나타내는 단위길이 당 인덕턴스와 커패시턴스이다. 식 (1)에서 보는바와 같이 전송선로에 주기적으로 단락 커패시턴스를 부가할 경우 특성 임피던스는 낮아진다. 즉 설계에 요구되어지는 특성임피던스의 구현을 위해서는 주 전송선로의 특성임피던스가 높아져야 하며, 이는 마이크로스트립 상에서 구현되기 위해 주 전송선로의 선폭이 작아져야 한다. 이는 전술한 바와 같이 에칭 제작기술의 한계로 인해 결정되는 최소 선폭으로 인해 전송선의 압축률이 제한됨을 의미한다. 식 (2)에서 확인되는 바와 같이, 스테브로 인해 부가되는 단위길이당 커패시턴스 C_p/d 로 인해 전송선로는 느린 위상속도를 갖게 되는데, 전송선로의 위상속도가 느리

다는 것은 동일한 전기적 길이에 대한 물리적 길이의 감소를 의미한다^[7]. 따라서 주기적인 단락 커패시턴스의 부가는 전송선로의 물리적 길이를 감소시킨다. 만약 N 개의 단락 커패시턴스가 전송선로에 부가되었다면 전송선로의 전기적 길이는^[6]

$$\begin{aligned} \phi_{CLCTL} &= \frac{Ndw_o}{v_{pCLCTL}} = Ndw_o\sqrt{L\left(C + \frac{C_p}{d}\right)} \\ &= \ell w_o\sqrt{L\left(C + \frac{C_p}{d}\right)} \end{aligned} \quad (3)$$

이다. 여기서 w_o 는 설계 각 주파수이고, $\ell = Nd$ 는 전기적 길이(ϕ_{CLCTL})에 대한 물리적 길이가 된다. 따라서 동일한 전기적 길이에 대한 물리적 길이의 압축률(CR: Compact ratio)은

$$CR = \frac{\ell_{CLCTL}}{\ell_{TL}} = \frac{\sqrt{LC}}{\sqrt{L\left(C + \frac{C_p}{d}\right)}} = \frac{Z_{oCLCTL}}{Z_{oTL}} \quad (4)$$

이다.

그림 1(b)는 개방 스테브를 이용하여 마이크로스트립 구조에서 CLCTL을 구현한 구조이다^[6]. 짧은 길이의 개방 스테브는 다음과 같은 값의 커패시턴스로 나타난다^[6].

$$C_p = \frac{1}{w_o Z_{ostub}} \tan\left(\frac{w_o}{v_{pstub}} \ell_{stub}\right) \approx \frac{\ell_{stub}}{Z_{ostub} v_{pstub}} \quad (5)$$

(단, $\frac{w_o}{v_{pstub}} \ell_{stub} \ll 1$)

여기서 Z_{ostub} , v_{pstub} 는 각각 개방 스테브의 특성임피던스와 위상속도를 나타내며, ℓ_{stub} 는 개방 스테브의 물리적 길이를 나타낸다. 단 여기서 물리적 길이는 스테브의 개방된 면에서의 등가길이를 포함한다. 식 (5)의 값은 전송선 이론으로부터 구할 수 있으며 그 과정은 부록에 첨부하였다.

그림 2는 일반 스테브 대신에 다양한 스테브를 사용하여 마이크로스트립 선로의 물리적 길이를 축소화시킨 CLCTL의 종류들이다. 이러한 구조들은 그림 2(a)과 같은 계단형 스테브의 응용된 구조들로 볼 수 있으며, 그 해석에 대해서는 일부 구조들은 계단형 스테브와 달리 해석될 수 있지만 그 근본개념은 유사하다고 할 수 있겠다. 그림 3(a)에 나타난 전송선로에 부가된 주기적인 계단형 스테브는 전송선 이론과 마이크로스트립 구조에서의 불연속에 대한 quasi-static analysis를 이용한 등가회로를 이용하여 그림 3(b)단계를 거쳐 그림

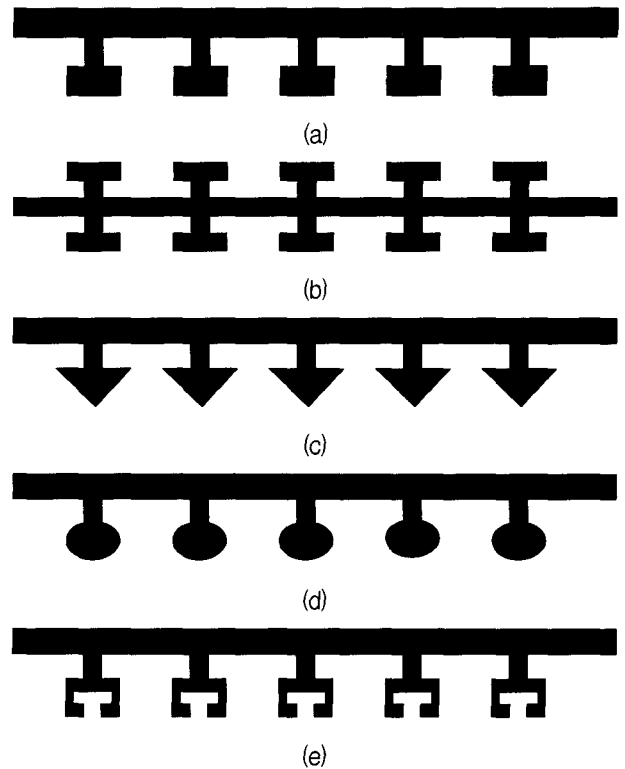


그림 2. 다양한 형태의 스테브를 이용하여 소형화되는 마이크로스트립 전송선로들 (a) 계단형 혹은 T자형 스테브를 이용한 경우 (b) 양쪽 방향으로의 스테브를 동시에 이용한 경우 (c) 삼각형 형태를 바깥쪽 스테브로 이용한 경우 (d) 원형 형태를 바깥쪽 스테브로 이용한 경우 (e) 굽혀진 선로를 이용한 경우

Fig. 2. Various compact transmission line with various stubs. (a) The stepped stubs (b) the double side stubs (c) triangle shape for outer stub (d) circular shape for outer stubs (e) various shape using folded line for outer stubs.

3(c)와 같은 등가회로로 나타낼 수 있다. 먼저 계단형 스테브에서 바깥쪽에 위치하는 스테브는 개방 스테브로 식 (5)와 마찬가지로 단일 커패시터로 단순화 될 수 있으며, 그 값을 C_{p2} 라 하자. 계단형 구조에 의한 불연속 구조는 그림 3(b)에 나타난 것과 같이 T자형 등가회로로 나타낼 수 있다^[8]. 이러한 구조는 다시 간략화 과정을 거쳐 그림 3(c)와 같이 세 커패시터의 합으로 나타낼 수 있다. 이러한 간략화 과정은 부록에 상세히 서술하였다.

$$C_p = C_{p1} + C_{p2} + C_{ps} \quad (6)$$

여기서 각 C_{pn} 은

$$C_{pn} = \frac{\ell_n}{Z_{on} v_{pn}} \quad (\text{단 } \frac{w_o}{v_{pn}} \ell_n \ll 1, n = 1, 2) \quad (7)$$

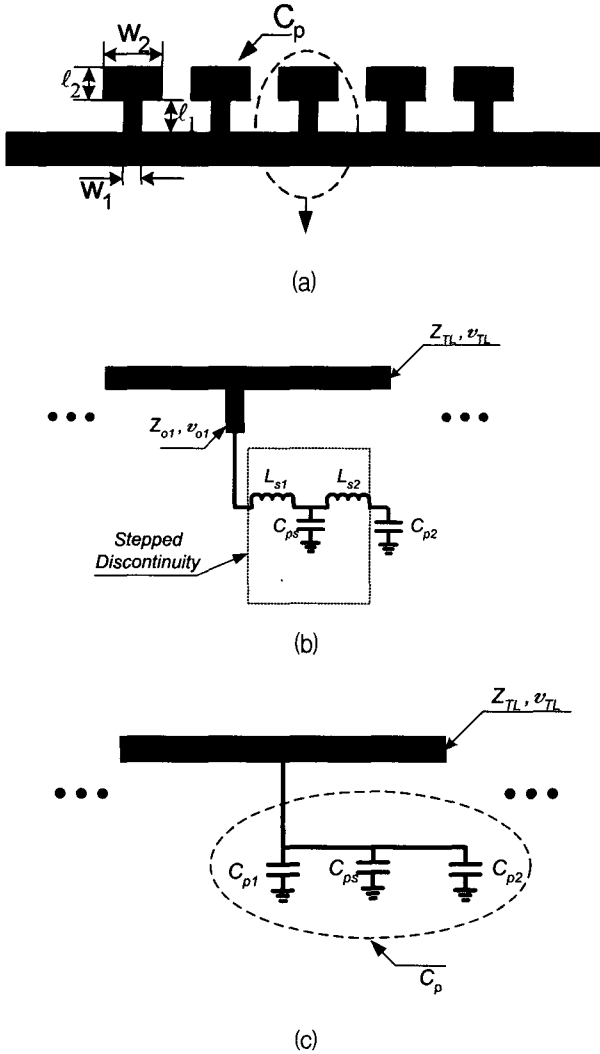


그림 3. 계단형 스텝브를 이용하여 소형화된 마이크로 스트립 전송선로의 등가회로 (a) 계단형 스텝브를 이용하여 소형화되는 마이크로스트립 전송선로 (b) 바깥쪽 스텝브와 불연속 구조에서의 등가회로 (c) 간략화된 등가회로

Fig. 3. Equivalent circuits for microstrip compact transmission line with periodic stepped stubs (a) microstrip compact transmission line with periodic stepped stubs (b) equivalent circuits for outer stub and stepped discontinuity (c) final equivalent circuit.

이다. 여기서 Z_{on} 과 v_{pn} 은 각 n 스텝브의 특성임피던스와 위상속도를 나타내며, l_n 은 n 스텝브의 물리적 길이를 나타낸다. 그리고 $n=1$ 은 계단형 스텝브의 안쪽 스텝브를, $n=2$ 는 바깥쪽 스텝브를 나타낸다. 한편, 계단형 구조로 인해 발생하는 단락 커패시턴스 C_{ps} 는 $\epsilon_r \leq 10$ 이고 $1.5 \leq W_2/W_1 \leq 3.5$ 에 대하여

$$C_{ps} = \sqrt{W_1 W_2} K \times 10^{-12} \quad (8)$$

$$K = (10.1 \log \epsilon_r + 2.33) \frac{W_2}{W_1} - 12.6 \log \epsilon_r - 3.17$$

이다^[8]. 여기서 W_1 과 W_2 의 값은 각각 안쪽과 바깥쪽 스텝브의 폭을 나타낸다.

만약 계단형 스텝브가 일반 스텝브와 동일한 커패시턴스를 갖기 위해서, 주 전송선로에 연결되는 안쪽 스텝브의 선폭은 일반 스텝브와 같다고 가정($W_1 = W_{stub}$)할 때, 계단형 스텝브의 총 길이 l_s 는

$$\begin{aligned} l_s &= l_1 + l_2 \\ &= l_1 + \frac{Z_{o2} v_{p2}}{Z_{o1} v_{p1}} (l_{sn} - l_1) - Z_{o2} v_{p2} C_{ps} \end{aligned} \quad (9)$$

계단형 스텝브에서 $W_1 < W_2$ 이고, $Z_{o2} v_{p2} < Z_{o1} v_{p1}$ 이므로 위 식 (9)에 나타난 계단형 스텝브의 길이와 일반스텝브의 길이차를 살펴보면

$$\begin{aligned} l_s - l_{sn} &= \frac{Z_{o2} v_{p2} - Z_{o1} v_{p1}}{Z_{o1} v_{p1}} (l_{sn} - l_1) - Z_{o2} v_{p2} C_{ps} \\ &< 0. \end{aligned} \quad (10)$$

따라서 계단형 스텝브의 길이는 동일한 커패시턴스를 갖는 일반 스텝브보다 항상 짧은 길이를 갖게 된다. 그런데 실제적으로 계단형 스텝브를 주 전송선에 달게 되면 개방 스텝브의 등가 길이(Δl_{oc})^[9]와 계단형 구조에서 발생하는 불연속 구조에 의한 등가 길이^[9] 효과를 고려해야 하기 때문에 실제 제작시 표현되는 계단형 스텝브의 물리적 길이는 다음과 같이 나타날 수 있다.

$$\begin{aligned} l_s &= l_1 + \frac{Z_{o2} v_{p2}}{Z_{o1} v_{p1}} (l_{sn} - l_1) - Z_{o2} v_{p2} C_{ps} \\ &\quad - \Delta l_{oc} f(\epsilon_r) \left(1 - \frac{W_1}{W_2} \right) - \Delta l_{oc} \end{aligned} \quad (11)$$

식 (11)에 나타난 길이는 식 (9)에 나타난 길이보다 항상 짧기 때문에 식 (10)이 항상 성립하며, 전술한 바와 같이 일반 스텝브보다 짧은 길이를 가짐이 당연하다.

주기적인 스텝브를 이용하여 소형화된 마이크로스트립 전송선로는 스텝브의 영향으로 인하여 넓은 전송선폭을 가지게 되는데, 이러한 CLCTL의 선폭은

$$W_{CLCTL} = W_{TL} + l_{stub} \quad (12)$$

으로 정의되므로 동일한 주 전송선로의 선폭(W_{TL})에 대하여 스텝브의 길이가 짧을수록 CLCTL의 선폭이 작아진다. 앞에서 살펴본 바와 같이 계단형 스텝브를 사용할 경우 일

반 스테르브를 사용한 경우보다 스테르브의 길이가 작기 때문에 더 좁은 CLCTL 선폭을 이룰 수 있다.

III. 소형화된 Branch-Line 결합기와 Rat-Race 결합기

정해진 물리적 길이에 대하여 사용될 수 있는 스테르브의 개수는 인접 스테르브의 간섭 효과를 배제하기 위해 일정한 간격을 가져야 한다. 일반적으로 인접한 선로의 영향을 배제하기 위해서는 두 선로의 사이 간격이 유전체 두께(h)의 3배 이상이 요구된다^[6]. 따라서 주기적으로 스테르브를 배열할 경우 스테르브 간의 간격이 $3h$ 이상 되어야 한다. 그런데

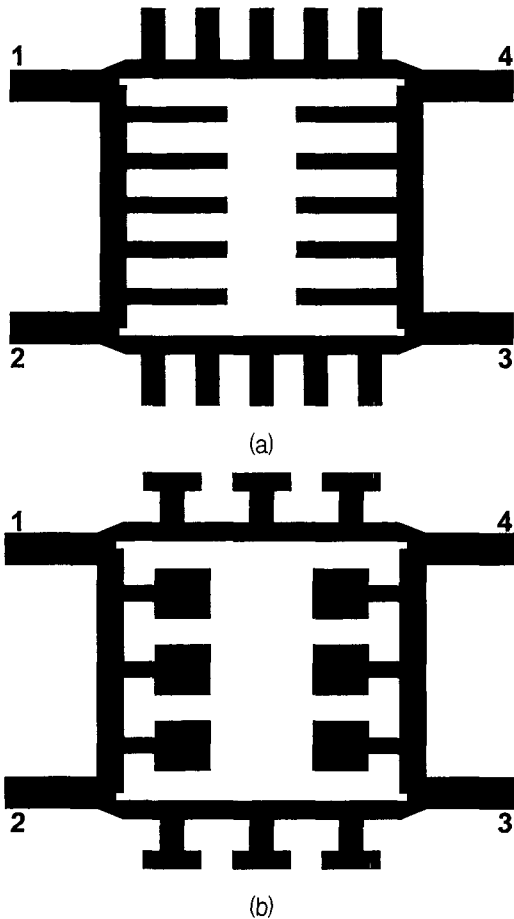


그림 4. 주기적인 개방 스테르브를 이용하여 소형화된 마이크로스트립 branch-line 결합기 (a) 일반 스테르브를 이용하여 소형화된 branch-line 결합기 (b) 계단형 스테르브를 이용하여 소형화된 Branch-line 결합기(제안된 구조)

Fig. 4. Compact microstrip hybrid branch-line couplers with periodic open stubs using (a) normal stubs and (b) stepped stubs (proposed design).

정해진 물리적 길이에 대하여서 계단형 스테르브의 경우, 바깥쪽 스테르브의 너비가 안쪽 스테르브의 너비보다 넓기 때문에, 안쪽 스테르브의 너비가 일반 스테르브와 동일하다면 계단형 스테르브를 사용할 경우는 일반 스테르브를 사용하는 경우보다 더 작은 수의 스테르브를 사용할 수밖에 없다. 이때 정해진 CLCTL의 물리적 길이에 대하여 사용될 수 있는 계단형 스테르브의 수는 바깥쪽 스테르브의 너비 W_2 에 의해 결정되어진다.

본 논문에서는 90° 의 전기적 길이당 5개의 일반 스테르브를 사용하던 기존의 구조^[6]를 3개의 계단형 스테르브를 이용하여 branch-line 결합기와 rat-race 결합기를 구현하였다. 결합기의 구현을 위해 사용된 기판은 유전율이 2.2이고 두께가 0.7874 mm인 Duroid 5880이다. 또한 기존의 구조보다 더 적은 계단형 스테르브를 사용하면서도 더 좁은 폭의 CLCTL이 구현됨을 확인하기 위하여 기존의 구조와 동일한 동작주파수인 1.8 GHz와 물리적 길이를 갖도록 설계하였다. 사용된 기판의 정보로부터 두 스테르브간의 간격(d_s)는 유전체 두께의 3배 이상인 2.4 mm 이상의 간격을 갖도록 하였다. 따라서 기존의 구조와 동일한 물리적 길이를 갖기 위해서 사용될 수 있는 계단형 스테르브의 바깥쪽 개방 스테르브 최대 폭은

$$W_2 = \frac{N}{M} (W_1 + d_s) - d_s \tag{13}$$

이고, 여기서 d_s 는 본 논문에서 설정한 바와 같이 최소 2.4 mm가 된다. 그리고 N , M 은 각각 일반 스테르브의 개수와 계단형 스테르브의 개수로 본 논문에서는 각각 5, 3이 된다. 또한 계단형 스테르브에서 바깥쪽 스테르브의 폭이 넓기 때문에 부과되는 단위길이 당 단락 커패시턴스는 바깥쪽 스테르브의 효과가 더 좋다. 따라서 계단형 스테르브를 구성하기 위해서 안쪽 스테르브를 최소로 하고 바깥쪽 스테르브를 최대로 할 필요가 있다. 이때 안쪽 스테르브의 길이는 바깥쪽 스테르브와 주전송선로의 간섭을 피하기 위하여 유전체 두께의 3배 이상이 되어야 한다. 따라서 본 논문에서 사용된 안쪽 스테르브의 길이는 비교가 되는 일반 스테르브와 동일한 폭을 가지고 길이는 2.4 mm가 되도록 설정하고, 바깥쪽 스테르브의 폭과 길이를 조절하여 기존의 구조에서 요구한 단락 커패시턴스 양을 맞추었다. 이때 바깥쪽 스테르브의 폭은 식 (13)에 의해 최대값 이하가 되도록 결정한다. 만약 최대의 폭을 갖도록 설계되어질 때, 바깥쪽 스테르브의 길이는 일반 스테르브를 가진 경우와 단위 길이당 동일한 단락 커패시턴스가 부과된다고 할 때, 식 (11)의 변형을 통해 다음과 같이 결정된다.

$$\ell_2 = \frac{N}{M} \frac{Z_{o2} v_{p2}}{Z_{o1} v_{p1}} \left(\ell_{sn} - \frac{M}{N} \ell_1 \right) - Z_{o2} v_{p2} C_{ps} - \Delta \ell_{ocf}(\epsilon_r) \left(1 - \frac{W_1}{W_2} \right) - \Delta \ell_{oc} \quad (14)$$

이때 요구되는 커패시턴스 양이 주어지지 않을 때는 참고문헌 [6]이나 본 논문에서의 절차에 따라 요구되어지는 커패시턴스 양을 구할 수 있다. 구하고자 하는 CR로부터 Z_{oTL} 을 구할 수 있고 설계하고자 하는 CLCTL의 특성임피던스를 구하기 위해서 단위 셀당 커패시턴스 값(C_p/d)을 구할 수 있다. 따라서 단위 셀의 거리 d 를 정하면 구하여야 할 커패시턴스 양이 산출된다.

그림 4는 일반 스텝을 사용한 기존의 branch-line 결합기 구조^[6]와 계단형 스텝을 사용한 branch line 결합기 구조를 보여준다. 1.8 GHz의 설계 주파수에서 branch-line 결합기의 각 구조 변수들은 앞 절에서 설명한 방법과 식 (13)과 식 (14)를 이용하여 계산된 결과와 MoM(method of moments)방법을 기초로 한 full-wave analysis를 사용한 상용 EM solver를 이용하여 최적화된 결과의 변수를 표 1에 나타내었다.

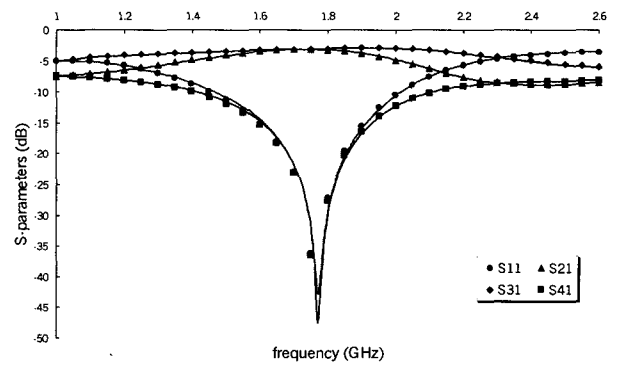
그림 5(a)는 1.8 GHz에서 표 1의 설계변수를 가지고 설계된 소형화된 마이크로스트립 하이브리드 branch-line 결합기의 특성을 보여준다. 결과는 기존의 일반 스텝을

표 1. 마이크로스트립 하이브리드 branch-line결합기의 구조변수 (단위: mm, 단 M은 개)

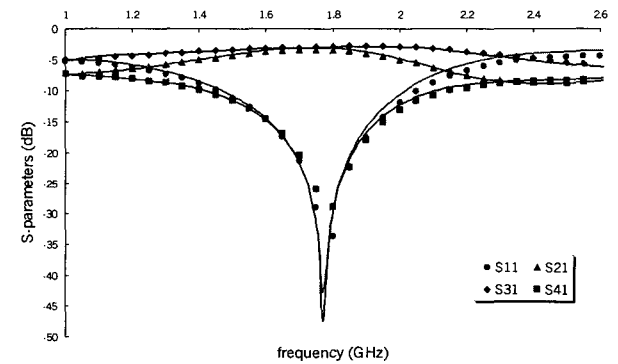
Table 1. The calculated and optimized value of parameters for microstrip line hybrid branch-line couplers (unit: mm).

변수	계산치	최적치	
50 Ω	W_{TL}	1.3	1.3
	d	7.0	7.0
	W_1	1.8	1.8
	ℓ_1	2.4	2.4
	W_2	4.6	4.6
	ℓ_2	1.25	1.4
	M	3	3
35 Ω	W_{TL}	1.9	1.9
	d	6.2	6.2
	W_1	1.3	1.3
	ℓ_1	2.4	2.4
	W_2	3.8	3.8
	ℓ_2	4.15	4.15
	M	3	3

이용하여 소형화된 결합기^[6]와 비교되었으며, 그 특성이 매우 유사하다. 이때 사용된 CLCTL의 폭은 50 Ω에 대하여서는 5.1 mm로 일반 스텝을 이용한 CLCTL의 폭 5.3 mm보다 좁아졌으며, 35 Ω에 대하여서는 폭이 6.05 mm로 일반 스텝을 이용할 경우의 9.7 mm보다 현저하게 감소하였다. 설계된 결합기가 차지하는 면적은 677 mm²으로 기존의 구조보다는 조금 감소했으며(이는 기존의 구조와 동일한 물리적 길이를 갖도록 설계되었기 때문에 거의 유사한 면적(기존의 구조는 687 mm²의 면적을 갖는다.)을 갖



(a)



(b)

그림 5. 주기적인 계단형 스텝을 이용하여 소형화된 마이크로스트립 branch-line 결합기의 특성 (a) full-wave analysis를 이용한 계산 결과 (실선: 계단형 스텝을 이용한 제안된 구조의 특성, 점: 동일한 크기의 일반 스텝을 이용한 구조의 특성) (b) 측정결과 (실선: full-wave analysis를 이용한 계산 결과, 점: 측정결과)

Fig. 5. Results for compact microstrip hybrid branch-line couplers with periodic stepped stubs (a) calculated results using full-wave analysis (solid line: proposed branch-line coupler with periodic stepped stubs, discrete points: branch-line coupler with periodic normal stubs in Reference [7]) (b) measured results (solid line : results of full-wave analysis, discrete points: measured results).

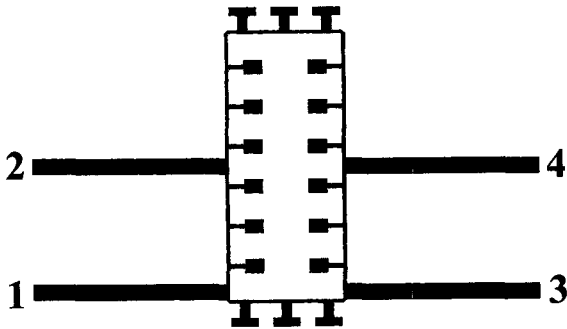


그림 6. 주기적인 계단형 스텝브를 이용하여 소형화 된 마이크로스트립 rat-race 결합기

Fig. 6. Proposed compact microstrip hybrid rat-race coupler with periodic stepped stubs.

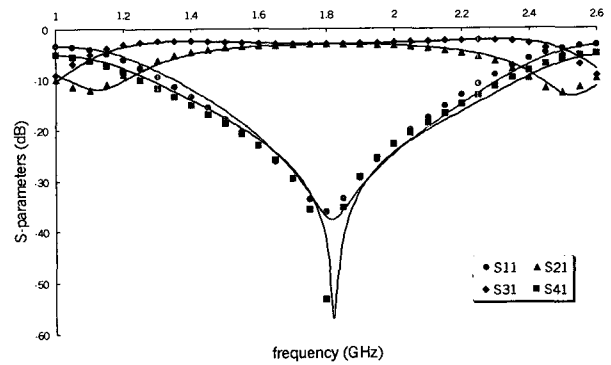
표 2. 마이크로스트립 rat-race 결합기의 구조변수 (단위:mm, 단 M 은 개)

Table 2. The calculated and optimized value of parameters for microstrip line hybrid rat-race couplers (unit: mm).

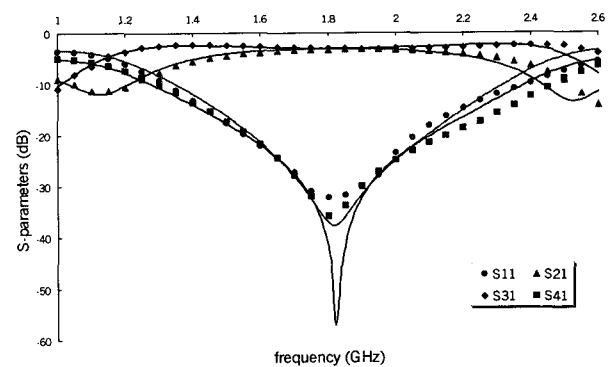
변수		계산치	최적치
안쪽 방향의 스텝브 (70.7 Ω)	W_{TL}	0.5	0.5
	d	6.5	6.5
	W_1	0.6	0.6
	ℓ_1	2.4	2.4
	W_2	2.1	2.1
	ℓ_2	2.85	2.8
	M	3	3
바깥쪽 방향의 스텝브 (70.7 Ω)	W_{TL}	0.5	0.5
	d	6.5	6.5
	W_1	1.5	1.5
	ℓ_1	2.4	2.4
	W_2	4.1	4.1
	ℓ_2	1.05	1.25
	M	3	3

지만, 약간의 면적 감소는 바깥쪽으로 향하는 스텝브의 길이 감소에 기인한다.) 일반적인 결합기 설계시(1088 mm²)보다 38%정도 소형화 되었다. 그림 5(b)는 계단형 스텝브를 이용하여 설계된 branch-line 결합기의 측정 결과를 EM-solver의 계산 결과와 비교한 것이다. 그림에서 확인 되듯이, 측정결과는 EM solver의 계산 결과와 매우 유사하다.

그림 6은 계단형 스텝브를 사용하는 CLCTL로 구현되는 rat-race 결합기의 구조를 나타낸 것으로, 구조변수에 대한 계산 결과와 최적치는 표 2에 나타내었다. 그림 7(a)는 이러한 계단형 스텝브를 사용한 rat-race 결합기의 특성을 일반 스텝브를 이용한 경우와 비교한 것이다. 이때 사용된 CLCTL의 너비는 각각 4.15 mm,



(a)



(b)

그림 7. 주기적인 계단형 스텝브를 이용하여 소형화된 마이크로스트립 rat-race 결합기의 특성 (a) full-wave analysis를 이용한 계산 결과 (실선: 계단형 스텝브를 이용한 제안된 구조의 특성, 점: 일반 스텝브를 이용한 기존 구조의 특성) (b) 측정 결과 (실선: full-wave analysis를 이용한 계산 결과, 점: 측정결과)

Fig. 7. Results for compact microstrip hybrid rat-race couplers with periodic stepped stubs (a) calculated results using full-wave analysis (solid line: proposed rat-race coupler with periodic stepped stubs, discrete points: rat-race coupler with periodic normal stubs in Reference [7]) (b) measured results (solid line: results of full-wave analysis, discrete points: measured results).

5.7 mm로 일반 스텝브를 이용한 경우인 4.3 mm, 6.5 mm보다 좁아진 폭을 나타낸다. 이처럼 계단형 스텝브를 사용할 경우 그 면적은 913 mm²(기존의 구조^[6]는 922 mm²의 면적을 갖는다.)으로 일반적인 설계에 비해 55%나 줄어들었다. 그림 7(b)는 rat-race 결합기의 측정 결과를 나타낸 것으로 계산 결과와 유사함을 알 수 있다.

계단형 스텝브를 사용하는 CLCTL은 관내파장(λ_g)과 관계되는 소자의 구현시 매우 효과적으로 소자를 소형화할 수 있음을 마이크로스트립 하이브리드 branch-line 결합기와 rat-race 결합기의 설계결과를 통해 확인하였다.

또한 본 논문에서 설계된 논문과 다른 물리적 길이로 나타내기 위해서는 부가되는 단락 커패시턴스 양이 다르게 되는데, 이는 참고문헌 [7]과 앞 절의 이론을 바탕으로 식 (13)과 식 (14)를 이용할 경우 새로운 구조변수를 구할 수 있다. 따라서 다른 소자의 설계시에도 매우 유용하게 제안된 구조인 CLCTL이 응용될 수 있으리라 사료된다.

IV. 결 론

본 논문에서는 일반 스테르브 대신 계단형 스테르브를 주기적으로 마이크로스트립 전송선로에 배열하여 전송선로의 물리적 길이를 축소화시킨 소형화된 전송선로인 CLCTL을 소개하였다. 또한 기존의 일반 스테르브를 사용하는 경우보다 더 좁은 선폭을 갖으면서 스테르브 수도 줄일 수 있음을 quasi-static analysis와 전송선 이론을 바탕으로 한 등가 모델로부터 확인하였고, 계단형 스테르브의 설계 변수 값을 쉽게 구할 수 있음을 보였다. 또한 소개된 계단형 스테르브를 갖는 소형화된 마이크로스트립 전송선로로 branch-line 결합기와 rat-race 결합기를 설계하여 소자를 소형화 시켰다. 1.8 GHz에서 설계된 계단형 스테르브를 갖는 branch-line 결합기와 rat-race 결합기는 일반적인 구조에 대하여 각각 62%, 45%의 크기를 가지고 매우 우수한 특성을 가짐을 EM solver의 계산 결과와 측정 결과로부터 확인하였다.

V. 부 록

1. 식 (5)의 증명

무손실 전송선로에서 개방 스테르브는 주 전송선 면을 기준으로 등가 임피던스를 구하면^[9]

$$\begin{aligned} Z_p &= Z_{ostub} \frac{Z_{open} + jZ_{ostub} \tan \beta \ell_{stub}}{Z_{ostub} + jZ_{open} \tan \beta \ell_{stub}} \\ &= \frac{Z_{ostub}}{j \tan \beta \ell_{stub}} = \frac{1}{j \omega_o C_p} \\ \beta &= \frac{\omega_o}{v_{pstub}} \end{aligned}$$

따라서 부가되는 단락 커패시턴스 양은

$$\begin{aligned} C_p &= \frac{1}{\omega_o Z_{ostub}} \tan \left(\frac{\omega_o}{v_{pstub}} \ell_{stub} \right) \approx \frac{\ell_{stub}}{Z_{ostub} v_{pstub}} \\ (\text{단, } \frac{\omega_o}{v_{pstub}} \ell_{stub} &\ll 1) \end{aligned}$$

이고, 이때 오른쪽의 근사치는 괄호안의 조건이 만족할 때

성립한다. 그런데 일반적으로 전송선의 소형화를 위하여 주기적으로 배열되는 스테르브의 경우 짧은 길이를 사용하므로 괄호안의 조건을 대부분 만족한다.

2. 식 (6)의 증명

앞의 내용과 마찬가지로 무손실 전송선로에서 첫 번째 기준 면을 계단형의 불연속 구조로 하면 바깥쪽 스테르브는 위의 간략화 과정에 의해

$$C_{p2} = \frac{1}{\omega_o Z_{o2}} \tan \left(\frac{\omega_o}{v_{p2}} \ell_2 \right) \approx \frac{\ell_2}{Z_{o2} v_{p2}}$$

이 되고 계단형 불연속 구조에서의 등가회로는 T자형으로 인덕턴스와 커패시턴스로 표현된다^[8].

따라서 그림 3(b)와 같은 등가회로로 나타낼 수 있다.

여기서 등가회로로 표현된 부분을 Z_L 이라 하면

$$Z_L = j\omega_o L_{s1} + \frac{1 - \omega_o^2 L_{s2} C_{p2}}{j\omega_o (C_{p2} + C_{ps}) + j\omega_o^3 L_{s2} C_{p2} C_{ps}}$$

이 된다. 여기서

$1 \gg \omega_o^2 L_{s2} C_{p2}$ 이고, $\omega_o (C_{p2} + C_{ps}) \gg \omega_o^3 L_{s2} C_{p2} C_{ps}$ 이므로 (여기서 나타나는 인덕턴스는 10^{-12} 스케일이고, 인덕턴스는 10^{-9} 스케일이다.)

$$Z_L \approx j\omega_o L_{s1} + \frac{1}{j\omega_o (C_{p2} + C_{ps})}$$

따라서 주 전송선로에서 바라본 스테르브의 임피던스는

$$\begin{aligned} Z_p &= Z_{o1} \frac{Z_L + jZ_{o1} \tan \beta \ell_1}{Z_{o1} + jZ_L \tan \beta \ell_1} \\ &= Z_{o1} \frac{A}{jB} \end{aligned}$$

$$\begin{aligned} A &= 1 - \omega_o^2 (C_{p2} + C_{ps}) L_{s1} - Z_{o1} \omega_o (C_{p2} + C_{ps}) \tan \beta \ell_1 \\ B &= \tan \beta \ell_1 + \omega_o Z_{o1} (C_{p2} + C_{ps}) \\ &\quad - \omega_o^2 L_{s1} (C_{p2} + C_{ps}) \tan \beta \ell_1 \end{aligned}$$

여기서 안쪽 스테르브의 단위길이당 커패시턴스와 인덕턴스는 각각 $C_{o1} = \frac{1}{Z_{o1} v_{p1}}$, $L_{o1} = \frac{Z_{o1}}{v_{p1}}$ 이다.

여기서 $\tan \beta \ell_1 = \frac{\omega_o}{v_{p1}} \ell_1$ 이라 하면, 안쪽 스테르브의 총

커패시턴스와 인덕턴스는 각각 $C_{p1} = \frac{\ell_1}{Z_{o1} v_{p1}}$,

$L_{p1} = \frac{Z_{o1}}{v_{p1}} \ell_1$ 이므로 위의 식은 다음과 같이 간략화 된다.

$$Z_p = \frac{1 - w_o^2(C_{p2} + C_{ps})L_{s1} - w_o^2(C_{p2} + C_{ps})L_{p1}}{j[w_o C_{p1} + w_o(C_{p2} + C_{ps}) - w_o^3 L_{s1}(C_{p2} + C_{ps})C_{p1}]}$$

$$\approx \frac{1}{jw_o(C_{p1} + C_{p2} + C_{ps})}$$

따라서

$$C_p = C_{p1} + C_{p2} + C_{ps}$$

이 성립한다.

참 고 문 헌

- [1] Y. J. Sung, C. S. Ahn, and Y. -S. Kim, "Size reduction and harmonic suppression of rat-race hybrid coupler using defected ground structure," *IEEE Microwave Wireless Comp. Lett.*, Vol. 14, no. 1, pp. 7-9, January 2004.
- [2] R. K. Settaluri, G. Sundberg, A. Weisshaar, and V. K. Tripathi, "Compact folded line rat-race hybrid couplers," *IEEE Microwave Wireless Comp. Lett.*, Vol. 10, no. 2, pp. 61-63, February 2000.
- [3] R. K. Settaluri, A. Weisshaar, C. Lim, and V. K. Tripathi, "Design of compact multilevel folded-line RF couplers," *IEEE Trans. Microwave Theory Tech.*, Vol. 47, no. 12, pp. 2331-2339, December 1999.
- [4] V. K. Tripathi, H. B. Lundén, and J. P. Starski, "Analysis and design of branch-line hybrids with coupled lines," *IEEE Trans. Microwave Theory Tech.*, Vol. 32, no. 4, pp. 427-432, April 1984.
- [5] J. S. Hong and M. J. Lancaster, "Capacitively loaded microstrip loop resonator," *IEE Electronics Lett.*, Vol. 30, no. 18, pp. 1494-1495, September 1994.
- [6] K. W. Eccleston and S. H. M. Ong, "Compact planar microstripline branch-line and rat-race couplers," *IEEE Trans. Microwave Theory Tech.*, Vol. 51, no. 10, pp. 2119-2125, October 2003.
- [7] R. Mongia, I. Bahl, and P. Bhartia, *RF and Microwave Coupled-Line Circuits*, Artech House, pp. 251-274, 1999.
- [8] K. C. Gupta, R. Garg, I. Bahl, and P. Bhartia, *Microstrip Lines and Slotlines, 2nd ed.*, Artech House, pp. 184-194, 1996.
- [9] D. M. Pozar, *Microwave Engineering*, Addison-Wesley, pp. 67-125, 1990.

저 자 소 개



이 창 언(정회원)
 1998년 아주대학교 전자공학과
 학사 졸업.
 2000년 아주대학교 전파공학과
 석사 졸업.
 2004년 현재 아주대학교
 전자공학과 박사 과정.

<주관심분야: 초고주파 회로 설계 및 해석, RF
 능동 및 수동소자 개발 등>



김 원 기(정회원)
 1995년 아주대학교 전자공학과
 학사 졸업.
 1997년 아주대학교 전자공학과
 석사 졸업.
 2004년 현재 아주대학교
 전자공학과 박사 과정.

1999년~2004년 호서대학교 반도체 제조장비
 국산화 연구센터 연구원.

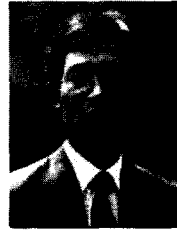
<주관심분야: 초고주파회로 설계 및 해석, 초고주
 파통신부품개발, EMI/EMC, 전파전파 등>



김 상 태(정회원)
 1985년 아주대학교 전자공학과
 학사 졸업.
 1987년 아주대학교 전자공학과
 석사 졸업.
 2001년 아주대학교 전자공학과
 박사 졸업.

1991년~현재 한국산업기술평가원 연구원.

<주관심분야: 초고주파회로 설계 및 해석, 초고주
 파통신부품개발, EMI/EMC, 전파전파 등>



신 철 재(정회원)
 1964년 연세대학교 전자공학과
 학사 졸업.
 1968년 연세대학교 전자공학과
 석사 졸업.
 1983년 연세대학교 전자공학과
 박사 졸업.

1967년~1970년 동양공업전문대학 교수.

1970년~1977년 광운대학교 교수.

1986년~1987년 Florida Univ. 객원교수.

1977년~현재 아주대학교 전자공학부 교수.

<주관심분야: 초고주파회로 설계 및 해석, 초고주
 파통신부품개발, EMI/EMC, 전파전파 등>