

논문 2004-41TC-12-8

재구성 가능한 가변 포인트 IFFT/FFT 프로세서 설계에 관한 연구

(A Study on the variable points IFFT/FFT processor)

최 원 철*, 전 형 구**, 이 현*, 오 현 서*

(Won-Chul Choi, Jeon-Hyoung Goo, Hyun Lee, and Hyun-Seo Oh)

요 약

무선 이동 통신은 고속의 이동성과 고속의 데이터 전송 능력을 요구하고 있다. 이러한 요구사항을 만족하기 위하여 물리계층에서 사용하는 모뎀 방식은 OFDM(Orthogonal Frequency Division Multiplex) 방식을 주로 사용한다. 앞으로 상용화 되는 고속 무선 통신 방식에서 모뎀은 주로 IEEE 802.(11a, 16e, 등) 계열이 사용될 것이며, 물리레벨의 접속 방식에 구애 받지 않는 가변적일 것을 요구하고 있다. 따라서 한 개의 모뎀에서 여러 가지 IEEE 802.(11a, 16e, 등) 계열 변조 및 복조 기능을 만족시키려면 다양한 크기의 IFFT(Inverse Fast Fourier Transform)/FFT(Fast Fourier Transform)를 수용할 수 있는 가변 포인트 IFFT/FFT 구조여야 한다. 본 논문에서는 재구성 가능한 IFFT/FFT 프로세서 설계 방법을 기술한다. 이 방법을 이용하면 재구성 가능한 모뎀을 실현할 수 있고 하나의 모뎀에서 서로 다른 OFDM 모뎀을 손쉽게 통합 할 수 있다.

Abstract

Wireless mobile communication systems request high speed mobility and high speed data transmission capability. In order to meet the requirements, OFDM(Orthogonal Frequency Division Multiplex) is mainly adopted in the physical layer of the wireless systems. In commercial wireless mobile systems, IEEE802.(11a, 16e, etc) series seem to be used as the modulation method. For supporting multiple air-interfaces in a wireless mobile system, different kinds of OFDM based modulation methods should be supported in one modem chip. It requires a variable point IFFT/FFT or reconfigurable IFFT/FFT processor. In this paper, we propose the design method of a reconfigurable IFFT/FFT processor. In addition, it is shown that a reconfigurable IFFT/FFT processor can be implemented by using the proposed method.

Keywords : FFT, Reconfigurable, processor, OFDM

I. 서 론

최근에 새롭게 관심이 고조되고 있는 텔레매틱스는 통신과 정보기술(Informatics)의 합성어로 무선망을 통한 음성 및 데이터통신과 인공위성을 이용한 위치정보 시스템(GPS)을 기반으로 차량에 정보를 주고 받음으로써 새로운 부가 서비스를 제공하는 기술을 의미한다^[1].

이러한 텔레매틱스 서비스를 위해서는 차량과 센터 간 고속 패킷 데이터 전송이 저렴하게 제공되어 하기 위해 셀룰러, WLAN, WiBro, DMB 와 같은 다양한 무선무선망을 활용할 수 있어야 한다. 이러한 텔레매틱스 서비스를 제공받는 텔레매틱스 단말에서는 다양한 무선 접속을 통합적으로 제공하는 무선통합기술의 개발이 필요하다.

무선통합기술의 개발에서 WLAN과 WiBro와 같은 OFDM 계열의 모뎀은 서로 다른 포인트의 IFFT와 FFT를 사용한다. 표 1은 OFDM 계열 모뎀이 서로 다른 포인트의 IFFT 및 FFT를 사용하는 것을 보여주고 있다.

* 정회원, 한국전자통신연구원
(Electronics and Telecommunications Research Institute)

** 정회원, 동의 대학교
(Dong Eui University)

접수일자: 2004년9월2일, 수정완료일: 2004년12월9일

표 1. OFDM 방식의 통신 시스템에서 IFFT 및 FFT 포인트 수

Table 1. IFFT/FFT point number in OFDM communication system.

시스템	IFFT 및 FFT 포인트 수
무선 LAN(802.11a)	64
WiBro	1024
DMB	1024

표 1과 같이 OFDM 방식의 통신 시스템에서 여러 가지 포인트의 IFFT 및 FFT가 사용되고 있는 것을 볼 수 있다. 현재 고속 통신을 하기 위해 OFDM 기술을 이용하여 송신하고 수신하는데 이때 필요한 것이 IFFT와 FFT 프로세서 이다^[2].

OFDM 계열 모뎀의 통합형 단말기를 만들기 위해 여러 가지 다른 규격의 모뎀을 통합해야 되며, 이때 필수적으로 필요한 것은 물리계층의 접속 방식에 구애받지 않는 가변적인 IFFT와 FFT이다. 기존의 통합 단말기는 SDR(Software Defined Radio)기술로 소프트웨어에 의해 가변되는 구조를 갖을 수 있다. 이 기술을 이용한 가변적인 모뎀은 DSP 프로세서 기반 구조를 갖는다. DSP 프로세서를 이용하여 소프트웨어적으로 처리할 경우 IFFT/FFT 크기가 커질수록 메모리 액세스 시간 소비로 인하여 실시간 구현이 어려운 단점이 있다.

본 논문에서는 소프트웨어에 의한 재구성 가능한 IFFT/FFT 프로세서가 갖고 있는 문제점을 해결하기 위해 하드웨어 논리회로를 이용한 가변 포인트 IFFT/FFT 프로세서 설계 방식을 제안하였다.

II. 무선 통합 모뎀 요구사항

4세대 무선 통신에서의 전송 방식으로는 OFDM 전송 방식이 많은 각광을 받고 있다. OFDM 전송방식의 기본 개념은 직렬로 입력되는 데이터열을 N개의 병렬 데이터열로 변환하여 각각 분리된 부반송파에 실어 전송함으로써 데이터율을 높이는 것이다. 이때 부반송파는 직교성을 유지할 수 있도록 적절히 선택되어야 한다. 이러한 직교성으로 인하여 각 부반송파는 스펙트럼 상에서 중첩이 허용된다. 또한 수신기에서는 간단한 신호처리 기법으로 부반송파를 분리해 낼 수 있다. 이로 인하여 하나의 반송파를 사용하여 데이터를 순차적으로 전송하는 경우보다 전송되는 심볼의 간격이 길어져 채널의 지연시간 영향과 임펄스 잡음의 영향을 덜 받게

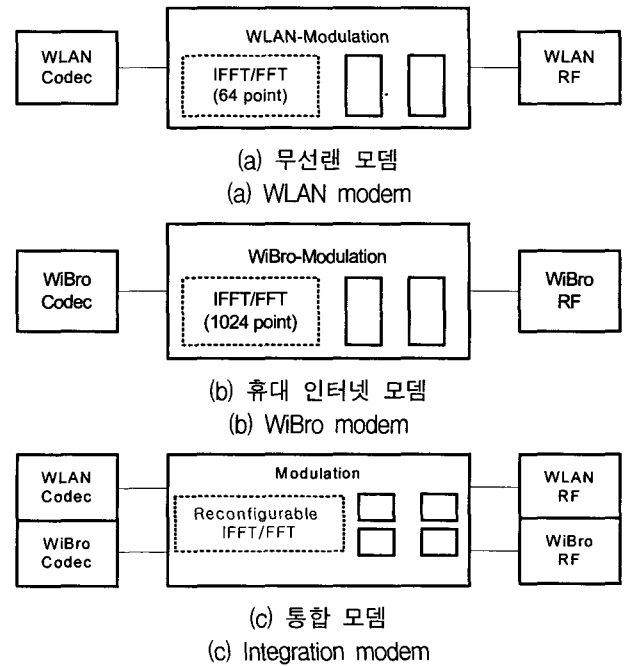


그림 1. 통합모뎀에서 필수적인 재구성 가능한 IFFT/FFT 프로세서

Fig. 1. Reconfigurable IFFT/FFT processor in integration modem.

된다. 또한 연속된 심볼간의 간섭을 줄일 수 있어 다중 경로 채널에 대해 강하며 채널 등화의 복잡도를 줄일 수 있고 일반적인 주파수 분할방식에 비하여 스펙트럼의 효율을 높일 수 있다. 이런 이유로 OFDM 방식은 다른 전송 방식에 비해 광대역 전송에서 유리한 면을 가지며, 방송분야에서는 유럽의 디지털 오디오 방송(DAB) 및 텔레비전 방송(DVB)의 변조방식으로 이미 채택되었으며, 5GHz 대역 무선랜 분야에서도 규격안(IEEE 802.11a, Hiper-LAN II)으로 채택되었다. 또한 광대역 무선 접속 시스템(IEEE 802.16 BWA)에서도 OFDM 방식이 채택되어 사용된다. 이와 같이 OFDM 전송 방식은 광대역 전송에 유리하기 때문에, 차세대 광대역 시스템에 많이 사용되고 있다^[3].

텔레매틱스 서비스도 차량과 센터간 고속 패킷 데이터 전송이 제공되어 하기 때문에 OFDM 모뎀으로 전개될 것이다.

그림 1에서 (a)는 64포인트의 IFFT 및 FFT를 사용하는 무선랜 모뎀을 나타낸 것이다. (b)는 1024포인트 IFFT/FFT를 사용한 휴대 인터넷 모뎀을 나타낸 것이다. 텔레매틱스 차량이 WLAN 서비스 지역과 WiBro 서비스 지역을 자유롭게 이동한다면 이 두 가지 방식을 지원할 수 있는 통합 모뎀이 필요하다. 표 1에서 보였듯이 이 두가지 방식에서 IFFT/FFT의 계산 포인트가

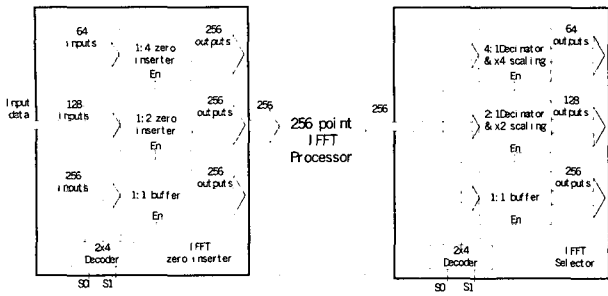


그림 2. 재구성 가능한 IFFT 프로세서 구조-I
Fig. 2. Reconfigurable IFFT processor structure-I.

표 2. 동작 모드
Table 2. Operation mode.

(S1,S0) 값	(IFFT/FFT)동작 모드
00	64 포인트
01	128 포인트
10	256 포인트
11	reserved

표 3. zero inserter 와 interpolator의 처리결과
table 3. The result of zero inserter and interpolator.

입력데이터 / 처리결과	S1,S2,S3, ..., S32	S33,S34,S35, ..., S64	S65,S66,S67, ..., S192	S193,S194,S195, ..., S224	S225,S226,S227, ..., S256
1:4 zero inserter	S1,S2,S3, ..., S32	0,0,0,0,0,0,0,0, ..., 0	0,0,0,0,0,0,0,0, ..., 0	0,0,0,0,0,0,0,0, ..., 0	S33,S34,S35, ..., S64
1:2 zero inserter	S1,S2,S3, ..., S32	S33,S34,S35, ..., S64	0,0,0,0,0,0,0,0, ..., 0	S65,S66,S67,S68, ..., S96	S97,S98,S99, ..., S128
1:4 interpolator	S1,0,0,0, S2,0,0,0	S9,0,0,0, S10,0,0,0, S11,0,0,0	S17,0,0,0, S18,0,0,0	S24,0,0,0, S25,0,0,0, S26,0,0,0	S32,0,0,0
1:2 interpolator	S1,0, S2,0, S3,0, S4,0	S17,0, S18,0, S19,0, S20,0	S33,0, S34,0	S65,0, S66,0, S67,0	S128,0

서로 다르다. IFFT/FFT의 계산 크기를 가변시킬 수 있다면 통합 모델을 구현하기가 매우 용이할 것이다. 그림 1의 (c)는 재구성 가능한 IFFT/FFT를 사용하여 WLAN과 WiBro의 통합 모델 구성 블록도를 나타낸 것이다. 본 논문에서는 무선 통합 모델에 필요한 재구성 가능한 가변 포인트 IFFT/FFT 프로세서 설계 방법을 제안하였다.

III. 제안된 가변 포인트 IFFT/FFT 프로세서 설계 방법

그림 2는 물리레벨에서 접속 방식에 구애 받지 않는 재구성 가능한 IFFT 프로세서 구조-I를 보여준다. 이 재구성 가능한 IFFT 프로세서는 IFFT zero inserter 장치와 IFFT 계산 장치 및 IFFT output selector 장치로 구성되어 있다. IFFT zero inserter 장치와 IFFT output selector 장치는 제어신호 (s0, s1)신호를 받아 동작하도록 되어있다. 동작 모드 선택은 표 2과 같다.

IFFT zero inserter 장치는 동작 모드에 따라서 IFFT 장치의 중간 입력 영역에 0을 삽입하는 역할 수행한다. 그림 2에서 보인 것처럼 64 포인트 IFFT인 경우 1:4 zero insertion 기능을 수행하고 128 포인트 IFFT인 경우 1:2 zero insertion을 수행한다. 1:4 zero insertion 기능은 입력에서 64개 포인트 입력 데이터를 받아서 0~31, 224~255 포인트 범위의 영역에는 전송하고자 하는 원래의 데이터를 입력한다. 나머지 32~223

까지의 범위는 모두 영(zero)을 입력한다. 1:2 zero insertion 기능은 입력에서 128개 포인트 입력 데이터를 받아서 0~63, 192~255 범위의 영역에는 전송하고자 하는 원래의 데이터를 입력한다. 나머지 64~191까지의 범위는 모두 영(zero)을 입력한다. 64 포인트 IFFT와 128 포인트 IFFT 계산 결과는 IFFT 프로세서 중간 영역에 삽입한 zero 값으로 인하여 각각 4배, 2배 오버샘플링된 IFFT 계산 결과가 된다. 이 오버샘플링된 IFFT 계산 결과를 D/A를 통과하면 더 좋은 아날로그 출력 결과를 얻을 수 있다. 그러나 본 논문에서는 재구성 가능한 IFFT가 고정된 IFFT와 동일한 결과를 출력해야 된다. 즉, 오버샘플링된 IFFT 계산 결과에서 decimation을 위한 output selector가 필요하다. IFFT output selector는 4:1 decimator, 2:1 decimator 및 1:1 buffer로 구성되어 있다. IFFT output selector의 내부동작은 표 2에 제시된 제어신호 (s1,s0) 값에 따른다. 4:1 decimator는 64 포인트 IFFT 모드인 경우 동작하며 4개의 출력 데이터 중 1개의 데이터를 출력에 전달토록 한다. 2:1 decimator는 128 포인트 IFFT 모드인 경우 동작하며 2의 출력 데이터 중 1개의 데이터를 출력에 전달토록 한다. 1:1 buffer는 256 포인트 IFFT 모드인 경우 동작하며 모든 출력 데이터를 그대로 출력에 전달한다. 256 포인트 IFFT 구조에서 64 포인트 IFFT의 출력을 얻기 위해 256/64 즉, 4배 만큼의 scaling 값을 곱해 줘야 된다. 256 포인트 IFFT 구조에서 128포인트 IFFT의 출력을 얻기 위해서는 2배의 scaling 값을 곱해 준다.

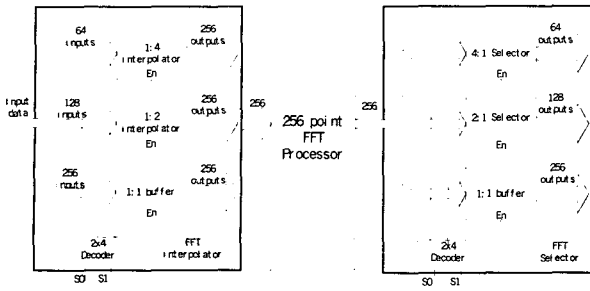


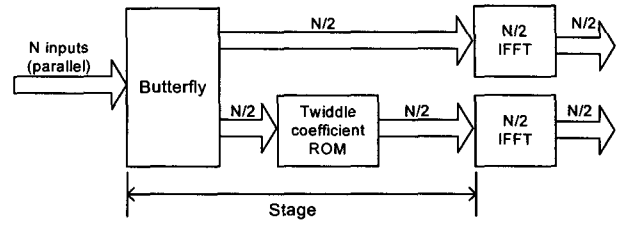
그림 3. 재구성 가능한 FFT 프로세서 구조-I
Fig. 3. Reconfigurable FFT processor structure-I.

그림 3은 물리레벨에서 접속 방식에 구애 받지 않는 재구성 가능한 FFT 프로세서 구조-I을 보여주고 있다. 가변 포인트 FFT 하드웨어 프로세서는 FFT interpolator 장치, FFT 계산 장치 및 FFT output selector 장치로 구성되어 있다. FFT interpolator 장치와 FFT output selector 장치는 제어신호 (s0, s1) 신호를 받아 동작하도록 되어 있다. 동작 모드 선택은 표 2와 같다.

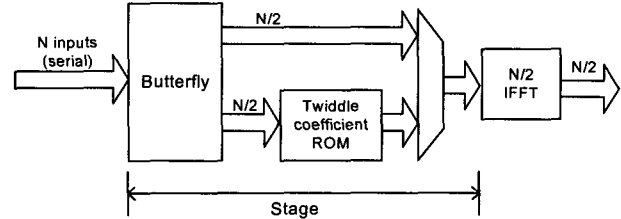
FFT interpolator 장치는 64 개 혹은 128 개의 수신 입력 신호 중간 중간에 0을 1:4 혹은 1:2 비율로 0을 삽입하여 256 개의 출력을 만든다. 이렇게 비율적으로 0을 삽입하였기 때문에 실시간으로 처리하기 위해서는 증가된 비율만큼 빠른 클럭을 사용해야 된다. 표 3은 그림 3에서 입력데이터가 들어가서 interpolator 장치를 통과한 결과를 보여준다. 1:4 interpolator 경우 64개의 입력데이터가 256개가 되기 때문에 출력된 결과가 입력된 데이터와 같은 시간에 동작하기 위해서는 출력된 데이터가 4배 빠르게 출력되어야 되기 때문에 4배 빠른 클럭이 필요하고 1:2 interpolator 경우는 2배 빠른 클럭이 필요하다. 식 (1)은 1:4 interpolator의 동작의 예를 수식으로 표현한 것이다.

$$w(m) = \begin{cases} X(n) & \text{if } m = 4n \\ 0 & \text{otherwise} \end{cases} \quad (1)$$

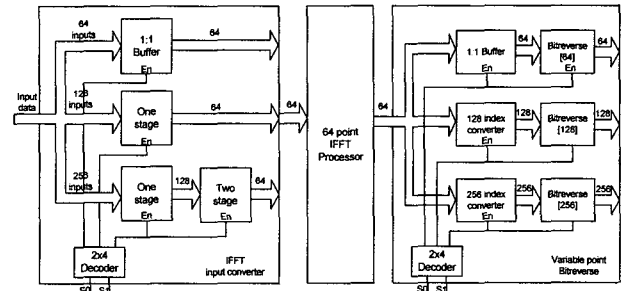
여기서 $w(m)$ 은 FFT interpolator의 출력을 나타내며 $X(n)$ 은 FFT interpolator의 입력을 나타낸다. 이후 FFT가 수행된 결과는 최종 선택을 위해서 FFT output selector 장치로 전송된다. FFT output selector 장치는 256 개의 계산 결과에서 FFT 포인트에 맞도록 선택한다. 64 포인트 FFT인 경우에는 4:1 selector가 동작한다. 4:1 selector는 256 개의 FFT 계산 결과 중에 앞의 0~63까지의 계산 결과를 취해서 출력으로 보낸다. 128 포인트 FFT인 경우에는 2:1 selector가 동작한다. 2:1 selector는 256 개의 FFT 계산 결과 중에 앞의 0~127



(a) 입력이 병렬로 들어 올 때 stage 구조
(a) Stage structure in parallel input



(b) 입력이 직렬로 들어 올 때 stage 구조
(b) Stage structure in serial input



(c) 입력이 직렬로 들어 올 때 재구성 가능한 IFFT 프로세서
(c) Reconfigurable IFFT structure in serial input

그림 4. 재구성 가능한 IFFT 프로세서 구조-II
Fig. 4. Reconfigurable IFFT processor structure-II.

까지의 계산 결과를 취해서 출력으로 보낸다. 256 포인트 FFT인 경우에는 1:1 buffer가 동작하며 256 데이터 전체가 출력으로 보내진다.

그림 2와 그림 3에서의 예시는 256, 128, 64 포인트의 IFFT/FFT 하드웨어 장치를 구현하기 위한 예이다. 본 논문에서 제시한 재구성 가능한 가변포인트 IFFT 및 FFT 프로세서 구조-I는 16, 32, 64, 128, 256, 512, 1024, 2048 등 여러 가지의 IFFT/FFT 크기를 수용하기 위한 구조로 확장할 수 있다.

그림 4는 물리레벨에서 접속 방식에 구애 받지 않는 재구성 가능한 IFFT 프로세서의 구조-II를 보여준다. 이 재구성 가능한 IFFT 프로세서는 IFFT input converter 장치 및 bitreverse가 제거된 IFFT 계산 장치 그리고 variable point bitreverse 장치로 구성되어 있다. IFFT input converter 장치와 variable point bitreverse 장치는 제어신호 (s0, s1)신호를 받아 동작하도록 되어 있다. 동작 모드 선택은 표 2과 같다.

IFFT input converter 장치는 동작 모드에 따라서 N/2포인트 IFFT로 변경해 주는 장치이다. IFFT 알고리즘에서 IFFT는 butterfly와 회전계수 장치 그리고 N/2 point IFFT 2개로 구성될 수 있다^[4].

그림 4(a)는 이와 같이 입력이 병렬로 들어 올 때 한 개의 stage를 표시한 것이다. 일반적으로 하드웨어로 구성할 때 하드웨어의 크기를 고려해 입력이 직렬로 처리 되도록 설계하며 이 때 한 개의 stage 구조는 그림 4(b)와 같이 구성된다. 그림 4(b)를 이용한 재구성 가능한 IFFT 프로세서는 그림 4(c)와 같다. 그림 4(c)는 64포인트 IFFT프로세서를 기반으로 128포인트 IFFT와 256 포인트 IFFT로 재구성 할 수 있는 예이다. 128 포인트 IFFT 프로세서는 64 포인트 IFFT 앞단에 butterfly와 회전계수 장치로 구성된 one stage 장치로 128 포인트 IFFT 연산을 수행 할 수 있다.

256 포인트 IFFT는 64포인트 IFFT 앞단에 two stage로 128 포인트 IFFT 연산을 수행하고 다시 one stage로 256 포인트 IFFT 연산을 수행하게 된다. 이 때 two stage 장치는 128 포인트의 one stage과 같은 구조이기 때문에 설계 시에는 공유할 수 있다. 다시 말해 one stage와 two stage를 구성해 놓고 128포인트 IFFT로 구성하고 싶으면 one stage는 비활성 시키고 two stage에 128개의 입력을 넣어 준다. 그림 two stage의 출력 중 0~63 포인트는 64 포인트 IFFT의 입력으로 들어가고 또다시 출력 중 64~127 포인트도 64 포인트 IFFT의 입력으로 들어간다. 시간적으로 직렬입력이기 때문에 한 개의 64 포인트 IFFT로 구성할 수 있다. 이렇게 가변 포인트로 IFFT를 구성하면 그림 4(c)의 variable points bitreverse와 같이 bitreverse 장치는 가변적이어야 한다. 제어신호 (s0, s1)가 128 포인트로 설정되면 64개의 IFFT출력 2개가 합쳐진 128개의 출력이 한 묶음의 신호로 처리 될 수 있도록 128 index converter와 128 포인트 bitreverse 장치를 활성화 시킨다. 제어신호 (s0, s1)가 256 포인트로 설정되었으면 64 개의 IFFT 출력 4개가 합쳐진 256개의 출력이 한 묶음의 신호로 처리 될 수 있도록 256 index converter와 256 포인트 bitreverse 장치를 활성화 시킨다. 재구성 가능한 FFT프로세서는 재구성 가능한 IFFT 구조에서 회전계수의 부호만 변경하면 된다.

IV. 시뮬레이션

그림 2와 3의 재구성 가능한 IFFT 및 FFT 프로세서

구조-I을 검증하기 위해 그림 5와 같이 시뮬레이션 모델을 구성하였다. 본 논문은 IFFT와 FFT 프로세서에 대한 내용이기 때문에 OFDM 모델의 여러 가지 기능블록은 생략하기로 한다. 재구성 가능한 IFFT 및 FFT 그리고 고정 포인트 IFFT 및 FFT 프로세서에 동일한 입력값을 넣어 주고 출력 결과를 비교하는 방법을 사용하였다. 데이터 검사부#1(checking data#1)에서는 재구성 가능한 가변 포인트 IFFT의 출력값과 고정 포인트 IFFT의 출력값을 비교 하였다. 검사부#2에서는 재구성 가능한 가변 포인트 FFT의 출력값과 고정 포인트 FFT의 출력값을 비교 하였다.

매핑 데이터는 랜덤 신호 발생기에서 발생된 데이터를 매핑한 것이다. zeroinsertion output은 매핑된 출력에서 0~31, 225~255 포인트만 매핑된 데이터가 채워지고 나머지 32~224 포인트에 제로('0')가 삽입된 결과가 출력되었다. IFFT output은 256개의 입력 샘플을 IFFT한 결과이며, 출력결과는 4배 오버 샘플링된 결과가 나왔다. 4:1 decimator 블록이 4배 오버 샘플링된 결과를 보정해주기 때문에 64 포인트 IFFT한 결과와 같은 결과가 나왔다.

그림 6은 재구성 가능한 IFFT 프로세서 구조-I의 중간 결과값 및 고정 포인트 IFFT 결과값을 비교한 시뮬레이션 파형이다. 그림 7은 재구성 가능한 FFT 프로세서 구조-I의 중간 결과값 및 고정 포인트 FFT 결과값을 비교한 시뮬레이션 파형이다. 그림 6 및 그림 7의 그래프 값들은 실수값만을 표시하였다. FFT입력은 IFFT의 출력값이다. FFT interpolator의 출력값은 샘플 사이에 제로('0')값이 삽입되어 출력되었다.

FFT interpolator블록의 256개의 출력값은 256 포인트 FFT에 입력되고, FFT출력은 0~63까지의 데이터가 4번 반복되게 출력되었다. 그림 3의 4:1 selector에 의해 반복적으로 출력되는 값을 0~63까지의 데이터만 취하고

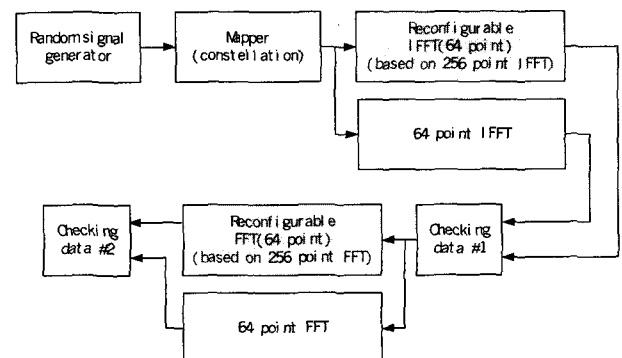


그림 5. 재구성 가능한 IFFT/FFT 시뮬레이션 모델
Fig. 5. Reconfigurable IFFT/FFT simulation model.

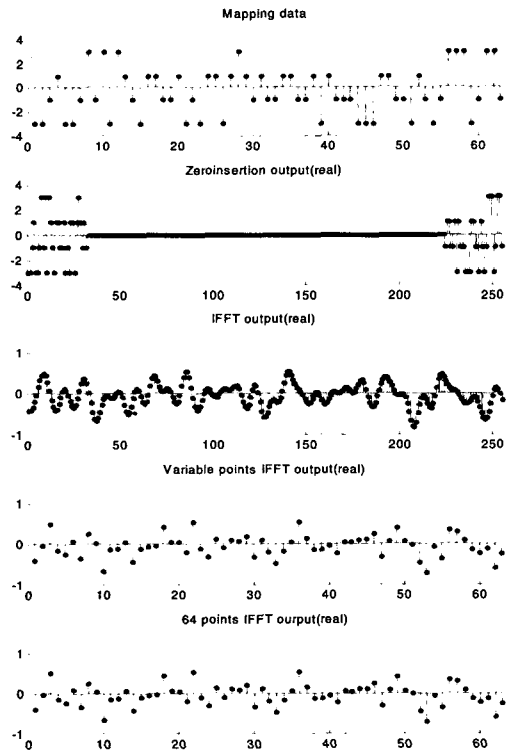


그림 6. 재구성 가능한 IFFT 프로세서 구조-I의 시뮬레이션 파형
 Fig. 6. Reconfigurable IFFT processor structure-I simulation result.

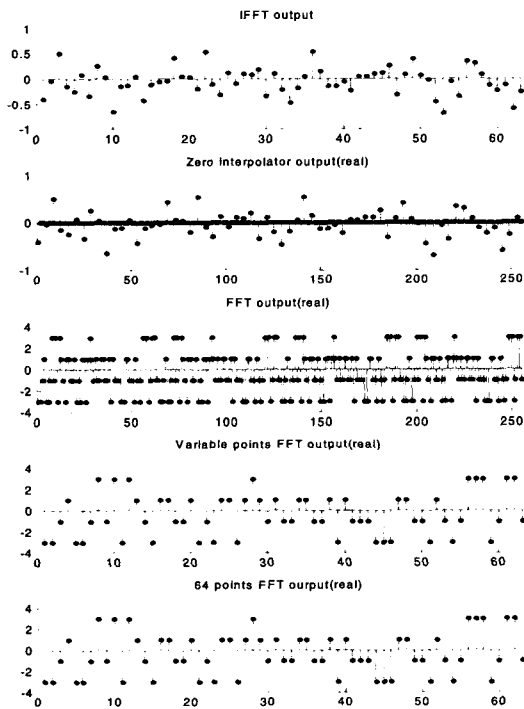


그림 7. 재구성 가능한 FFT 프로세서 구조-I의 시뮬레이션 파형
 Fig. 7. Reconfigurable FFT processor structure-I simulation result.

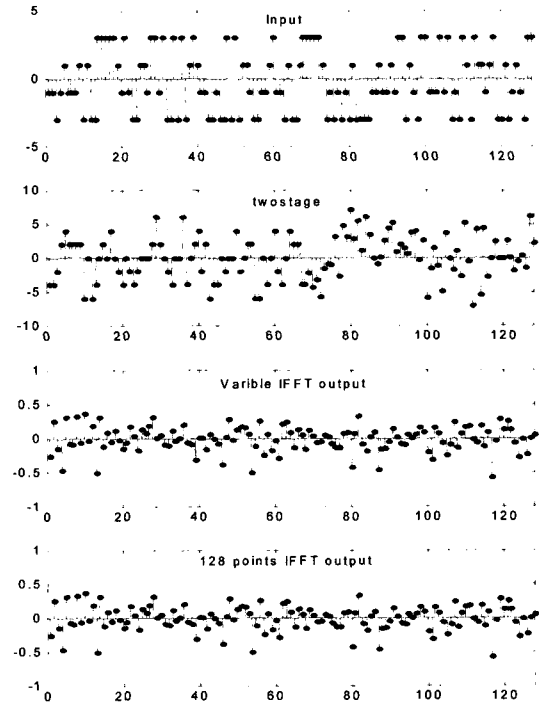


그림 8. 재구성 가능한 IFFT 프로세서 구조-II의 시뮬레이션 파형
 Fig. 8. Reconfigurable IFFT processor structure-II simulation result.

나머지는 버리기 때문에 64 포인트 FFT한 결과와 같은 결과가 나왔다. 그림 4의 재구성 가능한 IFFT 프로세서 구조-II를 검증하기 위해 그림 5의 시뮬레이션 모델에서 재구성 가능한 IFFT 프로세서는 64포인트 IFFT와 one stage 및 two stage로 모델링 하였다. 그리고 고정 64 포인트 IFFT를 128포인트 IFFT로 변경하였다. 모델링된 재구성 가능한 IFFT 프로세서에서 제어신호(s0, s1)을 "01"로 셋팅하여 128포인트 IFFT가 되도록 한다.

128 포인트 IFFT는 모델링된 IFFT프로세서에서 one stage만 비활성 시켜주면 된다. 그림 8은 재구성 가능한 IFFT 프로세서에서 one stage가 비활성 되도록 셋팅하고, two stage 및 64포인트 IFFT만으로 128 포인트 IFFT를 시뮬레이션 한 결과이다.

그림 8은 그림 4와 같이 64포인트 IFFT에서 one stage와 two stage 블록을 추가함으로써 원하는 포인트로의 IFFT 포인트를 생성가능한 것을 보여준다.

이 방법을 이용하면 표 1에서 제시된 64 포인트 FFT의 배수형태의 FFT 프로세서를 쉽게 재구성 할 수 있다. 또 기존에 설계된 프로세서를 이용하여 더 높은 포인트의 FFT프로세서를 설계하고 싶을 때 이용할 수도 있다. 통합 모뎀을 위해 64, 128, 256, 1024 등 FFT를

구성할 때 가장 큰 FFT를 하드웨어만 구성하면 별도의 블록 수정 없이 원하는 포인트의 FFT를 얻을 수 있다

V. 결 론

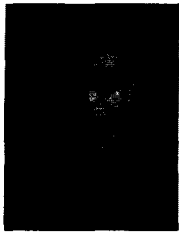
본 논문에서는 OFDM 모델 장치에서 접속 규격이 가변적일 때 소프트웨어에 의한 처리방법이 아닌 모델 방식에 따라서 IFFT/FFT의 포인트가 64 포인트, 1024 포인트 또는 2048 포인트로 변경 가능한 IFFT 및 FFT 프로세서의 구성 방법을 연구하였다. 제안된 재구성 가능한 IFFT 및 FFT 구조-I는 하드웨어 자체를 변경하는 방법이 아닌 입력 신호를 제어하는 방법이며, 재구성 가능한 IFFT 및 FFT 구조-II는 FFT 하드웨어 내부에 N/2포인트의 FFT가 들어 있는 성질을 이용하였다.

텔레매틱스 단말기는 장소에 구애 받지 않고 다양한 무선접속을 수용해야 할 것으로 전망된다. 따라서 단말기 모델에서 서로 다른 OFDM 무선 접속 방식을 통합할 때 재구성 가능한 가변 포인트 IFFT 및 FFT가 필요하다. 본 논문에서 제안된 방법은 무선 통합 모델 개발시 유용하게 사용될 수 있다. 또, 4세대 무선 통신에서 전송 방식으로 OFDM 전송 방식이 많이 사용될 것으로 예상되며, OFDM 모델이 융합 단말기 형태로 전개될 때 제안된 방법이 유용하게 이용될 수 있을 것으로 사료된다.

참 고 문 헌

- [1] 오현서, 고광호, 이현, 이인환, 신창섭, "텔레매틱스 무선 통합 기술 개발", 한국통신학회, 제 21권 5호, 2004년 5월
- [2] John Terry and Juha Heiskala, OFDM Wireless LANs : A Theoretical and Practical Guide, Sams Publishing, 2002.
- [3] 김재석, 조용수, 조중휘, 이동통신용 모델의 VLSI 설계 - CDMA, OFDM, MC-CDMA, 대영사, 80-100쪽, 2000.
- [4] A. V. Oppenheim, et al, Discrete-Time Signal Processing, Prentice-Hall, 1999.
- [5] S. He and M. Torkelson, "Design and implementation of a 1024-point pipeline FFT processor", in IEEE Proc. Custom Integrated Circuits Conference, pp. 131-134, May 1998.
- [6] B. Bhattacharya, S.S. Bhattacharyya, "Parameterized dataflow modeling for DSP systems", Signal Processing, IEEE Transactions on, vol. 49, no. 10, pp. 2408~2421, Oct. 2001.
- [7] 최원철, 이현, 조경록 "확률분포 특성을 이용한 OFDM용 IFFT/FFT 프로세서 설계", 대한전자공학회, 제 40권, SD편, 12호, 87-94쪽, 2003년12월
- [8] S. H. Lee, S. J. Yoo, K. Y. Choi, "Reconfigurable SoC design with hierarchical FSM and synchronous dataflow model", Hardware/Software Code-sign, 2002. CODES 2002. Proceedings of the Tenth International Symposium on, pp. 199-204, May 2002.

저자 소개



최 원 철(정회원)
 2002년 2월 충북대학교
 전자공학과 학사
 2004년 2월 충북대학교
 정보통신공학과 석사
 2004년 2월~현재 한국전자통신
 연구원 텔레매틱스
 통신연구팀 연구원.

<주관심분야: 텔레매틱스 통신 기술, 초고속 무선
 패킷 변복조 및 4세대 이동통신기술, 디지털 이동
 통신, VLSI 설계>



이 현(정회원)
 1986년 2월 연세대학교
 물리학과 학사
 2000년 충북대학교
 정보통신공학과 석사
 2001년 2월~현재 충북대학교
 정보통신공학과 박사과정
 1991년~1994년 대우통신 OA 개발단 주임연구원.
 1994년~현재 한국전자통신연구원 텔레매틱스
 통신연구팀 선임연구원.

<주관심분야: 디지털 이동통신, ITS 무선패킷통
 신, 텔레매틱스 통신 기술 >



전 형 구(정회원)
 1987년 2월 인하대학교
 전자공학과 학사
 1992년 2월 연세대학교
 전자공학과 석사
 2000년 8월 연세대학교
 전자공학과 공학박사

1987년 2월~2001년 2월 한국전자통신연구원
 이동통신연구소 선임연구원
 2001년 3월~현재 동의대학교 정보통신과 조교수
 <주관심분야: MIMO, 무선랜, CDMA 변복조, 텔
 레매틱스통신기술>



오 현 서(정회원)
 1982년 2월 숭실대학교
 전자공학과 학사
 1985년 2월 연세대학교
 전자공학과 석사
 1998년 2월 연세대학교
 전자공학과 공학박사

1982년 3월~현재 한국전자통신연구원
 텔레매틱스연구팀장
 <주관심분야: 디지털 이동통신, CDMA 변복조,
 ITS 무선패킷통신, 초고속 무선 패킷 변복조 및 4
 세대 이동통신기술, 텔레매틱스 통신기술>