

DSSS-QPSK 베이스밴드 모뎀에 관한 연구

A Study on the DSSS-QPSK Baseband Modem

안도량*, 이동욱*

Do-Rang Ahn*, Dong-Wook Lee*

요약

본 논문에서는 DSSS-QPSK 베이스밴드 모뎀의 수신부를 단순화한 구조를 제안한다. 일반적인 수신기 구조는 정합 필터, 역확산기, DQPSK 디코더, 그리고 DLL(Delay Locked Loop) 부분으로 나누어진다. 본 논문에서는 정합 필터와 역확산기 구조가 비슷하다는 것을 이용하여 역확산기 부분에서 하는 역할을 정합 필터에서 담당하게 하였다. 이로 인하여 수신부에서의 연산량이 감소하였고 수신부 구조가 단순화 되었다. 이러한 결과는 고속모뎀의 설계에 대단히 중요한 역할을 한다. 그리고 제안한 구조를 이용한 시뮬레이션과 실험을 통해 제안한 방법으로 수신부를 설계할 경우 연산 속도가 증가하고 전반적인 구조 단순화를 얻을 수 있음을 보였다.

ABSTRACT

In this paper, we propose a new DSSS-QPSK baseband modem receiver structure. A general receiver consists of matched filter, de-spreader, and DLL(Delay Locked Loop). In this paper, the matched filter plays a role of the de-spreader using the structure similarities between the matched filter and the de-spreader. As a result of the new receiver architecture, we can reduce the computational expenses and get the simpler receiver structure. This result can be used as an important part in designing the high speed modem. And, through the computer simulation and the experiment with the proposed architecture, we show that the proposed receiver structure yields fast operation speed and simple overall architecture.

Key words : DSSS, QPSK, baseband modem, high speed modem

I. 서론

무선 LAN은 건물 내부의 유선 LAN을 대체하는 역할을 수행하는 것은 물론 기능이 한층 증가되고 유연성이 뛰어난 데이터 통신 시스템이라고 할 수 있다. 무선 LAN은 RF 통신을 사용하기 때문에 유선을 사용하는 유선 LAN에 비해 비교적 간편하고 적은 설치비용으로 사용자가 데이터를 받을 수 있게 한다. 또한 기존 유선 LAN 시스템의 상위 계층 구조는 그대로 유지하면서 물

리 계층만 무선화 했기 때문에 단말기의 재배치가 용이하며, 빠른 시간 안에 LAN 구축이 가능하다는 장점이 가지고 있다.

무선 LAN 표준안 802.11[1]은 DSSS(Direct Sequence Spread Spectrum), FHSS(Frequency Hopping Spread Spectrum), Infrared 등의 세 가지 물리 계층을 규정하고 있다. 이 중 대역확산(SS: Spread Spectrum) 방식[2]-[6]은 보안성이 높고 사용 대역에서 신호 전력 밀도가 낮아 다른 통신 시스템에 대한 간섭을 줄일 수 있다. 또 ISM(Industrial, Scientific, and Medical) 비허가 주파수 대역 사용이 가능해짐으로써 대역 확산 방식이 많이 이용된다. 대역 확산 방식의 장점으로는 전파방해, 간섭, 다중 경로 페이딩에 우수한 성능을 보이며 다중 액세스를

*동국대학교 전기공학과

접수 일자 : 2004. 8. 09 수정 완료 : 2004. 10. 20

논문 번호 : 2004-2-8

※본 연구는 2003학년도 동국대학교 연구년 지원에 의하여 이루어졌음.

하는데 용이하다.

일반적인 DSSS QPSK 방식의 베이스밴드 모뎀의 수신부 구조는 반송파 down converter, 정합필터, 역확산기, 동기화 부분으로 나누어지는데 본 논문에서는 수신부의 역확산기와 정합필터의 구조가 비슷하고 출력되는 값이 거의 비슷하게 나오는 것을 바탕으로 반송파 down converter, 정합필터, 동기화 부분으로 역확산기 부분을 생략하고 수신부 구조를 재구성 하였다. 그리고 역확산기 부분에서 담당하던 부분을 정합필터의 구조를 변경하여 정합필터가 담당하게 하여 수신부 구조를 간단하게 하였다.

베이스 밴드 모뎀 구현에 있어서 동기화 과정은 동기 획득과 동기추적으로 나누어 생각하였다. 동기 획득 방법으로 정합필터를 사용하는 직렬 탐색 방법을 이용했고, 동기추적 방법으로 DLL(Delay Locked Loop)을 이용한 심볼 타이밍 복원회로를 이용하여 설계하였다. 입력 데이터는 차동부호화 방법을 이용하였고 데이터 확산을 위해 11비트 PN-code를 이용하였다. 그리고 한개의 PN-code를 복원하기 위해 4번의 샘플을 수행하였다.

서론에 이어 2장과 3장에서 송수신부 구조와 구현 알고리즘을 설명하고 4장에서는 시뮬레이션 및 결과 데이터를 보여주고 있으며 마지막 5장은 결론으로 구성되어 있다.

II. 송수신기 구조

1 송신부 구조

송신부는 그림 1과 같이 구성되어 있다.

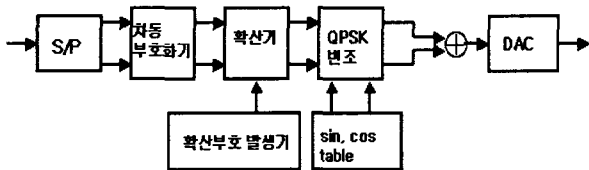


그림 1. 송신부 구조
Fig. 1. Transmitter Structure

PLCP (Physical Layer Convergence Protocol)부 계층에서 전달된 데이터 패킷은 스크램블 되어 송신부로 입력된다. 입력된 직렬 데이터는 S/P(serial to parallel)블록을 통해서 QPSK변조를 수행하기 위해 병렬 데이터로 변환된다. 병렬로 변환된 데이터는 차동 부호화기를 통해서 차동 부호화된다. 출력위상은 표 1과 같이 정의 된다. 차동 부호화기는 그레이 부호화 방법을 이용하는데 심볼 간 데이터의 변화 정도 차이를 1비트 이내로 줄여서 전송하는 방식으로 에러의 가능성을 줄여준다. 차동 부호화

기는 식 (1)과 같이 나타내고 그림 2는 차동 상태 다이어그램을 나타낸 것이다.

$$\theta_n = \theta_{n-1} + x_n \frac{2\pi}{M}, \text{ modulo } 2\pi \quad (1)$$

표 1. QPSK 출력위상
Table 1. Output phase of the QPSK

I, Q	θ
0, 0	0
0, 1	$\pi/2$
1, 1	$-\pi$
1, 0	$-\pi/2$

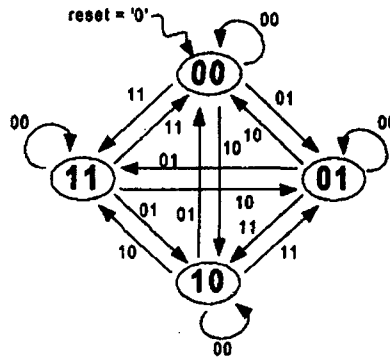


그림 2. 차동 상태 다이어그램
Fig. 2. Differential State Diagram

차동 부호화된 신호는 FCC에서 정하는 10dB이상의 처리 이득을 위해, 11비트 길이의 PN code (00011101101)와 XOR 연산되어 확산된다. 그림 3은 대역 확산기 구조로서 I, Q 채널의 11비트 길이의 데이터를 대역확산을 시키는 블록을 나타낸다.

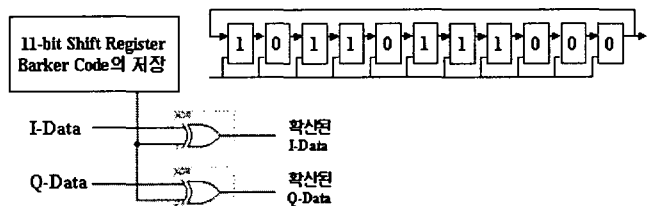


그림 3. 대역 확산기 구조
Fig. 3. Structure of Spread Spectrum

대역 확산된 신호는 QPSK 변조 블록에서 최종적으로 출력 신호로 변조 된다. 입력된 신호는 그림 4와 같은 위상 분포를 바탕으로 식 (2)와 같이 연산된다. 이때 신호의 위상은 $(2n + 1)\pi/4$ ($n = 0, 1, 2, 3$)이다. QPSK 변조된 반송파 신호는 DA Converter를 통하여 아나로그 파형으로 출력된다.

$$S(t) = S_I(t)\cos\omega_c(t) + S_Q(t)\sin\omega_c(t)$$

$$= A\cos(\omega t - \theta)$$

$$A = \sqrt{S_I(t)^2 + S_Q(t)^2}$$

$$\theta = \tan^{-1} \frac{S_Q(t)}{S_I(t)}$$

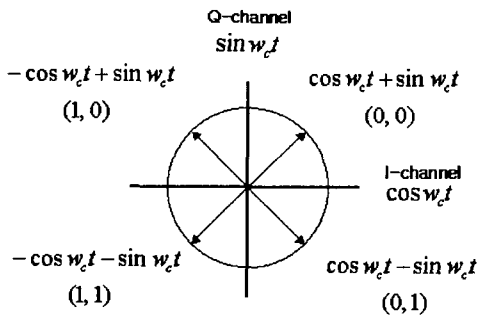


그림 4. QPSK 변조를 위한 위상분포
Fig. 4. Phase diagram of QPSK

2 수신부 구조

수신부는 그림 5와 같이 크게 반송파 down converter 부분과 정합필터(matched filter), 동기화 부분 그리고 DQPSK decoder 부분으로 구성된다.

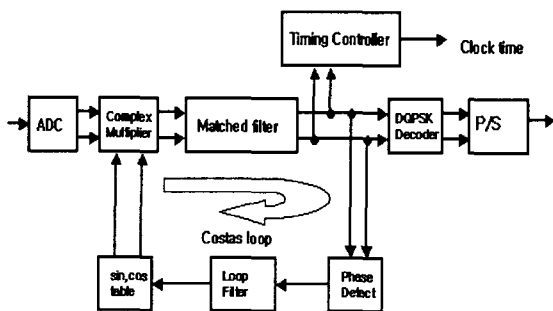


그림 5. 수신부 구조
Fig. 5. Receiver structure

2.1 반송파 Down converter

ADC로 수신된 신호는 복소 곱셈기에서 수신기 국부 신호와 곱해지면서 down conversion된다. 이때 실수 성분만 쓰느냐 아니면 실수, 허수 성분을 같이 쓰느냐에 따라 DSB와 SSB 시스템으로 나뉜다. DSB방식을 쓰면 구조는 간단하지만 출력 값이 직류성분과 두 배의 주파수 성분을 포함하는 단점이 있어서 적절한 LPF를 사용해서 제거해야 한다. 이와 반대로 SSB시스템을 이용하려면 입력된 실수 데이터를 힐버트 변환을 통해 복소수로 변환 시켜줘야 하는 복잡함이 있지만 SNR이 좋은 장점이 있다. 그림 6은 힐버트 변환을 이용한 SSB 시스템에서 곱셈기의 블록을 나타낸다.

2.2 정합 필터

정확한 역확산을 위해서 입력 신호에 포함된 PN code와 수신 시스템의 PN code는 동기를 이루어야 한다. 이를 위해 자기 상관 관계(autocorrelation)를 이용해서 PN code의 일치점을 찾는다. DSSS 시스템은 자기 상관 관계 곡선의 부엽이 최고점에 비해서 매우 작은 특징이 있다. 만약 PN code가 일치한다면 매우 큰 값을 갖게 되고 한 개의 code라도 어긋난다면 그 값은 매우 작아진다. 본 논문에서는 자기 상관 관계의 계산을 위해 그림 7과 같은 정합필터를 사용하였다.

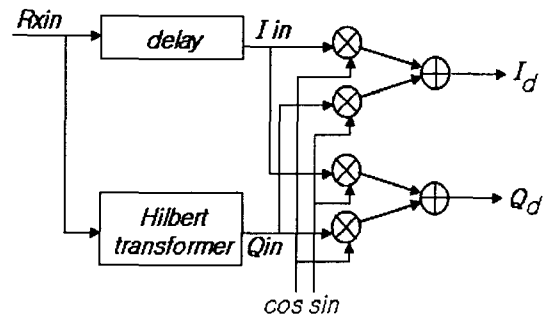


그림 6. SSB 시스템에서 곱셈기
Fig. 6. Complex multiplier of SSB system

일반적으로 PN code의 동기는 동기 획득과 추적으로 나뉜다. 본 논문에서는 동기 획득 방법으로 AD 변환기 출력 샘플 단위로 입력 신호와 수신부 확산 부호를 곱하여 누적하는 방식의 정합 필터를 사용하여 그 출력이 전력 임계값을 넘는 위상을 찾는 직렬 탐색 방식을 사용한다. 동기추적은 획득한 위상을 기준으로 DLL방식을 사용하여 추적한다. 자기 상관 관계의 값을 식으로 표현하면 식 (3)과 같다.

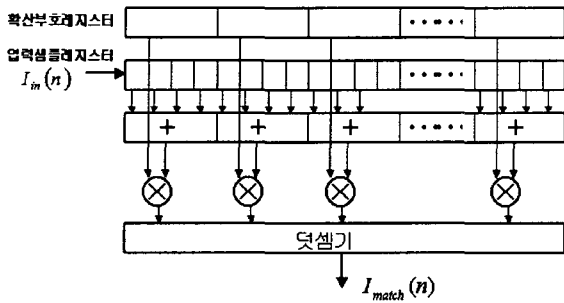


그림 7. 정합필터
Fig. 7. Matched filter

$$I_{match} = \sum_{i=0}^{10} \left\{ PNcode[i] \left(\sum_{j=0}^3 I_{in}[i*4+j] \right) \right\} \quad (3)$$

연산량을 줄이기 위하여 괄호 안의 4개의 샘플 값을 더하고, 이 값을 11개의 PN code와 곱해서 더한다. 이런 연산 방법을 사용함으로써 44번의 곱을 11번의 곱으로 줄일 수 있다. 이 연산은 매 샘플링 타임마다 수행된다. 정합필터에서 구해진 I채널과 Q채널의 값으로 타이머져 어기는 심볼 타이밍을 복원한다.

2.3 동기화

동기화는 전송되는 신호의 반송파를 추적하여 수신기의 국부신호와 일치시키는 과정이다. 주로 사용되는 기술로는 PLL(Phase Locked Loop)이 있으며, 입력 신호의 위상과 일치하는 출력 신호의 위상을 연속적으로 제공하는 일종의 제어루프이다. PLL은 구체적으로는 위상 검출기, 루프필터, VCO(Voltage Controlled Oscillator)로 구성되는 비교적 단순한 구조를 가지고 있다. 그림 8은 PLL의 블록도이다.

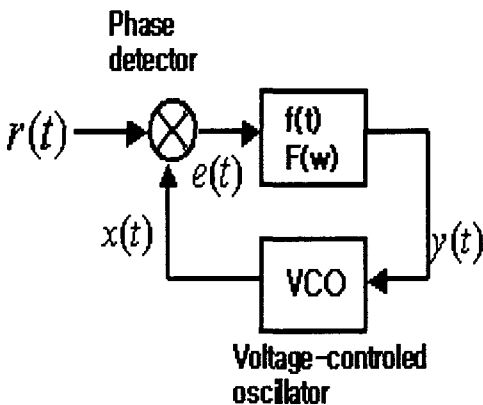


그림 8. 위상 오차 검출기
Fig. 8. Phase lock loop

궁극적으로 위상차이를 0값에 접근시켜 x(t)와 r(t)가 유사한 값을 갖게 함으로서 입력값 r(t)를 추적하는 것이다. 필터는 e(t)값을 적절하게 필터링해서 위상차이에 대한 정보를 VCO에 입력한다. VCO는 과거의 값에 위상차이의 정보 만큼 위상을 변화시켜 x(t)를 출력한다.

DSSS-QPSK방식의 모델 수신부에서는 반송파 동기추적과 PN code 동기획득이 중요한 문제이다. 반송파의 동기를 일치시킴으로써 SNR을 증가시키고 이를 위한 회로로 Costas loop가 잘 알려져 있다. 그림 9는 Costas loop로 억압 반송파 복원 loop로서 제곱 연산 부분이 필요로 하지 않는 장점이 있다.

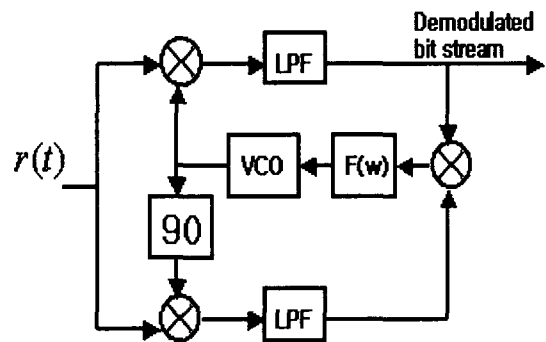


그림 9. 코스타스 루프
Fig. 9. Costas loop

본 논문에서는 일반적인 수신기 구조[1]와 달리 정합필터가 역확산기가 하는 역할을 하는 것을 이용하여 역확산기 부분을 생략하여 수신기 구조를 간단히 하였다. 수신기에서 입력되는 신호의 위상과 수신기 자체의 반송파의 위상이 일치하지 않는다면 위상차이가 발생하게 되는데 이 위상차를 보상하기 위해 어느 정도의 위상차가 생기는지 확인하는 부분이 필요하다. 이 위상차는 식 (4)에서와 같은 식으로 정합필터의 출력 값을 가지고 위상차를 계산할 수 있다.

$$\phi = I \cdot \text{sign}(Q) - Q \cdot \text{sign}(I) \quad (4)$$

위상차 ϕ 는 정합필터의 출력값 I, Q에 의하여 결정되는데 입력신호 반송파와 수신부 시스템의 반송파간에 위상차가 없다면 Phase Error는 0 이고, 위상차이가 - 또는 +의 값을 갖는다면 Phase Error는 위상차의 정도에 따라서 - 또는 +의 값을 갖게 된다. 루프필터 F(w)는 입력신호와 수신부 반송파간에 발생된 위상차에 따라 위상차를 보상하게 된다.

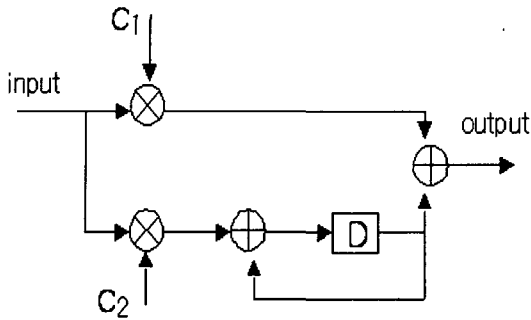


그림 10. 루프필터
Fig. 10. Loop Filter

그림 10과 같은 1차 루프 필터에서 전달함수를 구해보면 식 (5)과 같다.

$$F(x) = C_1 + \frac{C_2}{1 - z^{-1}} \quad (5)$$

$$C_1 = \frac{1}{K_o K_d} \frac{8\zeta w_n T}{4 + 4\zeta w_n T + (w_n T)^2}$$

$$C_2 = \frac{1}{K_o K_d} \frac{4(\zeta w_n T)^2}{4 + 4\zeta w_n T + (w_n T)^2}$$

- w_n : the natural frequency
- ζ : the damping factor
- T : the sampling period of the phase detector
- K_d : the phase detector gain
- K_o : NCO gain

여기서 C_1 과 C_2 는 루프 밴드 폭(loop bandwidth)과 안정화 속도(settling speed)로 결정된다.[1]

본 논문에서 제안한 방법은 Costas Loop와 PN code 추적 루프는 서로 독립적으로 구성하였다. 정합 필터의 신호 전력을 이용한 PN code 추적은 I, Q채널의 반송파 위상의 이동으로 인해서 영향을 받지 않는다. 그래서 PN 동기획득이 Costas Loop의 반송파가 복원되기 전 수 심 불 내에서 빠르게 이루어진다. PN동기 이후 Costas Loop는 PN 동기추적을 수행한다.

2.4 DQPSK Decoder

송신부에서 데이터를 차동 부호화를 통해서 송신하기 때문에 수신기는 이를 다시 복원해야 하는데 Costas Loop는 동기를 추적하는데 있어 오차가 수반된다. 이때 입력 데이터가 0°의 값을 가진다면 미세한 오차에 의해 데이터의 부호가 바뀌는 되는 현상이 나타난다. 이러한 문제의 해결을 위해 45° 만큼 위상을 회전 시켜준다.

따라서 ±45° 이내의 오차는 데이터에 직접적인 영향을 미치지 못한다. 이를 수식으로 표현하면, 차동 복호화기에서 45° 회전하기 위해 (1-j)를 입력신호에 식 (6)와 같이 곱해준다.

$$\begin{aligned} (I_{rot}(k), Q_{rot}(k)) &= (I_k + jQ_k)(1-j) \\ &= (I_k + Q_k) + j(-I_k + Q_k) \\ &= I_{rot}(k) + jQ_{rot}(k) \end{aligned} \quad (6)$$

$$\begin{aligned} (I(k_{rec}), Q(k_{rec})) &= (I_k + jQ_k)[I_{rot}(k-1) + jQ_{rot}(k-1)]^* \\ &= (I_k I_{rot}(k-1) + Q_k Q_{rot}(k-1)) \\ &\quad + j(Q_k I_{rot}(k-1) - I_k Q_{rot}(k-1)) \end{aligned} \quad (7)$$

식 (7)에서 I_k 와 Q_k 은 정합필터에서 출력되는 DQPSK decoder의 입력이고 $I(k_{rec})$ 와 $Q(k_{rec})$ 는 수신기에서 복원된 신호로 각각의 부호가 출력 데이터를 나타낸다. I, Q 병렬 부호의 데이터는 P/S(parallel to serial)블록을 거치면서 직렬 데이터로 복원되어 출력된다.

III. 구현 알고리즘

1 송신부 구현 알고리즘

그림 11은 송신부 알고리즘을 나타내는 순서도이다. 변수 초기화에서는 데이터를 출력할 때 QPSK 변조하기 위한 sine, cosine 테이블을 입력하고 대역 확산을 위한 PN-code 변수들을 설정한다. 버퍼를 통하여 출력할 데이터를 입력 받는다. QPSK변조를 하기 위해 직렬 데이터를 I채널 Q채널의 형태의 병렬 데이터로 변환한다. I채널, Q채널의 데이터는 그레이 부호화법에 의해 차동 부호화기에 차동부호화된다.. PN-code와 차동 부호화기의 출력 데이터가 XOR연산 되면서 입력데이터가 확산된다. QPSK변조기에서 확산된 데이터와 출력을 위한 sin, cos 테이블 값을 I채널과 Q채널의 데이터 값에 따라서 곱하여 출력할 데이터를 버퍼에 저장한다. 출력 버퍼는 2개를 이용하여 데이터의 오버플로 현상을 방지하여 데이터가 손실되는 것을 방지한다. 이후 타이머에 의한 주기적인 인터럽트가 발생하면서 출력 버퍼의 데이터는 DA Converter를 통하여 아날로그 신호로 출력된다.

수행과정 중 DSP 연산속도의 장점을 이용하기 위하여 QPSK변조부의 데이터는 두개의 버퍼에 저장되어 이용된다. DSP가 기본적으로 32비트의 연산을 수행하기 때문에 32비트단위로 데이터를 입력받아 저장하고 이것을 한번에 QPSK변조해서 버퍼에 저장하고 타이머에 의해 일정하게 인터럽트가 발생하여 출력되고, DSP사용 가능한 연산시간에 다른 연산을 할 수 있다.

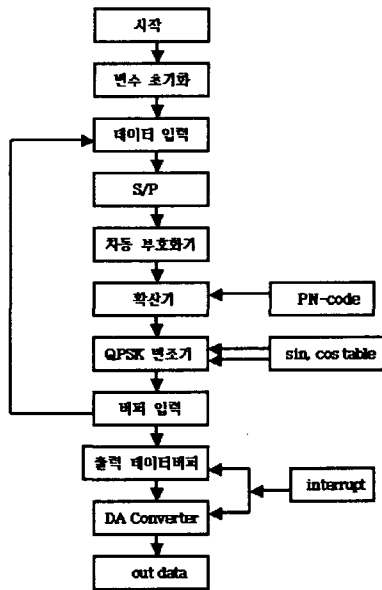


그림 11. 송신부 알고리즘
Fig. 11. Algorithm of transmitter

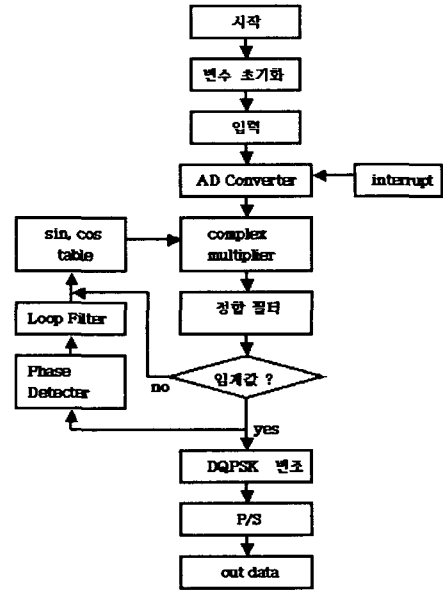


그림 12. 수신부 알고리즘
Fig. 12. Algorithm of receiver

2 수신부 구현 알고리즘

그림 12는 수신부 알고리즘을 나타내는 순서도이다. 송신부와 같이 변수 초기화에서는 수신된 신호를 복조하기 위한 sin, cos 테이블과 데이터 역확산을 위한 PN-code 값 등의 변수들을 설정한다. DSP의 타이머 인터럽트를 주기적으로 발생하여 AD Converter로부터 수신된 데이터를 주기적으로 입력 받는다. AD Converter로부터 입력된 데이터는 이미 저장되어 있는 sin, cos 테이블 값과 힐버트변환을 이용한 복소 곱셈기를 통하여 정합필터로 입력된다. 정합필터에서는 자기상관관계를 이용하여 입력된 데이터와 연산하여 연산결과가 임계값 이상이면 타이머 제어신호를 발생하여 수신된 데이터를 출력하게 되고, 임계값 이하이면 임계값 이상이 될 때까지 대기한다. 타이머 제어기에서 제어신호가 발생하면 위상차를 구하고, 구해진 위상차를 루프필터에 통과시켜서 sine, cosine 테이블 값의 변지를 재지정하여 복소 곱셈기에서 입력데이터와 sine, cosine 테이블 값을 변화시켜서 위상차를 줄여주게 된다. DQPSK변조를 거친 후 I채널과 Q채널의 병렬 데이터는 직렬 데이터로 변환되어 출력된다.

IV. 시뮬레이션 및 구현 결과

그림 13과 그림 14는 I 채널과 Q채널에서 역확산기와 정합 필터에서 출력되는 파형을 시뮬레이션 한 결과이다.

정합필터와 역확산기는 출력데이터와 위상 정보를 가지고 있는데 그림에서 나타나는 것과 같이 역확산기에서 최대값이 출력되는 시점과 정합 필터에서 출력되는 시점이 같음을 알 수 있다. 이 결과를 이용하여 본 논문에서 역확산기 부분을 수신기 블록에서 제거하여도 정합 필터의 출력을 이용하여 데이터 복원이 가능하게 할 수 있음을 알 수 있다. 정합필터에서 출력되는 값과 역확산기에서 출력되는 값의 주기가 같고 출력되는 데이터의 부호가 같아서 동기화를 위한 정보와 수신데이터에 대한 정보가 비슷함을 알 수 있다.

역확산기는 데이터 출력과 신호의 위상차를 검출하여 위상을 보상하게 하는 역할을 한다. 그림 15에서 역확산기에서 검출한 위상차와 정합필터에서 검출한 위상차가 시간 지연이 있고 비슷한 결과를 나타냄을 알 수 있다.

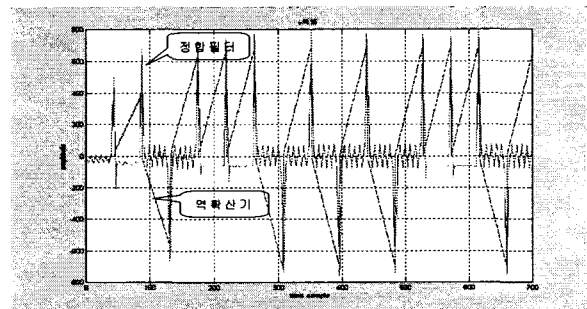


그림 13. I 채널 역확산기 출력과 정합필터 출력
Fig. 13. I channel de-spreader and match filter output

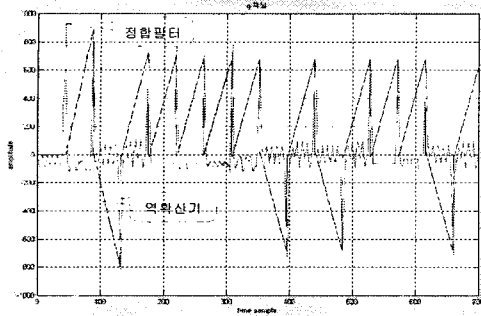


그림 14. Q 채널 역확산기 출력과 정합필터 출력
Fig. 14. Q channel de-spreader and match filter output

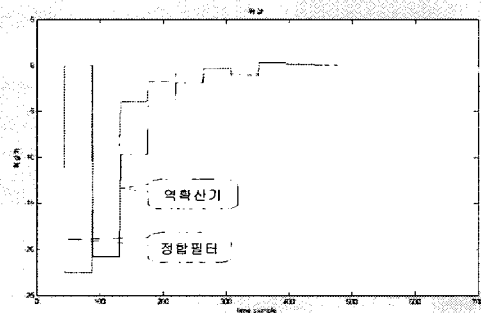


그림 15. 정합필터와 역확산기로 본 위상차
Fig. 15. Match filter and de-spreader phase

그래서 정합필터의 출력만 가지고 위상차를 검출하고 보상할 수 있음을 알 수 있다.

그림 16은 전체 시스템을 구성하고 송신부에서 DA 컨버터를 통하여 출력되는 송신 QPSK 데이터 심볼 파형을 측정된 결과이다. 그림 17은 본 논문에서 제안한 방법으로 시스템을 구성하고 송신부에서 데이터를 전송하고 수신부에서 수신된 결과를 측정된 송신 데이터와 수신 데이터 결과이다. 송수신 데이터는 시간지연이 있고 같은 데이터 값을 가지고 있음을 확인하였다.

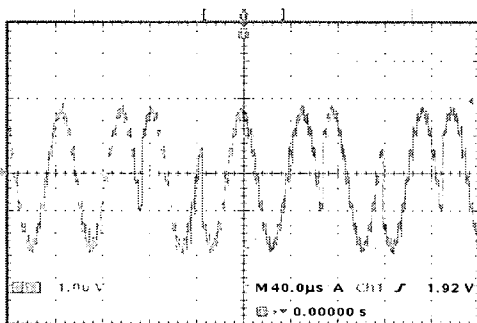


그림 16. 송신부 아날로그 출력파형
Fig. 16. Analog signal from the transmitter

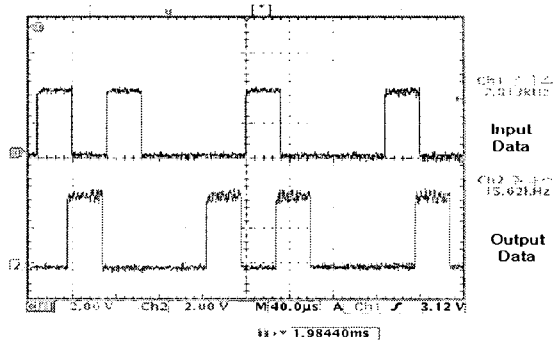


그림 17. 입출력 데이터 파형
Fig. 17. Signal of input and output

V. 결론

본 논문에서는 무선 LAN을 위한 모뎀을 DSP를 이용하여 베이스밴드 대역에서 직접 DA-AD Converter를 이용하여 구현하였다. 비록 IF와 RF모듈을 사용하지 않고 구현하고, 테스트했지만 실질적으로 디지털 영역에서의 기능을 실험하기에는 충분하였다. 본 연구에서는 모뎀의 전송 속도를 중요하게 고려하지는 않았다. 그 이유는 전송 속도가 DSP의 연산 속도와 밀접한 관련이 있고, 연산 속도는 DSP의 성능에 따라 다르기 때문이다. 현재 DSP의 기술과 발전의 속도를 보면, DSP를 이용한 고속모뎀의 출현은 충분히 가능하리라고 생각된다. 본 논문은 수신기 블록에서 역확산기 부분의 역할을 정합 필터가 하게하고 시뮬레이션 및 실험을 한 결과 데이터 복원에 있어서 기존의 수신기 구조로 한 것과 같은 결과를 나타내었고 구조가 간단하여 연산량은 감소시킬 수 있었다. 따라서 DSP의 연산 시간이 보다 단축되는 효과가 있다.

참고 문헌

- [1] Jen-Shi, His-Pin Ma, and Tzi-Dar Chiueh, "A 2.6, 44-MHz All-Digital QPSK Direct Sequence Spread Spectrum Transceiver IC", IEEE Journal of Solid-State Circuits, vol. 32, no. 10, pp. 1499-1510, October 1997.
- [2] Boskovic, B. and Markovic, M., "On Spread Spectrum Modulation Techniques Applied in IEEE 802.11 Wireless LAN Standard", EUROCOMM 2000. Information Systems for Enhanced Public Safety and Security. IEEE/AFCEA, pp. 238-241, 2000.
- [3] Hyun Man Chang and Myung H. Sunwoo, "Implementation of a DSSS modem ASIC chip for wireless LAN", 1998 IEEE Workshop on Signal Processing Systems, pp. 243-252, 1998.
- [4] Bernard Sklar, "Digital Communications Fundamentals and Applications", Prentice-Hall, 2001.

- [5] J. S. Wu, M. L. Liu, H. P. Ma and T. D. Chiueh, "Design and Implementation of an All-Digital QPSK Direct-Sequence Spread-Spectrum Transceiver IC", PIMRC'96, vol 3, pp.1024-1028, October, 1996.
- [6] Bong-Young, Charles Chien and Henry Samuelli, "Performance Analysis of an All-Digital BPSK Direct Sequence Spread Spectrum IF Receiver Architecture", IEEE Journal on selected areas in communications vol. 11, pp. 1096-1107, September, 1993.
- [7] Bob O'Hara and Al Petrick, "IEEE 802.11 Handbook, A Designer's Companion", IEEE, 1999
- [8] 강창언, "디지털 통신 시스템", 북두출판사, 1998.
- [9] Z. Nikolic, B. Dimitrijevic, N. Milosevic, and D. Paunovic, "Constant modulus interference rejection at DSSS/QPSK transmission system", Electronics Letters, Vol. 38, Issue 19, pp. 1130-1131, 12 Sep 2002.
- [10] I. F. Progni, W. R. Michalson, and M. C. Bromberg, "Accurate synchronization using a full duplex DSSS channel", Position Location and Navigation Symposium, PLANS 2004, pp. 220-226, April 2004.



안도량(Do-Rang Ahn)

1997년 동국대 공대 전기공학과 졸업.
1999년 동대학원 전기공학과 졸업(석사)
1999년~현재 동대학원 전기공학과 박사과정



이동욱(Dong-Wook Lee)

1983년 서울대 공대 전기공학과 졸업.
1985년 동대학원 전기공학과 졸업(석사)
1992년 미국 조지아 공대 전기공학과 졸업(공박).

1992년~1993년 삼성SDS(주) 선임연구원.
1992년 미국 조지아 공대 전기공학과 졸업(공박).
1992년~1993년 삼성SDS(주) 선임연구원.
1993년~현재 동국대 공대 전기공학과 교수.
