

AND Gate PDP의 DC 방전셀 방전특성 최적화

(Optimization on the Characteristics of DC Discharge Cell in the AND Gate PDPs)

염정덕*

(Jeong-Duk Ryeom)

요 약

본 연구에서는 새로 고안된 AND gate PDP의 AND gate를 구성하는 4개의 DC 방전셀에 대한 상호간의 영향을 방전특성 측면에서 규명하였다. 이 4개의 방전셀들의 방전개시 전압은 인접한 방전셀의 방전에서 발생하는 공간전하와 깊은 관련이 있다는 것을 알았다. 실험 결과 각 방전셀의 최적화된 방전 전압을 결정할 수 있었으며 PDP의 address 방전에 이용되는 floating 방전을 도와주는 priming 방전의 동작마진을 얻기가 어렵다는 것을 정성적으로 알 수 있었다.

Abstract

This research investigated the influence on the 4 cell of DC discharge on the side of the discharge characteristic. This DC discharge cells are that composes AND gate of AND gate PDP newly proposed. As for the discharge starting voltage of this discharge cell of 4 pieces, it has been understood that there is deeply a relation up to the space charge generated from the discharge of adjoining discharge cell through the experiment. The discharge voltages which had become each discharge cell optimizations from the experiment result were decided. Moreover, the width of the margin of two AND input voltages is wide and the AND function occurs clearly. However, it has been qualitatively understood that it is difficult enough to obtain the operation margin of the DC priming discharge used to address discharge of PDP.

Key Words : AC PDP, AND gate, DC discharge, floating discharge, circuit cost reduction

1. 서 론

플라즈마 디스플레이 패널(plasma display panel 이하 PDP)은 대화면화가 용이하고 영상정보의 표현 방식이 디지털화되어 있는 유일한 디스플레이로 디지털 HDTV용으로 가정 적합한 디스플레이라고 할

수 있다[1]. 그러나 현재 PDP는 화면 대각크기 기준으로 인치(inch)당 30만원 수준의 고가이므로 PDP를 대중화시키는 데 이 가격적인 측면이 가장 큰 장애가 되어왔다. 현재 일본의 선진 업체들은 인치당 10만원 이하가 되어야만 PDP의 수요가 늘어날 것으로 보고있다[2].

개발단계에서 PDP는 재료비 중 공정 재료비와 회로 재료비의 비율이 50:50 정도로 알려져 있다. 양산화가 진행되면 공정 재료비는 대량생산이라는 특성상 그 비율이 줄어든다. 그러나 회로부분은 범용 부품들을 주로 쓰기 때문에 양산화가 진행되어도 재료

* 주저자 : 경주대학교 컴퓨터전자공학부 조교수

Tel : 054-770-5290, Fax : 054-748-2895

E-mail : marine@kyongju.ac.kr

접수일자 : 2004년 4월 6일

1차심사 : 2004년 4월 9일

심사완료 : 2004년 5월 10일

비의 감소 폭이 크지 않아 그 비중이 상대적으로 증가하게 된다. 결국 공정 재료비 대 회로 재료비의 비율이 20:80 정도가 될 것으로 전문가들은 예상하고 있다. 그러므로 PDP의 가격을 저감시키기 위해서는 회로 재료비를 낮추는 것이 필수적이며 획기적으로 회로 재료비를 낮출 수 있는 연구는 PDP의 시장 확대 측면에서 아주 큰 의의를 갖는다고 할 수가 있다.

PDP는 수평주사 및 데이터 써닝기 기능을 하는 고전압 스위칭 회로인 MOS FET들로 집적된 구동 IC들을 다수 사용한다. 이러한 소자들은 그 값이 매우 비싸다. 그러므로 이러한 고전압 IC의 개수를 줄이는 것은 곧 회로재료비 절감에 매우 효과적인 역할을 한다. 한편, 기체방전은 비선형 특성을 가지며 이를 이용하면 AND gate, OR gate, NOR gate등 기본적인 논리회로를 구성하는 것이 가능하다[1]. 이러한 기체방전이 가지는 로직 특성은 다른 디스플레이에는 없는 PDP만의 장점으로 이러한 기체방전 논리회로를 사용하여 수평주사 기능을 수행하면 PDP의 고전압 구동회로의 개수를 저감시킬 수 있고 이는 곧 고가의 고전압 구동 IC의 개수 저감으로 이어지므로 가격 절감에 큰 영향을 미친다고 할 수 있다 [3][4][5].

본 연구는 이전 연구에서 제시한 새로운 방전 AND gate 구동기술[6]의 핵심이 되는 DC 방전 AND gate에 대한 특성을 실험을 통하여 해석한 것으로, 특히 AND gate 방전을 구성하는 각 DC 방전 셀들 상호간의 영향을 공간전하 측면에서 해석하였다. 또한 이를 통하여 최적의 AND 방전조건을 도출하였다.

2. 실험방법

그림1은 실험에 사용된 AND gate PDP의 전극구조이다. 그림의 PDP는 AC 방전 영역과 DC 방전영역으로 나누며 AC 방전 영역은 기존의 상용화 되어 있는 AC 3전극 면방전 PDP의 구조와 동일하다. DC 영역은 세로 방향으로 두개의 전극이 설치되어 있고 가로 방향으로는 Ya전극과 보조전극Ex로 이루어져 있다. AND gate의 동작 원리를 보면 다음과 같다. 먼저 B전극에 인가된 전압과 함께 보조전극 Ex에

전압이 인가되어 방전①이 개시되면 방전①에 의해 발생된 공간전하들이 방전공간의 방전 개시전압을 저하시켜 상대적으로 낮은 전압을 Ya에 인가하여도 방전②가 일어난다. 여기서 Ya의 전압을 적절히 설정하면 Ex전극에 의한 방전①이 일어나는 경우에만 방전②가 이어날 수 있도록 하는 것이 가능하다. 한편 A전극에 인가된 전압과 함께 Ya에 적당한 전압을 인가하면 방전②가 일어난 경우에만 방전③이 일어나도록 할 수 있다. 이렇게 하면 방전①과 방전②를 두개의 입력으로 하는 기체 방전 AND gate가 구성되며 그 출력은 방전③으로 얻어진다. 이 방전③은 전극 A-Y-D로 이어지는 AC-DC floating 방전을 유도할 수 있으므로 이 AND gate의 출력을 사용하여 AC 방전영역의 address 방전을 제어 할 수 있다. 이것이 새로운 방전 AND gate를 이용한 PDP 구동회로 기술의 원리이다[6].

본 연구에서는 이 중에서 방전 AND gate를 구성하는 4개의 DC 방전셀의 상호 연관성에 대하여 고찰하는 것을 주 내용으로 한다.

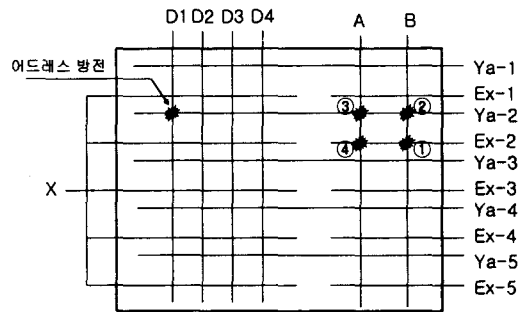


그림 1. 실험에 사용한 AND gate PDP의 전극구조
Fig. 1. Electrode structure of AND gate PDP using experiment

그림 2는 본 연구에 사용된 실험장치의 구성도이다. 본 실험장치는 퍼스널 컴퓨터와 제어용 펄스 타이밍 발생기, 각 전극에 고전압 펄스를 공급하는 전극구동회로들 그리고 각종 전원으로 나누어져 있다. 퍼스널 컴퓨터는 디지털 시스템 설계용 S/W가 인스톨되어 있어 구동펄스의 타이밍을 설계하고 시뮬레이션한 후 펄스 발생부의 FPGA를 프로그래밍하는데 사용된다. 펄스 발생부에는 FPGA와 몇 개의 펄

AND Gate PDP의 DC 방전셀 방전특성 최적화

타이머를 사용하여 설계된 각종 펄스들의 폭 및 인가 타이밍을 미세 조정하는 것이 가능하다. 각종 전극의 구동회로는 직접 PDP에 인가하는 고전압 펄스를 발생시키는 부분으로 N형과 P형의 고전압 FET가 쌍으로 되어있는 인버터 회로들로 구성되어 있다. 또한 Y전극 구동회로의 중간에는 필요한 타이밍에 Y전극을 전기적으로 분리(floating)시킬 수 있는 floating 스위치회로가 고안되어 있다. 전원 공급장치는 로직전원, 포토커플러용 전원 및 PDP 구동용 고전압 전원등의 각종 DC 전압들을 공급하기 위한 전원들로서 각각 선형 전원을 이용하여 전압 조절이 가능하게 하였다. 이 시스템에는 광파이버와 828nm에서 최고 감도를 가지는 발광다이오드 및 신호 증폭기로 이루어진 광출력 검출장치가 구비되어 있어 각종 펄스의 타이밍과 동기화 방전의 시간적 특성을 측정할 수 있도록 되어 있다.

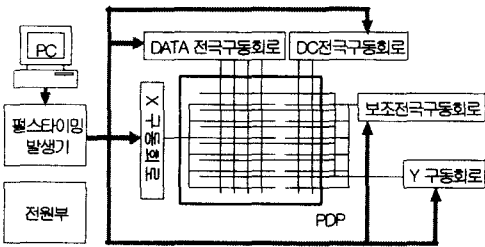


그림 2. AND gate PDP 구동회로 시스템의 구성도
Fig. 2. Diagram of driving system for AND gate PDP

그림 3은 4개의 DC 방전으로 구성된 방전 AND gate의 전극구조 및 방전 진행 순서를 자세히 도시한 것이다. 그림에서 알 수 있듯이 B전극과 함께 Ex 전극과 Ya전극에 의한 방전을 두개의 입력으로 하고 Ya전극과 A전극 사이의 방전을 출력으로 하는 방전 AND gate가 각 주사라인마다 하나씩 설치되어 있다.

여기서 방전④는 AND gate 방전 이후 수행되는 PDP의 address 방전인 AC-DC floating 방전의 신뢰도를 향상시키기 위해 floating 방전 기간동안에 방전공간에 공간전하를 공급하는 프라임방전이다. 각각 전극들의 바깥쪽에는 가변저항기를 연결하여 이를 전류제한 소자로 사용하였다. Ex전극에는 9

kΩ, Ya전극에는 6kΩ, A, B전극에는 각각 5kΩ, 6kΩ의 저항이 연결되어 있고 floating 방전시에만 A전극은 저항을 전기적으로 분리시키도록 고안되었다.

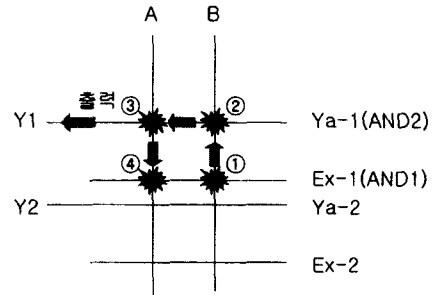


그림 3. DC 방전 AND gate의 방전 진행 과정
Fig. 3. Discharge process of DC discharge AND gate

그림 4는 실험에 사용된 DC 방전 구동 타이밍이다. 여기서 방전①, ②, ③, ④의 역할은 전술한 바와 같다. 본 연구에서는 특성실험을 위해 Ya 및 Ex전극에 인가되는 방전들을 각각 분리하여 그 전압과 펄스폭을 독립적으로 제어하면서 실험을 수행하였다. Ya전극은 방전②를 위한 Ya1전압과 방전③을 위한 Ya2전압으로 나누고 Ex전극의 경우에도 방전①을 위한 Ex1전압과 방전④를 위한 Ex2전압으로 각각 나누어 인가하였다. B전극의 전압은 방전①, ② 모두 같은 전압을 사용하지만, A전극의 전압은 AND gate의 출력방전③과 AC addressing을 위한 방전④를 각각 A1, A2로 나누어 인가하였다. 각 펄스의 펄스폭은 모두 4[μs]를 기준으로 하며 각각의 펄스들은 중첩하지 않도록 설계하였다.

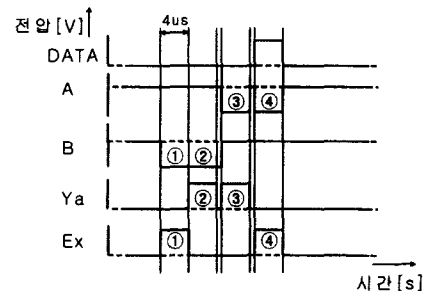


그림 4. DC AND gate의 방전 구동 타이밍
Fig. 4. Discharge timing chart of the DC AND gate

3. 방전특성 최적화 실험결과

그림 5는 실험용 PDP를 사용하여 DC AND gate 를 직접 구동한 결과를 CCD 카메라를 사용하여 촬영한 이미지이다. 그림에서 A, B 전극에 인가된 전압은 부의 극성이므로 방전은 음극을 따라 퍼져 가는 형상으로 진행된다. 그러므로 방전①에 의한 공간전하 뿐 아니라 전극을 따라 확산하는 방전 플라즈마 자체도 방전②의 특성에 영향을 줄 것으로 추론된다. A 전극의 경우도 동일하여 출력방전③이 프라이밍 방전④에 영향을 미치고 그 결과 프라이밍 방전이 쉽게 일어나고 이 프라이밍 방전의 플라즈마가 확산하여 출력 방전 이후에 오는 전극 D-Y-A 간의 AC-DC floating 방전에 영향을 미칠 것으로 생각할 수 있다.

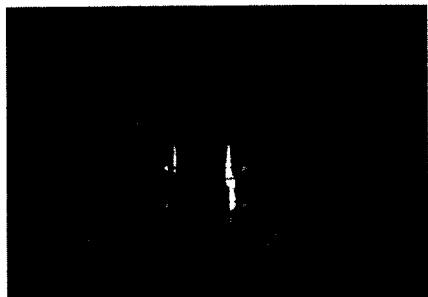


그림 5. DC 방전 AND gate 구동실험 결과
Fig. 5. Results of the driving experiment with the DC discharge AND gate

3.1 방전①에 의한 방전②의 영향

그림 6에 Ex1전압에 의한 방전①이 Ya1의 방전개시전압②에 미치는 영향을 측정하여 나타내었다. 방전①의 강도가 강해져도 Ya1전압의 방전②가 가지는 방전개시전압의 특성에 미치는 효과는 동일한 것으로 나타났다. B전극의 전압을 변화시킨 경우에도 Ya1의 최대전압과 최소전압의 변동폭이 모두 동일하므로 방전②는 방전①의 여부에만 영향을 받을 뿐 방전②의 강도에는 무관하다고 할 수 있다.

이후 실험에서는 B전극의 값은 110[V], Ex1전압은 125[V]로 고정시킨 상태에서 진행하였다. 이 경우 Ya1전압은 Ex1 전압에 상관없이 30[V]-125[V]의 동작마진을 얻을 수 있다.

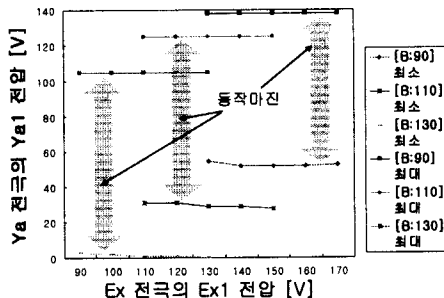


그림 6. Ex 전극의 Ex1전압과 Ya 전극의 Ya1전압과의 관계

Fig. 6. Relation of the voltage Ex1 of electrode Ex and the voltage Ya1 of electrode Ya

3.2 방전②에 의한 방전③의 영향

그림 7에 AND 입력인 B-Ya 전극들 사이의 방전②의 강도에 의해 AND 로직의 출력을 나타내는 A-Ya 전극들 사이의 방전③의 동작마진을 측정하여 나타내었다. 그림 6에서 보면 방전②에 해당하는 Ya1의 전압이 낮은 경우에는 출력방전③의 Ya2전압의 동작마진이 급격히 줄어드는 것을 알 수가 있다. 측정결과 방전②의 Ya1전압은 115[V] 근방에서 방전③의 Ya2 전압의 동작마진이 최대로 얻어짐을 알 수 있었다. 또한 A전극의 A1전압을 변화시킨 경우에는 A1전압이 커짐에 따라 Ya2의 최대/최소 전압폭은 거의 일정하게 유지되면서 낮아진다.

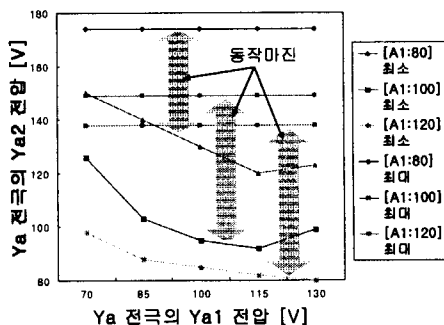


그림 7. Ya 전극의 Ya1전압과 Ya 전극의 Ya2전압과의 관계

Fig. 7. Relation of the voltage Ya1 of electrode Ya and the voltage Ya2 of electrode Ya

3.3 방전③에 의한 방전④의 영향

그림 8에서 출력방전③에 의한 프라이밍 방전④

의 동작마진을 분석하여 도식화하였다. 그림에서 보면 Ya2의 전압이 낮을수록 역시 Ex2의 전압마진은 작아진다. 또한 A전극의 A1전압이 증가함에 따라 Ya2전압 및 Ex2의 최대/최소 전압의 폭이 동일하게 유지되면서 낮아지는 것으로 보아 A1전압이 각 방전의 동작마진에 주는 영향이 미미하다고 볼 수 있다. 종합적으로 볼 때 Ya 전극의 Ya1전압의 동작마진은 30[V]-125[V]로 상당히 여유가 있고 Ya2전압의 동작마진은 표1과 같다.

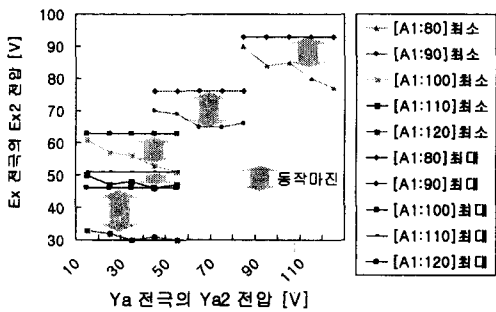


그림 8. Ya전극의 Ya2전압과 Ex전극의 Ex2전압과의 관계
 Fig. 8. Relation of the voltage Ya2 of electrode Ya and the voltage Ex2 of electrode Ex

표 1. A전극의 A1전압에 대한 Ya2전압의 동작마진
 Table 1. Drive margin of the voltage Ya2 to the voltage A1 of electrode A

A전극의 A1전압	Ya2 전압의 동작마진
80V	120-175V
100V	90-150V
120V	80-140V

그러나 표1의 A1전압과 Ya2의 전압마진을 고려하여 (3)의 측정 결과에서 보면 Ex2전압이 제대로 동작마진을 확보하기 위한 조건은 A전극의 A1전압이 80[V]에서 Ya2전압이 120[V]일때이며 이때 Ex2 전압의 동작마진은 75-90[V]를 가지며 그 외의 A1 전압에서는 표1에 나타난 Ya2전압의 동작마진 안에 들어가는 Ex2전압의 측정결과를 얻을 수가 없었다. 그러므로 Ya2전압을 이용하여 프라이밍 방전④을 일으키는 조건을 얻는 것은 다른 방전에 비해 상대적으로 어렵다고 할 수 있다.

3.4 방전①에 의한 방전③의 영향

그림 9에 Ex1전압에 의한 방전①에 대한 방전③의 최소방전 조건을 측정하여 나타내었다. 그림으로부터 Ex1의 전압이 증가하면 Ya2가 낮은 전압에서도 방전해 버리는 것을 알 수 있다. 이것은 AND 기능이 제대로 동작할 수 없는 조건이 되므로 방전조건은 그림 9의 Ya2의 최소전압 보다 낮은 영역에 있어야 한다. 이 결과를 토대로 Ex1전압은 너무 높지 않은 것이 바람직하다. 위 그림 8에서의 Ex2전압과 Ya2전압과의 결과를 고려한다면 A전극의 A1전압이 80[V]에서 Ya2전압이 120[V] 이상을 가지게 하기 위해서는 Ex1전압은 125[V] 이하이어야 함을 알 수 있다.

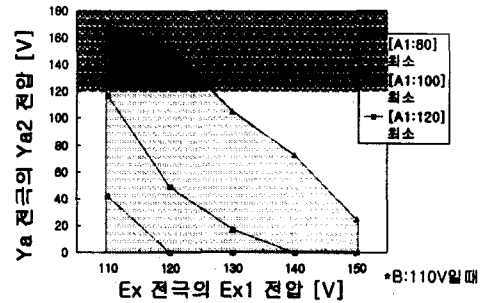


그림 9. Ex 전극의 Ex1전압과 Ya 전극의 Ya2전압과의 관계
 Fig. 9. Relation of the voltage Ex1 of electrode Ex and the voltage Ya2 of electrode Ya

3.5 방전①에 의한 방전④의 영향

그림 10에 Ex1전압에 의해 Ex2 방전이 일어나는 최소전압의 한계를 측정하여 나타내었다. 이것도 역시 Ex1 전압이 증가하면 Ex2 전압이 낮은 곳에서 방전이 시작되어 AND 로직의 기능이 상실된다. 즉, Ex2의 방전조건은 Ex2의 최소보다 작아야 한다. 그러므로 Ex2 전압은 위의 경우 75[V]-90[V]의 동작마진을 가지므로 이 범위에서 AND gate가 신뢰성을 가지려면 Ex1 전압은 역시 125[V] 정도가 적당하고 이때 address와 관련이 있는 전압인 A2 전압은 100[V] 보다 작아야 한다. 그러나 현재 PDP의 전압 조건에서 A2전압은 150[V] 정도 되어야 어드레스 동작이 일어나므로 동작영역은 왼쪽으로 많이 치우치게 되고 불안정해진다. 이 부분은 향후 개선되어

야 할 것으로 보인다.

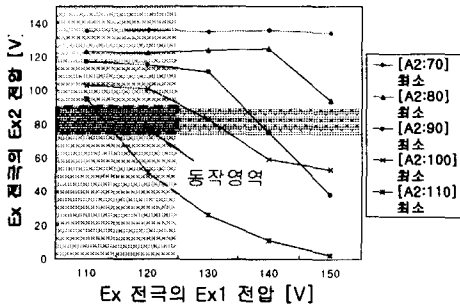


그림 10. Ex 전극의 Ex1전압과 Ex 전극의 Ex2전압과의 관계

Fig. 10. Relation of the voltage Ex1 of electrode Ex and the voltage Ex2 of electrode Ex

4. 결 론

본 연구에서 3전극 교류류동형 면방전 PDP의 회로부 가격절감을 위하여 제안된 DC방전 AND gate의 각 방전셀 상호간의 연관성을 규명하는 실험을 하였다. 실험결과 방전 AND gate가 동작하는 최적조건을 다음과 같이 도출하였다.

- A1 전압 = 80[V]
- B 전압 = 110[V]
- Ex1 전압 = 125[V]
- Ya1 전압마진 = 30-125[V] (최적값: 115[V])
- Ya2 전압마진 = 120-175[V] (최적값: 120[V])
- Ex2 전압마진 = 75- 90[V]

결론적으로 볼 때 Ya1, Ya2 두개의 AND 입력과 출력전압은 마진 폭이 넓어 출력방전을 유도하는데 지장이 없어 AND 기능이 확실하게 일어날 수 있음을 알 수 있었다. 그러나 PDP의 address에 이용되는 floating 방전을 돕기 위한 프라이밍 방전을 일으키는 A2전압과 Ex2 전압은 상대적으로 동작마진이 적고 실질적인 address를 하기에는 아직 많은 어려움이 있는 것을 알았다. 이 부분은 향후 AND gate를 구성하는 전극의 재질, 폭 그리고 형상등을 개선하여 해결해 나가야 할 것으로 사료되는 부분이다.

본 연구는 한국과학재단 목적기초연구(과제번호 : R05-2002-00-01477-0)의 지원으로 수행되었으며, 관계부처에 감사드립니다.

References

- (1) 御子柴 茂生, "플라즈마 디스플레이 최신기술", ED 리サーチ社, 1996.
- (2) 編輯部編, "2001年のFlat Panel Display 市場", 電子技術, 1999-7号, pp.9-12, 1999.
- (3) Jerry D Schermerhorn et al., "Discharge-Logic Drive Schemes", Proc. of the SID Vol.16/2 Second Quarter pp.81-85, 1975.
- (4) Larry F Weber et al., "A New Gas Discharge Logic Technique that Reduces Circuit Complexity for AC Plasma Display Panels", Conf. Record of IDRC, pp. 502-505, Kobe, Japan, 1983.
- (5) M. Ishii et al., "Reducing the Number of Scan Drivers in AC FDPs by an Order of Magnitude Using Gas-Discharge AND Logic", Digest of SID, pp. 283-286, 1998.
- (6) J. Ryeom, et. al., "A Study on the New Discharge Logic Device for the Plasma Display Panels", J of KIEE, Vol.16, No.1, pp.13~19, 2002. 1.

◆저자소개◆

염정덕 (廉正德)

1960년 5월 14일생. 1987년 서울대학교 공과대학 전기공학과 졸업. 1989년 서울대학교 대학원 전기공학과 석사과정 졸업. 1992년 서울대학교 대학원 전기공학과 박사과정 졸업. 1992년~1995년 LG전자(주) 영상미디어연구소 선임연구원. 1996년 일본 전기·통신대학 외국인연구자. 1997년~1999년 삼성SDI(주) 기술본부 선임연구원. 2000년~현재 경주대학교 컴퓨터정보시스템공학부 조교수.