

# DSP 가속기가 내장된 RISC 프로세서 기반 MPEG/Audio 복호화기의 구현

정회원 방 경 호\*, 이 근 섭\*, 박 영 철\*\*, 윤 대 희\*

## Implementation of MPEG/Audio Decoder based on RISC Processor with Minimized DSP Accelerator

Kyoung Ho Bang\*, Keun Sup Lee\*, Young Cheol Park\*\*, Dae Hee Youn\* *Regular Members*

### 요 약

무선단말기용 오디오 복호화기는 무선이동환경의 특성상 낮은 전력소모가 요구된다. 단일 RISC 프로세서를 이용하여 비디오/오디오 신호를 처리하는 기존의 구현은, RISC 프로세서의 연산부담이 과도하여 실시간 멀티미디어 서비스를 지원하기에는 효율적이지 못하고, 캐쉬 메모리가 충분하지 않은 경우 잦은 캐쉬-미스로 인하여 전력소비가 증가하게 된다. 본 논문에서는 무선단말기를 위한 MPEG/Audio 복호화기를 설계하고, MAC 연산에 최적화된 DSP 블록이 내장된 RISC 프로세서를 이용하여 복호화 시스템을 구현하였다. 오디오 복호화 과정을 연산중심 부분과 제어중심부분으로 분할하고, 각각 DSP 블록과 RISC 프로세서에 할당하여, 병렬적으로 처리할 수 있도록 알고리즘을 설계하였다. 제안된 시스템은 MP3와 AAC 복호화 과정을 각각 17MHz, 24MHz로 처리한다. 이것은 단일 RISC 프로세서의 구현에 비하여 각각 48%와 40% 감소한 것이다. 오디오 신호처리에 최적화된 DSP 블록이 내장된 RISC 프로세서를 이용하는 것은 자원의 효율적인 이용이 가능하고, 캐쉬 메모리가 크지 않은 휴대용 멀티미디어 시스템에 적합하다.

Key Words : MPEG/Audio; RISC processor; DSP accelerator; MP3; AAC

### ABSTRACT

MPEG/Audio decoder for mobile multimedia systems requires low power consumption. Implementations of AV decoder using a single RISC processor often need high power consumption owing to cash-miss in case of insufficient cash memory. In this paper, we present a MPEG/Audio decoder for mobile handset applications and implement it on a RISC processor embedding a minimized DSP accelerator. Audio decoding algorithm is splitted into two parts; computation intensive and control intensive parts. Those parts are, respectively, allocated to DSP and RISC core, which are designed to run in parallel to increase the processing efficiency. The proposed system implements MP3 and AAC decoders at 17MHz and 24MHz clocks, which are reductions of 48% and 40% of complexities in comparison with implementations on a single RISC processor. The proposed method is adequate for mobile multimedia applications with insufficient cash memory.

### I. 서 론

최근 개인통신단말(Cellular phone, PCS), PDA 등

의 휴대용 기기에서 멀티미디어 서비스에 대한 수요가 급증함에 따라 고품질의 오디오/비디오 압축기술이 널리 활용되고 있다. 고품질 오디오 압축기술 (High

\* 연세대학교 전기전자공학과 미디어 통신 신호처리 연구실 (euphony,taraji@cyclon.yonsei.ac.kr, dhyoun@yonsei.ac.kr),

\*\* 연세대학교 정보기술학부 (young00@dragon.yonsei.ac.kr)

논문번호 : KICS2004-06-030, 접수일자 : 2004년 6월 9일

Quality Audio Coding)로써 널리 사용되고 있는 MPEG/Audio 계층-III (이하 MP3)<sup>[1][2]</sup>는 압축률이 높고, 복호화기가 널리 보급되어 있어서 다양한 디지털 기기와 융합되고 있는 추세이다. 한편 MP3에 비해서 압축률이 높고, 음질 성능이 향상된 MPEG-4 Advanced Audio Coding (이하 AAC)<sup>[3]</sup>은 MPEG-4 비디오 데이터와 결합되어 동영상 형태로 그 활용도가 증가하고 있다. 또한 AAC는 지상파 디지털 방송, 음원저장분야, 전자 음악 배급 시스템에 활용되고 있다<sup>[8]</sup>.

MP3와 AAC가 널리 보급되어 있는 시점에서 디지털 오디오 응용분야에 대한 폭발적으로 증가하는 수요에 대응하기 위해서는, MP2, MP3, AAC 등의 다양한 표준안을 지원하는 최적화된 단일칩 디지털 오디오 복호화 시스템이 필요하다. 특히 무선단말기를 위한 디지털 오디오 복호화기는 무선이동환경의 특성상 저전력 환경에서 실시간으로 동작해야 하므로, 하드웨어 자원의 효율성을 극대화시킨 최적화된 플랫폼을 필요로 한다.

그러나 MP3와 AAC를 동시에 지원하는 복호화기의 구현에 있어서 연산량 부담과 메모리 자원의 요구사항은 해결해야 할 문제점으로 남아 있다. 기존의 구현에서는 단일 RISC 프로세서를 이용하여 오디오/비디오 데이터를 함께 처리함으로써 프로세서의 연산부담이 과중하고, 오디오 신호처리에 적합하지 않은 제어중심 명령어들로 인해 프로세서의 효율성이 떨어지는 결과를 초래하였다. 또한 블록단위의 신호처리가 필요한 오디오의 경우 캐쉬 메모리가 충분히 확보되지 않으면, 잦은 캐쉬-미스에 의해 시스템의 전력소비가 증가할 뿐만 아니라 실시간 처리를 힘들게 하는 경우도 발생한다.

본 논문에서는 이러한 문제점을 해결하기 위해서 연산 효율성과 하드웨어 자원의 사용 측면에서 디지털 오디오 복호화 알고리즘을 분석하고, 무선단말기를 위한 최적의 플랫폼을 제시하여, 효율적인 오디오 복호화 시스템을 설계하였다. 2장에서는 시스템의 하드웨어 플랫폼 결정을 위한 알고리즘 분석을 통하여 오디오 복호화 시스템을 설계하고, 3장에서는 설계된 시스템의 실시간 구현에 대해서 설명하였다. 4장에서는 시스템의 성능분석을 하고, 5장에서는 결론을 맺었다.

## II. 디지털 오디오 복호화 시스템 설계

### 1. MP3/AAC 복호화 알고리즘 연산 분석

MPEG/Audio 복호화 과정은 bit unpack, control,

vector addition, IIR 필터링, 서브밴드 필터링, 실수/복소수 FFT와 같이 제어 과정과 연산 과정이 혼합된 알고리즘으로 이루어져 있다. 또한 블록 단위의 신호처리를 하기 때문에, 고속으로 데이터를 읽고 쓸 수 있는 고속의 내부 메모리 또는 캐쉬 메모리가 필요하다.

MP3와 AAC의 복호화 과정은 제어중심부분과 연산중심부분으로 분할될 수 있다. 제어중심부분에서는 연산의 규칙성보다는 흐름제어가 주가 되고, 연산중심부분에서는 MAC 연산 등이 규칙적으로 반복된다. 제어중심부분은 분기제어나 서브루틴호출 등의 흐름제어가 용이한 RISC 프로세서 혹은 MCU를 사용하는 것이 유리한 반면, 연산중심부분은 MAC 연산을 고속으로 처리하는 DSP가 유리하다. 그러므로, 제어중심부분은 RISC 프로세서에 할당하고, 연산중심부분은 DSP core에 할당하는 작업할당을 하고, 이 두 과정을 병렬로 처리하는 것은 복호화 과정의 효율성을 극대화시킬 수 있다.

고음질 오디오 압축 알고리즘인 MP3와 AAC 복호화 알고리즘을 연산 특징별로 분석해 보면 그림 1과 같다.

MP3 복호화의 경우 헤더/부가정보 복호화, 스케일팩터 복호화, 허프만 복호화, 역양자화, 스테레오 처리 과정이 제어중심부분에 해당하고, 엘리어징 제거, IMDCT, 합성필터 과정이 연산중심부분이다. AAC 복호화의 경우 헤더/부가정보 복호화, 스케일팩터/스펙트럼 허프만 복호화, 역양자화, 스테레오 처리, TNS(Temporal Noise Shaping) 과정이 제어중심부분에 해당하고, IMDCT 과정이 연산중심부분에 해당한다.

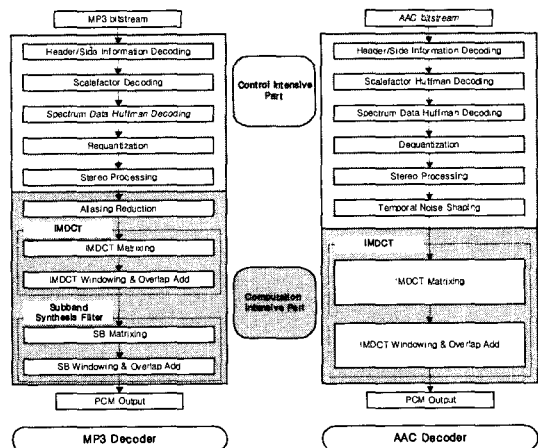


그림 1. MP3/AAC 복호화 알고리즘의 작업분할

표 1. 프로세서의 구조적 특징 비교

	오디오 전용 DSP	Motorola 5630x	TMS320c54x	RISC 프로세서
병렬 이동	대부분의 명령어에서 지원	대부분의 명령어에서 지원	제한적으로 지원	지원하지 않음
조건부 이동	대부분의 명령어에서 지원	부분적으로 지원	제한적으로 지원	지원하지 않음
조건부 연산	대부분의 명령어에서 지원	대부분의 명령어에서 지원	제한적으로 지원	대부분의 명령어에서 지원
파이프라인 충돌	흐름제어에서만 발생	데이터 이동시 빈번하게 발생	빈번하게 발생	빈번하게 발생
continue/break	지원	지원하지 않음	지원하지 않음	지원하지 않음
버터플라이 연산	6 사이클	11 사이클	12 사이클	20 사이클
데이터 길이	20 비트	24 비트	24 비트	32 비트

2. 프로세서의 구조적 특징

MP3와 AAC 복호화 알고리즘은 제어중심부분과 연산중심부분으로 분할되고, 이것은 응용분야에 따라 다음과 같은 플랫폼에서 시스템이 구성될 수 있다.

- 1) Digital-Audio Specific DSP Core
- 2) Single RISC Core or single MCU
- 3) General Purpose DSP Core
- 4) DSP Core with embedded MCU
- 5) RISC Core with minimized DSP accelerator

각 플랫폼을 구성하는 프로세서는 오디오전용 DSP 프로세서, 범용 DSP 프로세서, RISC 프로세서 (또는 MCU)이다. 표 1은 각 프로세서의 구조적 특징을 비교한 것이다. 오디오전용 DSP 프로세서<sup>4)</sup>는 대부분의 명령어에 대하여 조건부 연산 및 조건부 이동이 가능하다. 특히, 다른 프로세서에서는 지원하지 않는 하드웨어 break와 continue를 지원함으로써 하드웨어 루프의 효율이 높다. 또한 FFT의 버터플라이를 위한 병렬 이동이 포함된 MAC 명령어를 채택함으로써, 다른 프로세서에 비해 절반 이하의 사이클로 버터플라이 연산을 수행할 수 있다. 범용 DSP 프로세서로 널리 사용되고 있는 Motorola 5630x와 TI TMS320c54x는 다양한 응용분야를 지원하기 위해서 DSP 프로세서의 일반적인 명령어 집합과 연산 성능을 가지고 있다. 마지막으로 RISC 프로세서의 경우 흐름제어에 유리한 명령어들을 지원하고, DSP에 비해서 저전력으로 동작이 가능하도록 설계되어 있어서 휴대용 기기에 널리 사용되고 있다.

3. 시스템의 플랫폼 결정

이동통신단말기의 멀티미디어 기능을 위한 디지털 오디오 복호화 시스템을 구성하기 위해서는 다음의

사항을 고려해야 한다.

- 1) 휴대기기에서의 저전력 소모
- 2) 실시간 동작을 위한 짧은 연산시간
- 3) 프로세서간의 병렬처리에 의한 하드웨어 자원의 최적 사용
- 4) 비디오 프로세싱과의 연계성

이동통신단말기의 기본적인 기능인 음성통신은 모뎀칩과 음성코덱에서 동작한다. 반면 추가적인 멀티미디어 기능을 위해서는 저전력으로 동작하는 RISC 프로세서가 널리 사용되고 있다. 그러나 단일 RISC 프로세서가 방대한 양의 오디오/비디오 정보를 처리하기에는 프로세서의 연산부담이 크고, 효율성이 떨어지는 단점이 있다. 오디오/비디오 정보는 주파수 영역에서의 신호처리를 사용하기 때문에 연산중심부분인 주파수-시간 변환 과정이 반드시 필요하다. 그러므로 연산중심부분은 최소화된 DSP 가속기에 분담하여, 제어중심부분을 처리하는 RISC 프로세서와 병렬처리하는 것이 효과적이다.

III. 이동통신단말기용 오디오 복호화기의 구현

1. 무선멀티미디어 시스템의 플랫폼

무선멀티미디어 시스템의 전체 기능 블록은 그림 2와 같다. RISC 프로세서는 베이스밴드 프로세서로부터 압축된 오디오/비디오 비트열을 전송받는다. 이 비트열은 RISC 프로세서에서 제어중심부분부터 처리되고, 그 결과 생성된 주파수 영역의 신호는 내장된 DSP 프로세서에서 처리하게 된다. DSP 프로세서에서 주파수 영역의 신호가 시간 영역의 신호로 변환되고 외부의 DAC와 액정표시장치를 통해서 오디오/비디오 정보로 출력된다.

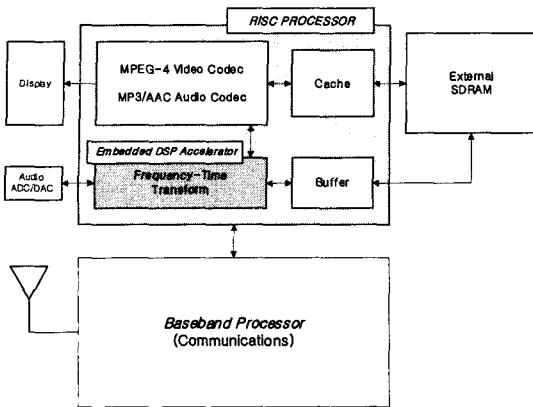


그림 2. 무선멀티미디어 시스템의 기능 블럭

2. 오디오 부호화/복호화 시스템

MPEG/Audio 복호화는 DSP 가속기를 내장한 RISC 프로세서에서 수행된다. 2.1절에서 분석한 오디오 복호화 과정의 연산특징에 따라서, 전체 복호화 과정을 2개의 부분으로 분할하여 각각 RISC 프로세서와 내장된 DSP 가속기에 할당하였다. 제어중심부분은 RISC 프로세서가 담당하여 조건 판단을 쉽게 할 수 있을 뿐만 아니라, 조건 판단의 수정도 용이하다.

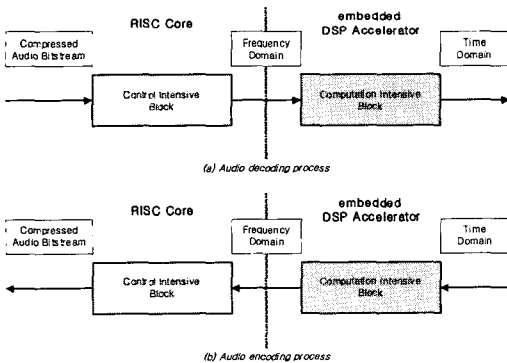


그림 3. 오디오 부호화/복호화 시스템

연산중심부분은 내장된 DSP 가속기에서 실행되는데, 이 가속기는 MP3의 합성필터와 IMDCT, AAC의 IMDCT와 같은 직교변환블럭을 처리한다. 그림 3은 DSP 가속기를 내장한 RISC 프로세서에서 MPEG/Audio의 (a)복호화 과정과 (b)부호화 과정을 나타내고 있다.

내장된 DSP 가속기는 그림 4의 병렬이동을 포함한 MAC 명령어를 이용하여 직교변환블럭을 고속으로 처리한다. IMDCT와 합성필터는 참고문헌 [5][6]에 의해 FFT와 고속 DCT 형태로 변환이 되고, 이

고속 알고리즘은 버터플라이 연산을 반복적으로 수행하는 구조를 갖는다. FFT 알고리즘 중 곱셈, 덧셈 횟수가 가장 적은 방법은 곱셈 4번, 덧셈 6번이 필요한 Radix-2 DIT (Decimation In Time) 알고리즘 [7]이고, 이 때 총 10번의 데이터 메모리 접근과 10개의 곱셈 레지스터가 요구된다. 병렬이동과 MAC 연산이 지원되지 않는 프로세서에서는 하나의 버터플라이를 계산하는데 20사이클 이상이 필요하지만, 내장된 DSP 가속기는 하나의 버터플라이 연산을 6사이클에 수행할 수 있어서, 연산중심부분을 고속으로 처리할 수 있는 구조를 가지고 있다.

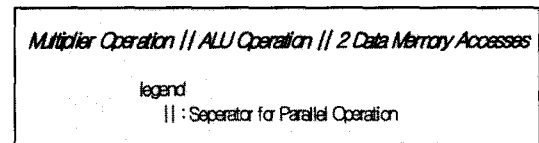


그림 4. 병렬이동을 포함한 MAC 명령어

3. RISC 프로세서와 DSP 가속기의 병렬처리

무선 멀티미디어 시스템은 전력 소모를 고려한 제한된 메모리 사용, 이동 환경과 같은 사용 환경의 특성상, 실시간 처리에 필요한 연산시간이 짧아야 하고, 하드웨어 자원을 최대한 사용하는 제한 조건을 만족해야 한다.

단일 RISC 프로세서를 사용할 경우 하나의 오디오 프레임을 처리하는 데 필요한 시간만큼의 지연시간이 필요하며, 프로세스를 구현하기가 힘들게 된다. 그러므로 제어중심부분과 연산중심부분은 순차적으로 처리되어 연산시간이 길어지고, 복호화 알고리즘의 연산 복잡도가 증가할 경우 전력 소모량이 많은 고속의 프로세서가 필요하게 된다.

그러나 RISC 프로세서와 내장된 DSP 가속기로 하드웨어 파이프라인을 형성하면, 제어중심 부분과 연산중심부분은 상호간의 종속관계가 없으므로, 전체 복호화 과정은 그림 5에서 보듯이 병렬처리가 가능하게 된다. 또한 전체 오디오 복호화 과정은 연산 특징별로 할당된 최적의 프로세서 환경에서 처리되므로, 하드웨어 자원을 최대한 사용하게 되어서 전력 소모량을 감소시킬 수 있다. RISC 프로세서가 N번째 프레임의 제어중심부분을 처리하는 동시에 내장된 DSP 가속기는 (N-1)번째 프레임의 연산중심부분을 처리하여, 전체 복호화 과정에 필요한 지연시간을 크게 감소시킬 수 있다.

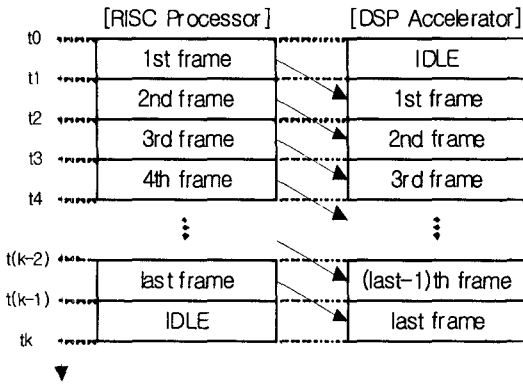


그림 5. RISC 프로세서와 DSP의 병렬처리

#### IV. 결과 및 성능 평가

MPEG/Audio 복호화기의 알고리즘은 DSP 가속기를 내장한 RISC 프로세서 상에서 구현되었다. 연산 중심부분은 DSP의 자체 어셈블리 언어로 기술하였고, 제어중심부분은 C 언어로 기술된 알고리즘의 RISC 프로세서의 Cross-Compiler에 의해 어셈블리 언어로 변환하였다. 프로세서 간의 데이터 사용은 각 프로세서에서 접근이 가능한 공유 메모리를 통하여 이루어진다. RISC 프로세서와 내장된 DSP 가속기는 4:1의 클럭 주파수로 각각 동작한다.

표 2와 표 3은 각각 MP3 복호화기와 AAC 복호화기를 단일 RISC 프로세서로 구현했을 때와 제안된 시스템으로 구현했을 때의 성능 비교이다. 본 논문에서 구현된 MP3 복호화 알고리즘은 단일 RISC 프로세서로 구현할 경우, MP3의 합성필터와 IMDCT는 전체 복호화 과정의 78%를 차지한다. 이것은 메모리 접근 횟수가 많은 합성필터와 버터플라이 연산이 많은 IMDCT 과정을 수행할 때 메모리 접근횟수가 높기 때문에, 메모리 접근시 사이클이 과도하게 증가하는 RISC 프로세서의 단점에 의한 것이다. 그러므로 연산중심부분인 합성필터와 IMDCT는 메모리 접근과 규칙성이 높은 연산에 유리한 DSP 가속기로 구현하여, RISC 프로세서의 연산량의 약 78%를 감소시키고, 프로세서간의 연산속도가 균형을 이루어 전체 복호화 과정의 연산시간은 단일 RISC 프로세서에 비해 48% 감소하였다.

AAC 복호화의 경우, 단일 RISC 프로세서에서 전체 연산량의 54%를 차지하는 IMDCT 과정이 DSP 가속기에서 구현되어, 단일 RISC 프로세서로 구현한 경우에 비해 40% 감소하였다.

표 2. MP3 복호화기의 연산량 (MHz)

MP3 복호화	단일 RISC	제안된 시스템
연산중심부분	25.84	9.65
제어중심부분	7.26	7.25
합계	33.1	16.9

표 3. AAC 복호화기의 연산량 (MHz)

AAC 복호화	단일 RISC	제안된 시스템
연산중심부분	31.2	15.2
제어중심부분	8.8	8.6
합계	40	23.8

#### V. 결론

본 논문에서는 무선 멀티미디어 시스템을 위한 MPEG/Audio 복호화기를 설계하고 구현하였다. MP3와 AAC 복호화 알고리즘의 연산특징을 분석하고, 무선탄말기에 최적화된 하드웨어 플랫폼을 결정하였다. IMDCT 등의 연산중심부분을 효과적으로 처리할 수 있는 MAC 연산에 최적화된 DSP 블록을 RISC 프로세서 내에 내장시켜서 가속기의 역할을 할 수 있도록 설계하였다. 또한 복호화 알고리즘을 역할에 따라 두 부분 즉, 연산중심부분과 제어중심부분으로 분할하고, 각각을 DSP 가속기와 RISC 프로세서에 할당하여 각 과정을 전담시키고, 두 과정을 병렬적으로 처리할 수 있도록 알고리즘을 수정하였다.

제안된 시스템은 단일 RISC 프로세서를 사용하는 경우에 비해 오디오 복호화 과정의 연산시간을 48%, 40% 감소시키고, RISC 프로세서의 연산부담을 덜어 주었다. 응용분야에 따라, 최적의 플랫폼을 결정하는 것은 전력 소모 측면에서도 유리하고, 프로세서의 연산부담을 감소시킬 수 있는 방향으로 선택하는 것이 바람직하다. 무선 환경의 경우, 본 논문에서 제안한 오디오 전용 DSP를 내장한 RISC 프로세서에서 구현하는 것이 짧은 연산시간과 효율적인 하드웨어 자원의 활용이라는 측면에서 유리함을 확인할 수 있었다.

#### 참고 문헌

[1] ISO/IEC JTC1/SC29/WG11 No.71, "Coding of Moving Pictures and Associated Audio for Digital Storage Media at up to 1.5Mbit/s-CD11172-3(Part 3. MPEG-Audio)"

[2] ISO/IEC JTC1/SC29/WG11 No.703, "Generic Coding of Moving Pictures and Associated Audio-CD13818-3(Part 3. MPEG-Audio)"

[3] ISO/IEC JTC1/SC29/WG11 No.2203TF, "Information Technology-Coding of Audiovisual Objects-CD14496-3"

[4] Kyoung Ho Bang, Nam Hun Jeong, Joon Seok Kim, Young Cheol Park, and Dae Hee Youn, "Design and VLSI Implementation of a Digital Audio-Specific DSP Core for MP3/AAC," *IEEE Transaction on Consumer Electronics*, Vol.48, No.3, pp.790-795, Aug. 2002.

[5] P. Duhamel, Y. Mahieux, and J. P. Petit, "A Fast Algorithm for the Implementation of Filter Banks based on 'Time Domain Aliasing Cancellation'," *IEEE International Conference on Acoustics, Speech, and Signal Processing*, Vol.3, pp.2209-2212, Apr. 1991.

[6] K. Konstantinides, "Fast Subband Filtering in MPEG Audio Coding," *IEEE Signal Processing Letters*, Vol.1, No.2, pp.26-28, Feb. 1994.

[7] Guy R. L Sophie and Wei Chen, "Implementation of Fast Fourier Transforms on Motorola's Digital Signal Processors," *Application Note No.4*, Motorola Inc., 1993.

[8] www.aac-audio.com

방 경 호 (Kyoung-Ho Bang) 정회원



1999년 2월 : 연세대학교 전자공학과 졸업  
 2001년 2월 : 연세대학교 전기전자공학과 석사  
 2001년 3월~현재 : 연세대학교 전기전자공학과 박사과정

<관심분야> 디지털 신호처리, 오디오 신호처리, VLSI 신호처리

이 근 섭 (Keun-Sup Lee) 정회원



1997년 2월 : 연세대학교 전자공학과 졸업  
 1999년 8월 : 연세대학교 전기컴퓨터공학과 석사  
 1999년 9월~현재 : 연세대학교 전기전자공학과 박사과정

<관심분야> 디지털 신호처리, 오디오 신호처리

박 영 철 (Young-Cheol Park) 정회원

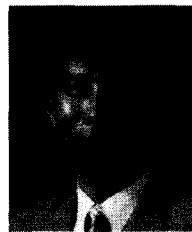


1986년 2월 : 연세대학교 전자공학과 졸업  
 1988년 2월 : 연세대학교 전자공학과 석사  
 1993년 2월 : 연세대학교 전자공학과 박사

현재 : 연세대학교 정보기술학부 교수

<관심분야> 디지털 신호처리, 오디오 신호처리, 음성 신호처리, 적응 신호처리

윤 대 희 (Dae Hee Youn) 정회원



1977년 2월 : 연세대학교 전자공학과 졸업  
 1979년 8월 : Kansas State Univ. 석사  
 1982년 2월 : Kansas State Univ. 박사

현재 : 연세대학교 전기전자공학과 교수

<관심분야> 디지털 신호처리, 적응 신호처리, 음성 신호처리, 오디오 신호처리