

비균일 트래픽 환경하에서 다단상호연결네트워크의 소클럭주기를 사용한 해석적 성능 모델링 및 평가[☆]

A Study on the Performance Modeling of Input-Buffered Multistage Interconnection Networks Under a Nonuniform Traffic Pattern with Small Clock Cycle Schemes

문 영 상*
Youngsong Mun

요 약

벤연형 다단상호연결네트워크가 원하는 성능목표치를 만족시킬 수 있는지를 알아보기 위하여 해석적 모델을 제시한다. 입력트래픽은 일반적인 균일트래픽이 아니고 실제상황을 고려하기 위하여 비균일트래픽을 가정하였다. 버퍼는 단일 입력버퍼를 가정하여 개발하였고, 클럭 주기는 일반적으로 내클럭주기 개념이 아니라 성능을 향상시키기 위한 소클럭주기 개념을 사용한다. 개발된 모델로부터의 결과와 시뮬레이션으로부터의 결과를 비교하여 구해진 모델의 우수성을 입증한다.

Abstract

In this paper the more accurate models than any other ones so far have been proposed for the performance evaluation of single-buffered banyan-type Multistage Interconnection Networks(MINs)'s under nonuniform traffic condition is obtained. Small clock cycle instead of big clock cycle is used. The accuracy of proposed models are conformed by comparing with the results from simulation.

Keyword : Multistage Interconnection Networks, Nonuniform Traffic, Small Clock Cycle

1. 서 론

본 논문에서는 입력버퍼를 가진 벤연형 다단연결네트워크의 성능을 비균일트래픽 상황하에서 해석적으로 모델링하려 한다. 실제적인 환경을 고려하기 위하여는 비균일 트래픽이 존재할 때의 성능평가가 필수적이라 하겠다. 그러나 비균일트래픽하에서의 기존의 연구도 입력버퍼의 경우보다 상대적으로 모델링이 쉬운 출력버퍼를 가지고 있을 때를 고려한다든가 블럭킹 상태를 고려하지 못한다든가 또는 고려하더라도 비현실적인 가정을 한다든가 하는 결과를 초래하였다 [1-3].

그 대표적인 예가 Lin과 Kleinrock의 모델이다 [4]. 이 모델에서는 입력버퍼보다 상대적으로 해석적모델을 얻기가 쉬운 출력버퍼를 가진 벤연형 네트워크를 연구하였다. 그러나 역시 블럭킹을 고려하는데 있어서 문제점을 가지는 데 이는 블럭상태를 포함하여 재시도 확률을 구하지 못하고, 블럭이 되었을 때 버퍼가 빌 확률을 과대계산하는 방법으로 블럭킹의 효과를 고려하려 한 점이다.

또한 다단상호연결네트워크의 성능평가지 클럭 주기는 일반적으로 대클럭주기 (Big Clock Cycle : BCC) 개념을 사용하는데, Ding과 Bhuyan은 소클럭주기 (Small Clock Cycle : SCC) 개념을 이용하여 스위치 네트워크의 성능이 향상될 수 있음을 보여주었다 [5].

본 논문에서는 단일버퍼를 가지고 있을 때를

* 종신회원 : 숭실대학교 컴퓨터학부 부교수
mun@computing.ssu.ac.kr(제1저자)

☆ 본 연구는 숭실대학교 교내연구비 지원으로 이루어졌음.

가정하여 성능평가를 위한 해석적 모델을 구하고 시뮬레이션 결과와 비교하여 구해진 모델의 정확성 및 우수성을 입증한다.

2. 해석적 모델링

벤연형 다단상호연결네트워크의 성격을 정확하게 모델하기 위하여서는 두개의 연속된 시간슬롯간의 패킷이동의 상관관계 및 두개의 연속된 단간의 상관관계도 고려되어야 한다. 상관관계 반영을 위해서는 블럭상태를 반드시 모델에 포함해야 한다. 정상상태에 있는 패킷은 어느 출력링크로 나아가갈 확률이 균등하지만 블럭상태에 있는 패킷은 이전에 가려고 했던 링크로 다시 가려고 하기 때문에, 블럭상태에 있는 버퍼의 행동은 정상상태에 있는 버퍼의 행동과 구별되어야 한다.

MIN이 SCC 개념하에서 동작할 때 제어 정보는 단지 두 이웃 단간에 교환되기 때문에 파라미터의 리커시브한 계산은 필요하지 않다.

2.1 정의

t_b 는 한 시간슬롯이 시작할 때의 시작 시간을 의미하고, t_d 는 한 시간슬롯의 경과시간을 의미한다. 한 개 교환소자의 두 개의 포트는 서로 보측(*conjugate*) 포트라고 칭하며, 따라서 한 개 교환소자의 두 개의 입력버퍼는 서로 보측버퍼가 되며 변수 정의에서 윗첨자 c 로 표시된다.

- n : 교환단의 개수
- $SE(k)$: k 교환단의 어느 한 교환소자
- $P_0(ki, t), P_n(ki, t), P_b(ki, t)$: $SE(k)$ 의 i 번 입력포트의 버퍼가 t_b 에 비어있을, 보통 패킷, 블럭된 패킷을 가지고 있을 확률
- $P_b^h(ki, t), P_b^l(ki, t)$: $SE(k)$ 의 i 번 입력포트의 버퍼가 t_b 에 위쪽, 아래쪽 출력포트로

향한 블럭된 패킷을 가지고 있을 확률

- $r(ki), r(ki^c)$: k 단의 i 번째 입력포트에 있는 버퍼의, 보측버퍼의 보통패킷이 위쪽 출력포트로 가려할 확률
- $r_x(ki, t), r_x(ki^c, t)$: k 단의 i 번째 입력포트에 있는 버퍼의, 버퍼의 보측버퍼의 블럭된 패킷이 위쪽 출력포트로 가려할 확률
- $q(ki, t)$: 패킷이 t_d 동안에 k 단의 i 번째 입력포트에 올 준비가 되어 있을 확률
- $r_n(ki, t), r_b(ki, t)$: $SE(k)$ 의 i 번 입력포트의 보통 패킷이, 블럭된 패킷이 t_d 동안에 이동할 확률
- $r_{nn}^h(ki, t), r_{nn}^l(ki, t)$: $SE(k)$ 의 i 번 입력포트의 보통패킷이 t_d 동안에 원하는 위쪽, 아래쪽 출력 포트에 갈 수 있는 확률. 보측버퍼가 블럭상태에 있으면 이 블럭된 패킷은 아래쪽 출력포트로 향한다고 가정한다.
- $r_{nb}^h(ki, t), r_{nb}^l(ki, t)$: $SE(k)$ 의 i 번 입력포트의 보통패킷이 t_d 동안에 보측버퍼에 있는 블럭된 패킷과의 경쟁에서 이겨서 위쪽, 아래쪽 출력 포트에 갈 수 있는 확률.
- $r_{bn}^h(ki, t), r_{bn}^l(ki, t)$: $SE(k)$ 의 i 번 입력포트의 블럭된 패킷이 t_d 동안에 위쪽, 아래쪽 출력 포트에 갈 수 있는 확률. 이 때 보측버퍼는 비어 있거나 보통 패킷을 가지고 있다고 가정한다.
- $r_{bb}^h(ki, t), r_{bb}^l(ki, t)$: 위와 동일하나 보측버퍼도 블럭된 패킷을 가지고 있다고 가정한다.
- $P^{na}(ki, t), P^{ba}(ki, t), P^{baa}(ki, t)$: $SE(k)$ 의 i 번 입력포트의 버퍼가 t_d 동안에 패킷을 받을 빈 공간이 있을 확률. 이 때에는 이 버퍼를 향한 블럭된 패킷이 없을 때, 한개의, 두개의 블럭된 패킷이 있을 때를 가정한다.

- $X_n^h(ki, t), X_n^l(ki, t) [X_b^h(ki, t), X_b^l(ki, t)]$
: $SE(k)$ 의 i 번 입력포트의 버퍼에서 위쪽, 아래쪽 출력 포트에 향한 보통[블럭된] 패킷이 블럭될 확률
- $T(ki, t)$: $SE(k)$ 의 i 번 입력포트가 패킷을 받을 확률. 다시 말해서 $SE(k-1)$ 의 대응되는 출력포트로부터 패킷이 전송될 확률.

2.2 변수의 계산

$r_{nn}^h(ki, t)$ 의 경우에는 현재 t 시각에 k 단의 i 번 입력포트의 버퍼에는 위쪽 출력포트로 향한 보통 패킷이 있을 때이며, 보족버퍼는 비어있거나 보통 패킷을 가지거나 아래쪽으로 향한 블럭된 패킷을 가지거나의 한가지 상태이다. 보족버퍼가 비어있을 때는 항상 원하는 출력포트로 갈수 있으며 보통패킷을 가지고 있을 때는 보족버퍼에 있는 패킷이 위쪽으로 향한다면 경쟁을 해야하며 아래쪽으로 향한다면 항상 원하는 출력 포트로 갈 수 있다. 경쟁시 이길 확률은 0.5이다.

$$r_{nn}^h(ki, t) = r(ki)P_0(ki^c, t) + [0.5r(ki)r(ki^c) + r(ki)(1 - r(ki^c))]P_n(ki^c, t) + r(ki)(1 - r_x(ki^c, t))P_b(ki^c, t)$$

$r_{nb}^h(ki, t)$ 의 경우에는 현재 t 시각에 k 단의 i 번 입력포트의 버퍼에는 위쪽 출력포트로 향한 보통 패킷이 있을 때이며, 보족버퍼는 같은 방향으로 향한 블럭된 패킷을 가질 때이다. 이 때도 경쟁이 발생한다.

$$r_{nb}^h(ki, t) = 0.5r(ki)r_x(ki^c, t)P_b(ki^c, t)$$

$r_{bn}^h(ki, t)$ 는 현재 t 시각에 k 단의 i 번 입력포트의 버퍼에는 위쪽 출력 포트에 향한 블럭된 패

킷이 있을 때이며, 보족버퍼는 비어있거나 보통 패킷을 가지고 있을 경우이다. 보족버퍼가 비어있을 때는 항상 원하는 출력포트로 갈수 있으며, 보통패킷을 가지고 있을 때는 보족버퍼의 패킷이 위쪽으로 향한다면 경쟁을 해야 하며 아래쪽으로 향한다면 항상 원하는 출력 포트에 갈 수 있다.

$$r_{bn}^h(ki, t) = r_x(ki, t)P_0(ki^c, t) + [0.5r_x(ki, t)r(ki^c) + r_x(ki, t)(1 - r(ki^c))]P_n(ki^c, t)$$

$r_{bb}^h(ki, t)$ 는 현재 t 시각에 k 단의 i 번 입력포트의 버퍼에는 위쪽 출력 포트에 향한 블럭된 패킷이 있을 때이다. 보족버퍼에는 블럭된 패킷이 있으며 이 블럭된 패킷이 위쪽으로 향할 때는 경쟁을 해야 하며 아래쪽으로 향한다면 항상 원하는 출력 포트에 갈 수 있다.

$$r_{bb}^h(ki, t) = 0.5r_x(ki, t)r_x(ki^c, t)P_b(ki^c, t) + r_x(ki, t)(1 - r_x(ki^c, t))P_b(ki^c, t)$$

$P^{ba}(ki, t)$ 에 대해 $SE(k-1)$ 에서 블럭된 패킷은 k 단에서의 어느 한 버퍼로 향하여진다. 이 목적 버퍼가 이전의 네트워크 주기에서 $T(ki, t-1)$ 의 확률로 패킷을 받았으면 목적지 버퍼는 현재 상태 n 에 있다. 이 경우에 패킷을 받을 수 있는 빈 공간은 없다. 한편 버퍼는 $1 - T(ki, t-1)$ 의 확률로 패킷을 받지 않았을 것이다. 이 경우에 버퍼는 이전의 네트워크 주기에서 패킷이 이동했느냐에 따라 현재 상태 0이나 b 에 있다. 현재 한 블럭된 패킷이 버퍼로 향해지기 때문에 그 버퍼는 상태 n 또는 b 에 있음에 틀림없다. 만약 한 패킷이 떠났다면 현재는 상태 0에 있다. 그래서 버퍼가 한 패킷을 받을 공간을 가진다. 만약 한 패킷이 버퍼를 떠나지 않았다면 현재는 상태 b 에 있다. 따라서 버퍼는 현재 패킷을 받을 수 없다.

$$\frac{P^{ba}(ki, t) = \{1 - T(ki, t-1)\}}{P_n(ki, t-1)r_n(ki, t-1) + P_b(k, t-1)r_b(ki, t-1)} \\ \frac{P_n(ki, t-1) + P_b(ki, t-1)}$$

$$r_n(ki, t) = r_{nn}^h(ki, t)P^{na}((k+1)e, t) \\ + r_{nb}^h(ki, t)P^{ba}((k+1)e, t) \\ + r_{nn}^l(ki, t)P^{na}((k+1)f, t) \\ + r_{nb}^l(ki, t)P^{ba}((k+1)f, t)$$

$P^{na}(ki, t)$ 는 목적지의 버퍼가 어느 상태에도 있을 수 있다는 것을 의미한다. 그러나 그 버퍼가 이전의 네트워크 주기에서 $T(ki, t-1)$ 의 확률로 패킷을 받았으면 현재는 상태 n 이며 이 경우 버퍼는 패킷을 받을 공간을 가지지 못한다. 만약 버퍼가 한 패킷을 받지 않았다면 어떤 상태에도 있을 수 있다. 현재 상태는 전의 네트워크 주기에서 목적 버퍼에 있던 패킷의 이동에 의존한다. 만약 버퍼가 비었었다면 버퍼의 현재 상태는 0이 된다. 만약 버퍼가 상태 n 이나 b 에 있다면 한 패킷은 버퍼의 상태를 0으로 변화시키기 위해서 이동했어야 한다. 만약 한 패킷이 버퍼로부터 이동하지 않았다면 현재는 상태 b 가 되어 패킷을 받을 공간을 가지지 못한다.

$$r_b(ki, t) = r_{bn}^h(ki, t)P^{ba}((k+1)e, t) \\ + r_{bb}^h(ki, t)P^{bba}((k+1)e, t) \\ + r_{bn}^l(ki, t)P^{ba}((k+1)f, t) \\ + r_{bb}^l(ki, t)P^{bba}((k+1)f, t)$$

k 단의 i 번 입력포트의 버퍼가 이전의 단의 교환요소의 위쪽 출력포트에 연결되어 있다면, ($2 \leq k \leq n$)일 때 수율은 다음과 같다.

$$T(ki, t) = P_n((k-1)g, t)r_n^h((k-1)g, t) \\ + P_n((k-1)g^c, t)r_n^h((k-1)g^c, t) \\ + P_b((k-1)g, t)r_b^h((k-1)g, t) \\ + P_b((k-1)g^c, t)r_b^h((k-1)g^c, t)$$

$$\frac{P^{na}(ki, t) = \{1 - T(ki, t-1)\}}{P_0(ki, t-1) + P_n(ki, t-1)r_n(ki, t-1) + P_b(ki, t-1)r_b(ki, t-1)} \\ \frac{P_0(ki, t-1) + P_n(ki, t-1) + P_b(ki, t-1)}$$

아래쪽 출력포트에 연결되어 있는 경우의 수율은 다음과 같다.

$$T(ki, t) = P_n((k-1)g, t)r_n^l((k-1)g, t) \\ + P_n((k-1)g^c, t)r_n^l((k-1)g^c, t) \\ + P_b((k-1)g, t)r_b^l((k-1)g, t) \\ + P_b((k-1)g^c, t)r_b^l((k-1)g^c, t)$$

$SE(k-1)$ 의 두개의 버퍼가 상태 b 에 있다면 k 단의 목적지 버퍼는 이전의 네트워크 주기에서 한 패킷을 가지고 있었고 따라서 한 패킷을 받을 수 없었을 것이다. 만약 이 패킷이 이동했다면 그 버퍼는 현재 한 패킷을 받을 공간을 가진다. 그렇지 않다면 그것의 상태는 현재 b 에 있고 가용공간은 없게 된다.

또한 수율을 다음과 같이 표현할 수도 있다.

$$T(ki, t) = q(ki, t)[P_0(ki, t) + P_n(ki, t)r_n(ki, t) \\ + P_b(ki, t)r_b(ki, t)] \quad (1 \leq k \leq n)$$

그러므로 ($2 \leq k \leq n$)일 때 $q(ki, t)$ 는 다음과 같다.

$$P^{bba}(ki, t) \\ = \frac{P_n(ki, t-1)r_n(ki, t-1) + P_b(ki, t-1)r_b(ki, t-1)}{P_n(ki, t-1) + P_b(ki, t-1)}$$

패킷이 다음 단으로 이동하기 위해서는 먼저 원하는 출력포트로 갈수 있어야 하고 또한 목적지의 버퍼가 가용해야 한다. 그러므로 $r_n(ki, t)$, $r_b(ki, t)$ 는 다음과 같다.

$$q(ki, t) = \frac{T(ki, t)}{P_0(ki, t) + P_n(ki, t)r_n(ki, t)} \\ + \frac{T(ki, t)}{P_b(ki, t)r_b(ki, t)}$$

2.3 경계조건

- 1) 처음 단: 처음 단보다 전단은 없으므로 $q(1i, t)$ 는 네트워크의 입력단에 주어진 트래픽 부하로 주어져야 한다.
- 2) 마지막 단: 한 SE의 두개의 버퍼는 블럭된 상태에 있을 수 없으므로 $r_n(ni, t)$ 와 $r_b(ni, t)$ 는 다음과 같이 계산된다.

$$\begin{aligned} r_n(ni, t) &= r_{nn}^h(ni, t) + r_{nn}^l(ni, t) \\ &\quad + r_{nb}^h(ni, t) + r_{nb}^l(ni, t) \\ r_b(ni, t) &= r_{bn}^h(ni, t) + r_{bn}^l(ni, t) \end{aligned}$$

2.4 상태식

상태식을 얻기 위해서는 먼저 $X_n^h(ki, t)$, $X_n^l(ki, t)$, $X_b^h(ki, t)$, $X_b^l(ki, t)$ 들을 구해야 한다. $X_n^h(ki, t)$, $X_b^h(ki, t)$ 는 SE(k)의 i번 입력 포트에 있는 위쪽 출력 포트에 향한 보통[블럭된] 패킷이 블럭될 확률이다. 이는 SE(k)에서는 나아갈 수 있으나 다음단의 목적버퍼에 자리가 없어서 블럭되는 경우와, SE(k)의 다른 버퍼에 있는 패킷과의 경쟁에서 져서 나아가지 못할 경우로 구성된다.

$$\begin{aligned} X_n^h(ki, t) &= r_{nn}^h(ki, t)(1 - P^{na}((k+1)e, t)) \\ &\quad + r_{nb}^h(ki, t)(1 - P^{ba}((k+1)e, t)) \\ &\quad + 0.5r(ki) r(ki^c) P_n(ki^c, t) \\ &\quad + 0.5r(ki) r_x(ki^c, t) P_b(ki^c, t) \end{aligned}$$

$$\begin{aligned} X_b^h(ki, t) &= r_{bn}^h(ki, t)(1 - P^{ba}((k+1)e, t)) \\ &\quad + r_{bb}^h(ki, t)(1 - P^{ba}((k+1)e, t)) \\ &\quad + 0.5r_x(ki, t) r(ki^c) P_n(ki^c, t) \\ &\quad + 0.5r_x(ki, t) r_x(ki^c, t) P_b(ki^c, t) \end{aligned}$$

$X_n^l(ki, t)$, $X_b^l(ki, t)$ 도 유사한 방법으로 구해

진다. 마지막 단에서는 출력포트는 항상 가용하다.

$$\begin{aligned} X_n^h(ni, t) &= 0.5r(ni) r(ni^c) P_n(ni^c, t) \\ &\quad + 0.5r(ni) r_x(ni^c, t) P_b(ni^c, t) \end{aligned}$$

$$\begin{aligned} X_n^l(ni, t) &= 0.5(1 - r(ni))(1 - r(ni^c)) P_n(ni^c, t) \\ &\quad + 0.5(1 - r(ni))(1 - r_x(ni^c, t)) P_b(ni^c, t) \end{aligned}$$

$X_b^h(ni, t)$, $X_b^l(ni, t)$ 의 경우에도 목적버퍼에 자리가 없어서 블럭되는 경우는 제외되어야 하며, 두 입력버퍼 모두 블럭된 패킷을 가지고 있는 경우는 있을 수 없으므로 다음과 같이 구해진다.

$$\begin{aligned} X_b^h(ni, t) &= 0.5r_x(ni, t) r(ni^c) P_n(ni^c, t) \\ X_b^l(ni, t) &= 0.5(1 - r_x(ni, t))(1 - r(ni^c)) P_n(ni^c, t) \end{aligned}$$

따라서 상태식들은 위에서 얻어진 식들을 이용해서 다음과 같이 구해진다.

$$P_n(ki, t+1) = q(ki, t) P_0(ki, t)$$

$$\begin{aligned} P_b(ki, t+1) &= [1 - r_n(ki, t)] P_n(ki, t) \\ &\quad + [1 - r_b(ki, t)] P_b(ki, t) \end{aligned}$$

$$P_0(ki, t+1) = 1 - P_n(ki, t+1) - P_b(ki, t+1)$$

$r_x(ki, t)$ 는 블럭된 패킷이 위쪽출력포트로 가려질 확률이므로 다음과 같이 구해진다.

$$r_x(ki, t) = \frac{P_b^h(ki, t)}{P_b^h(ki, t) + P_b^l(ki, t)}$$

($P_b^h(ki, t) + P_b^l(ki, t) \neq 0$ 때)

여기서 $P_b^h(ki, t)$ 와 $P_b^l(ki, t)$ 는 다음과 같다.

$$P_b^h(ki, t) = X_n^h(ki, t) P_n(ki, t) + X_b^h(ki, t) P_b(ki, t)$$

$$P_b^l(ki, t) = X_n^l(ki, t) P_n(ki, t) + X_b^l(ki, t) P_b(ki, t)$$

벤연형 MIN의 정규화 된 수율은 마지막 단의 출력포트에서의 수율로 정의된다. 마지막단의 출력포트 i 가 교환요소의 위쪽 출력포트라면 이 출력포트에서의 수율은 다음과 같다.

$$\begin{aligned} TNET(i, t) &= P_n(ng, t)r_n^h(ng, t) \\ &+ P_n(ng^c, t)r_n^h(ng^c, t) \\ &+ P_b(ng, t)r_b^h(ng, t) \\ &+ P_b(ng^c, t)r_b^h(ng^c, t) \end{aligned}$$

정상상태에서의 k 단의 i 포트에서 발생하는 전달지연시간은 리틀의 식[6]을 이용해 계산된다.

$$D(ki) = \lim_{t \rightarrow \infty} \frac{P_n(ki, t) + P_b(ki, t)}{T(ki, t)}$$

2.5 $r(ki)$ 의 계산

$r(ki)$ 의 값은 Lin과 Kleinrock의 논문에서의 r_{ij} 를 구하기 위한 변환방법(Transformation Method)을 사용하여 구해진다. 이 방법은 메모리 액세스 패턴을 라우팅 확률로 변환하는 방법이다. 그러므로 시간 t 에 관계없이 일정한 값을 갖는다. 예를들어 3단의 다단상호연결네트워크에서 네트워크의 입력포트 0로 연결된 프로세싱 요소가 출력포트 0에 연결된 메모리 모듈 0를 액세스 하려는 확률이 A_0 라면 이는 (제1단에서 위로 가려는 확률) \times (제2단에서 위로 가려는 확률) \times (제3단에서 위로 가려는 확률)일 것이다. 즉, $A_0 = r_{11} \times r_{21} \times r_{31}$ 이다. 마찬가지로 메모리 모듈 1을 액세스 하려는 확률 A_1 은 (제1단에서 위로 가려는 확률) \times (제2단에서 위로 가려는 확률) \times (제3단에서 아래로 가려는 확률)일 것이다. 즉, $A_1 = r_{11} \times r_{21} \times (1 - r_{31})$ 이다. 이 두식으로부터 r_{31} 을 구할 수 있다.

$$r_{31} = \frac{A_0}{A_0 + A_1}$$

나머지 r_{ij} 도 다음과 같이 구해진다.

$$r_{32} = \frac{A_2}{A_2 + A_3}$$

$$r_{33} = \frac{A_4}{A_4 + A_5}$$

$$r_{34} = \frac{A_6}{A_6 + A_7}$$

$$r_{21} = \frac{A_0 + A_1}{A_0 + A_1 + A_2 + A_3}$$

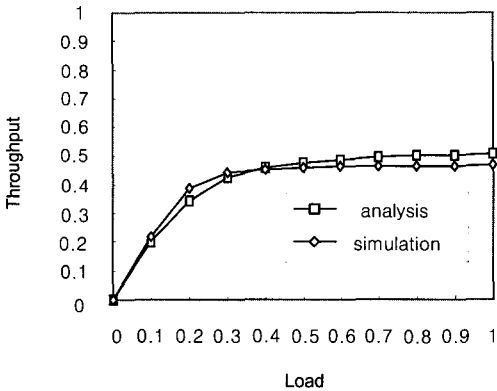
$$r_{22} = \frac{A_4 + A_5}{A_4 + A_5 + A_6 + A_7}$$

$$r_{11} = \frac{A_0 + A_1 + A_2 + A_3}{A_0 + A_1 + A_2 + A_3 + A_4 + A_5 + A_6 + A_7}$$

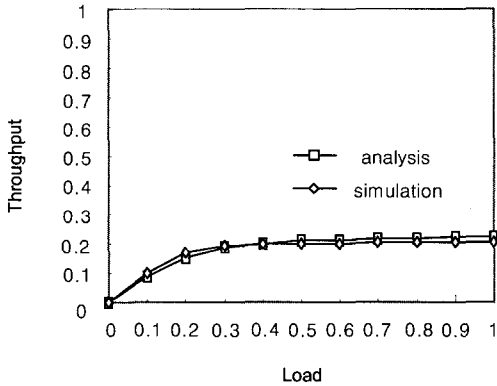
따라서 $r(1i) = r_{11}(i=0 \sim 7)$, $r(2i) = r_{21}(i=0 \sim 3)$, $r(2i) = r_{21}(i=4 \sim 7)$, $r(3i) = r_{31}(i=0, 1)$, $r(3i) = r_{32}(i=2, 3)$, $r(3i) = r_{33}(i=4, 5)$, $r(3i) = r_{34}(i=6, 7)$ 가 된다.

3. 실험 및 결과

해석적 모델로부터 얻어진 값과 시뮬레이션에서 얻어진 값과 비교하였다. 시뮬레이션에서는 95%의 신뢰도 구간을 사용하였다. 네트워크의 크기는 64×64 (6단)에서 구하였다. 버퍼의 크기는 단일버퍼가 가정된다. 각 프로세서에 걸린 트래픽 부하는 0에서부터 1일때(즉, 항상 패킷이 있을 때)까지 구할 수 있다. 비균일트래픽에서도 가장 연구가 많이되고 있는 핫스팟 트래픽을 입력시켰다. 그림 1은 첫번째 메모리 모듈이 0.035의 확률로 액세스되고 나머지 메모리 모듈들은 균등하게 액세스될 때 (즉, $0.965/63 = 0.0153$)의 결과이다. 즉, 첫번째 메모리 모듈은 다른 메모리 모듈



<그림 1> 첫번째 메모리 모듈의 출력



<그림 2> 나머지 메모리 모듈의 출력

보다 2배이상의 확률로 비균일하게 더 많이 액세스 됨을 의미한다. 이 때 해석적 모델로부터의 결과와 시뮬레이션으로부터의 결과와 비교된다.

그림 1은 첫번째 출력포트에서의 수율을 나타낸다. 다른 출력포트보다 두배이상의 확률로 더 많이 액세스되므로 그림 2의 다른 포트에서의 수율보다 높은 결과를 보인다. 트래픽 부하는 0에서부터 0.1씩 증가시켜 1까지 증가시킨다. 해석적 모델로부터의 결과는 시뮬레이션의 결과와 매우 근접하게 일치하고 있다.

5. 결론

본 논문에서는 블럭상태를 효과적으로 도입함

으로써 비균일트래픽 상황하에서의 입력버퍼를 가진 다단상호연결네트워크의 성능을 상대적으로 간결하면서도 정확하게 나타내는 모델을 제시하였다. 클럭주기 개념은 소클럭주기 모델을 사용하였으며, 제시된 모델의 정확성을 입증하기 위하여 시뮬레이션으로부터의 결과와 비교한 결과 네트워크의 크기나 트래픽 크기의 변화에 관계없이 항상 정확한 결과를 보여주었다. 복수개의 버퍼를 위한 모델이나 다른 네트워크 구조에 적용하기 위하여 쉽게 변형될 수 있을 것으로 예상된다.

참고문헌

- [1] T.H. Theimer, E.P. Rathgeb and M.N. Huber, "Performance analysis of buffered banyan networks," *IEEE Trans. Commun.*, vol. C-39, pp. 269-277, Feb. 1991.
- [2] H.S. Yoon, K.Y. Lee and M.T. Liu, "Performance analysis of multibuffered packet-switching networks in multiprocessor systems," *IEEE Trans. Comput.*, vol. C-39, pp. 319-327, March 1990.
- [3] S.H. Hsiao and C.Y.R. Chen, "Performance analysis of single-buffered multistage interconnection networks," in *Proc. Third IEEE Symp. Parallel and Distributed Processing*, pp. 864-867, Dec. 1991.
- [4] T. Lin and L. Kleinrock, "Performance analysis of finite-buffered multistage interconnection networks with a general traffic pattern," in *Proc. 1991 ACM SIGMETRICS Conf.*, pp. 68-78, May 1991.
- [5] J. Ding and L.N. Bhuyan, "Performance evaluation of multistage interconnection networks with finite buffers," in *Proc. 1991 Int. Conf. Parallel Processing*, pp. 592-595, 1991.
- [6] D.C. Little, "A proof of the queueing formula $L = \lambda W$ " *Operations Res.*, vol. 9, pp. 383-387, 1961.

◎ 저 자 소개 ◎



문 영 성

1983년 : 연세대학교 전자공학과 졸업(학사)

1986년 : 알버타대학교 대학원 전자공학과 졸업(석사)

1999년 : 텍사스대학교 대학원 컴퓨터학과 졸업(박사)

1994년~현재 : 송실대학교 컴퓨터학부 부교수

관심분야 : Mobile IP, IPv6, GRID, QoS, 성능분석, 이동단말 인증, Honeypot

E-mail : mun@computing.ssu.ac.kr