

분산회로를 이용한 칩 바리스터의 ESD 보호 특성에 대한 분석

論 文
53C-12-1

An Analysis of the ESD Protection Characteristic of Chip Varistors Using a Distributed Circuit

洪 誠 模[†] · 李 鍾 根^{*} · 鄭 德 鎮^{**} · 金 柱 民^{***}
(Sung-Mo Hong · Jong-Geun Lee · Duck-Jin Chung · Ju-Min Kim)

Abstract - The ESD protection characteristic of chip varistors on a circuit board can not be analyzed by using a conventional circuit simulator due to its microwave characteristic. Thus, by employing Agilent's microwave circuit simulator ADS, we showed that the ESD protection characteristic of chip varistors can be investigated. In order to get more precise simulation results, a chip varistor model was extracted from the electrical characteristic of a TDK's chip varistor and the distributed circuit based pattern was designed as the ESD propagation path. The simulation results showed that the ESD protection characteristic of a chip varistors can be improved drastically by reducing the ESD propagation path.

Key Words : ESD, Varistor, Microwave, Microstrip, Modeling

1. 서 론

현재 상용칩의 pad는 ESD 인가시 HBM(Human Body Model) 기준으로 2kV 정도의 ESD를 흡수하는 보호회로를 포함하고 있다[1][2]. 그러나 휴대기기 등은 수kV~수십kV에 이르는 다양한 ESD를 경험하게 되므로 고압 ESD에 의해 칩은 여전히 파괴되거나 오동작 할 수 있으며, 이는 시스템 레벨에서 접근하여 해결하여야 한다. 이러한 시스템 레벨에서의 ESD 대책은, ESD에 직접 노출될 확률이 많은 신호라인에 칩 바리스터와 같은 보호소자를 장착하는 것과 ESD 펄스를 효율적으로 흡수할 수 있는 PCB 패턴 설계를 병행하는 것이다[3][4][5].

지금까지 분산회로(distributed circuit)를 고려하지 않은 PCB 패턴에 ESD 보호소자를 장착한 후 ESD 펄스를 인가하는 실험을 통한 ESD 펄스에 대한 분석은 ESD 보호소자로 흡수되지 않고 내부 회로소자로 전달된 ESD 펄스를 측정기에서 관찰하는 것만이 가능하고 분산회로를 고려하지 않은 PCB 패턴을 사용함으로써 인해 고주파 특성을 가진 ESD 펄스의 전파 및 흡수 특성에 대한 체계적이고 이론적인 파악이 어렵다. 이에 비해 고주파 회로 시뮬레이터를 이용하여 분산회로를 고려한 PCB 패턴에 ESD 보호소자를 장착한 후 ESD 펄스를 인가하는 시간응답(transient) 시뮬레이션을 통한 ESD 펄스에 대한 분석은 PCB 패턴과 ESD 보호소자를 거쳐

서 접지(ground)로 흡수되는 ESD 펄스와 ESD 보호소자로 흡수되지 않고 내부 회로소자로 전달된 ESD 펄스 파형을 관찰함으로써 PCB 패턴과 ESD 보호소자에 의한 고주파 ESD 펄스의 전파 및 흡수 특성에 대한 체계적이고 이론적인 연구를 수행할 수 있게 된다.

따라서, 본 논문에서는 ESD 보호소자로 사용되고 있는 칩 바리스터를 2개의 제너 다이오드(Zener diode)를 사용하여 모델링을 수행하였고 IEC 61000-4-2에서 제안하고 있는 표준 ESD 전류파형을 만드는 ESD 펄스 생성기에 대한 모델링을 수행하였다. 또한, 분산회로를 고려한 PCB 패턴은 특성 임피던스(characteristic impedance)가 50 ohm인 마이크로스트립(microstrip)을 사용하여 구성하였다. 이렇게 구성된 PCB 패턴에 칩 바리스터 모델을 장착한 후 표준 ESD 펄스를 인가하는 시간응답 시뮬레이션을 통해 분산회로 관점에서 칩 바리스터의 ESD 보호 특성을 분석하는 방법을 제시하였다. 본 연구에서는 고주파 회로 시뮬레이터로 널리 사용되고 있는 Agilent사의 ADS를 이용하였다.

2. 칩 바리스터 모델링

본 절에서는 ESD 펄스로부터 회로소자들을 보호하기 위한 보호소자인 칩 바리스터가 장착되었을 때 PCB 회로상의 ESD 전파특성을 시뮬레이션 하기 위하여 수행한 칩 바리스터 모델링 결과를 설명하고자 한다. 칩 바리스터는 칩 바리스터의 양단에 바리스터 전압이 걸리게 되면 저항이 급격히 낮아지는 특성을 가지고 있는데 이것은 제너 다이오드의 역방향 항복 전압(reverse breakdown voltage)과 동일한 특성을 가지는 것이다. 또한, 칩 바리스터는 순방향(forward) 및 역방향(reverse) I-V 특성이 대칭적이다. 따라서, 그림 1에서 보이는 바와 같이 칩 바리스터는 2개의 제너 다이오드를 이

[†] 교신저자, 正會員 : (주)퀀텀베이스 硏究開發室長

E-mail : starhong@quantumbase.com

^{*} 正會員 : 富川大學 디지털産業電子科 敎授 · 工博

^{**} 終身會員 : 仁荷大學校 情報通信工學部 敎授 · 工博

^{***} 正會員 : (주)퀀텀베이스 代表理事 · 工博

接受日字 : 2004年 8月 25日

最終完了 : 2004年 11月 17日

용하여 음극 공통(cathode common) 제너 다이오드로 모델링 할 수 있음을 알 수 있다. 2개의 제너 다이오드를 이용하여 칩 바리스터 특성을 갖도록 모델링 하기위해서는 칩 바리스터의 I-V 특성 곡선에 대한 curve fitting을 실시하여 제너 다이오드의 파라미터 값(R_s , R_b , BV , N_{bv})들을 결정하여야 한다[6].

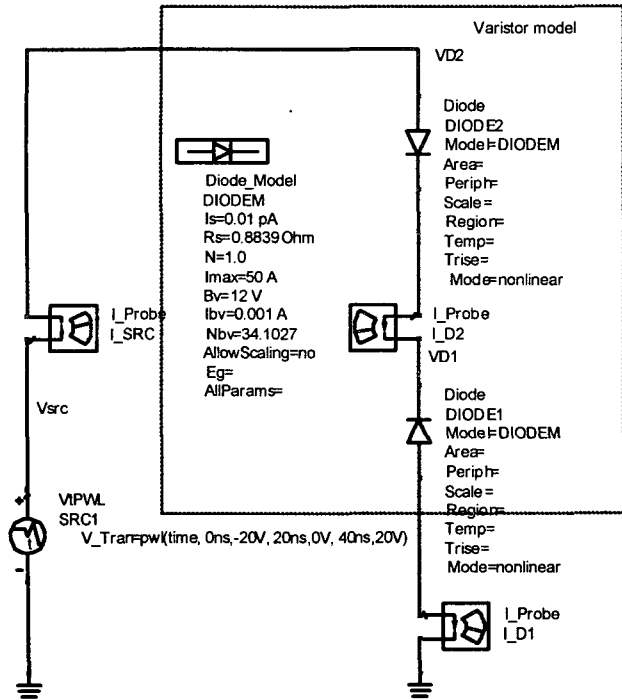


그림 1. ADS를 이용하여 칩 바리스터 모델을 검증한 회로도
Fig. 1. Chip varistor model verification circuit with ADS

2.1 역방향 항복 이상계수(N_{bv})를 결정

식 1은 제너 다이오드의 역방향 바이어스 전류를 전압에 대한 함수로 표시한 것이며, 식 1에 보인 바와 같이 역방향 바이어스 전류는 역방향 바이어스 전압인 V_d 에 대한 지수함수의 형태로 모델링 된다. 식 1에서 사용된 모델링 파라미터들은 역방향 항복 전압에서의 전류(I_{bv}), 역방향 항복 전압(reverse breakdown voltage, BV), 역방향 항복 이상계수(reverse breakdown ideality factor, N_{bv}) 및 열 전압(thermal voltage, v_t)으로 구성된다. 식 1에서 I_b 는 역방향 바이어스 전류이고 V_d 는 역방향 바이어스 전압을 나타낸다.

$$I_b = I_{bv} \times e^{\frac{V_d - BV}{N_{bv} \times v_t}} \quad (1)$$

여기서 역방향 항복 전압(BV)은 1608 칩 바리스터의 바리스터 전압 값인 12 V로 설정하였고 역방향 항복 전압에서의 전류(I_{bv})는 칩 바리스터 전압에서 흐르는 전류 값인 1 mA로 설정하였다. 그리고, 열 전압(v_t)은 0.0259 V이다. 그림 2에서 보이는 1608 칩 바리스터 I-V 특성 곡선의 역방향 바이어스 전류의 범위가 $2 \times 10^{-5} \sim 3 \times 10^{-2}$ A의 구간에서 식 1에 대한 curve fitting을 실시하여 제너 다이오드의 역방향 항복 이상계수(N_{bv}) 값을 추출하였으며 그 값은 34.1027이다.

2.2 옴 저항(R_s)을 결정

제너 다이오드에 걸리는 역방향 바이어스 전압이 항복 전압을 초과하게 되면 옴 영역(ohmic region)으로 들어가게 된다. 이 영역에서의 옴 저항(ohmic resistance, R_s)을 구하기 위해 식 2와 3을 사용하였다. 우선, 식 2로부터 바리스터 저항(R_v)을 구하고 식 3으로부터 항복 저항(breakdown resistance, R_b)을 구한 후에 2개의 저항으로부터 옴 저항을 추출한다.

$$I_b = \left(\frac{v_d}{R_v} \right) + I_{bo} \quad (2)$$

식 2에 보인 바와 같이 역방향 바이어스 전류(I_b)는 역방향 바이어스 전압(V_d), 초기 전압에서의 전류(I_{bo}) 및 바리스터 저항(R_v)의 함수로 구성된다. 다음으로 그림 2로부터 역방향 바이어스 전류 영역이 대략 $4 \times 10^{-1} \sim 1$ A 구간임을 확인할 수 있으며, 식 2의 파라미터 값을 결정하기 위한 curve fitting의 범위로 사용하였다. 그 결과 추출된 바리스터 저항(R_v)의 값은 2.651 ohm이다. 또한, 식 3에 보인 바와 같이 역방향 컨덕턴스(reverse conductance, G_b)는 역방향 바이어스 전류(I_b), 역방향 항복 이상계수(N_{bv}) 및 열 전압(v_t)으로 구성된다. 식 3으로부터 역방향 바이어스 전류가 1A인 곳에서의 역방향 컨덕턴스(G_b) 값이 1.1322 mho로 계산되었다. 여기서 역방향 컨덕턴스(G_b)의 역수를 취하면 역방향 저항(reverse resistance, R_b)을 추출할 수 있으며, 역방향 바이어스 전류가 1A인 곳에서의 역방향 저항(R_b) 값은 0.8832 ohm임을 알 수 있다.

$$G_b = \left(\frac{I_b}{N_{bv} \times v_t} \right) \quad (3)$$

마지막으로, 바리스터 저항(R_v)은 식 4에 보인 바와 같이 2개의 제너 다이오드에 있는 옴 저항(R_{s1} , R_{s2})과 역방향 바이어스 상태인 제너 다이오드에 있는 역방향 저항(R_b)으로 구성된다. 여기서 2개의 옴 저항은 같다고 가정하여 식 4로부터 옴 저항(R_s) 값을 구하면 0.8839 ohm으로 계산되었다.

$$R_v = R_{s1} + R_{s2} + R_b \quad (4)$$

이상을 정리하면, 2개의 제너 다이오드를 이용하여 칩 바리스터 모델링을 실시하였는데 각 제너 다이오드의 파라미터 값은 다음과 같다. 역방향 항복 전압(BV)은 바리스터 전압 값인 12 V, 역방향 항복 전압에서의 전류(I_{bv})는 바리스터 전압에서 흐르는 전류 값인 1 mA, 식 1의 curve fitting 결과인 역방향 항복 이상계수(N_{bv}) 값은 34.1027, 식 2에서 4까지를 이용하여 추출한 옴 저항(R_s) 값은 0.8839 ohm으로 계산되었다. 그림 2에 칩 바리스터 모델에서 이용되는 제너 다이오드의 파라미터 값을 결정하기 위해서 1608 칩 바리스터의 I-V 특성 곡선에 대한 curve fitting한 결과를 도시하였다. 여기서 붉은색 곡선은 curve fitting한 결과이며 사각형 심볼이 연결된 곡선은 실제 TDK 칩 바리스터의 I-V 특성 곡선이다. 그림 2로부터 fitting된 곡선은 대부분의 구간에서 실제 I-V 특성 곡선을 대신할 수 있음을 확인할 수 있다.

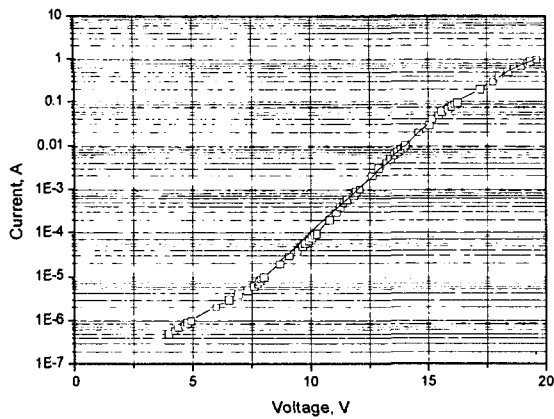


그림 2. TDK사의 1608 칩 바리스터 I-V 특성 곡선과 curve fitting 결과

Fig. 2. IV curve and its curve fitting result of a TDK's 1608 size chip varistor

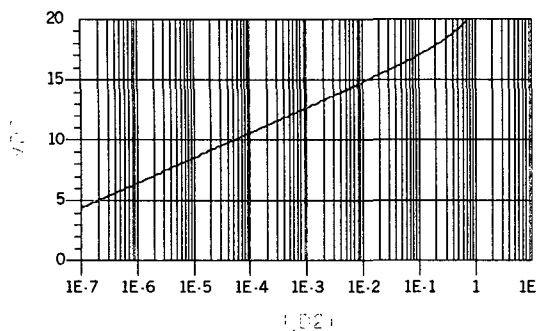


그림 3. TDK사의 1608 칩 바리스터를 기반으로 제안한 칩 바리스터 모델의 I-V 특성 곡선

Fig. 3. Simulated IV curve of the proposed chip varistor model based on a TDK's 1608 size chip varistor

표 1. TDK사의 1608 칩 바리스터와 칩 바리스터 모델의 I-V 특성 비교

Table 1. Comparison of I-V characteristic of TDK's 1608 size chip varistor and the proposed chip varistor model

Current	1×10^{-6} A	1×10^{-5} A	1×10^{-4} A
TDK chip varistor Voltage	4.875 V	7.989 V	10.237 V
proposed chip varistor model Voltage	6.426 V	8.501 V	10.576 V
Current	1×10^{-3} A	1×10^{-2} A	1×10^{-1} A
TDK chip varistor Voltage	12.052 V	14.029 V	16.250 V
proposed chip varistor model Voltage	12.656 V	14.746 V	16.991 V

그림 1에 앞서 추출한 모델 파라미터 값들을 적용하여 설계한 칩 바리스터 모델의 I-V 특성을 검증하기 위한 회로를 도시하였다. 상기 회로를 기반으로, 제안한 칩 바리스터 모델의 양단에 전압을 $-20 \sim 20$ V로 변화시키며 칩 바리스터 모델에 흐르는 전류를 시뮬레이션 하였으며, 그림 3에 시뮬레이션 결과인 칩 바리스터 모델의 I-V 특성 곡선을 도시하였다. 또한, 표 1에 그림 2에 보이는 TDK 칩 바리스터의 I-V 특성과 그림 3에 보이는 칩 바리스터 모델의 I-V 특성을 비교한 자료를 보여주고 있다. 표 1에서 보이는 바와 같이 칩 바리스터 전류가 1×10^{-6} A일 때 TDK 칩 바리스터의 전압은 4.875 V, 칩 바리스터 모델의 전압은 6.426 V로 1.551 V의 전압차이를 보이고 있다. 이것은 TDK 칩 바리스터의 I-V 특성을 이용하여 모델링시에 I-V 특성 곡선으로부터 샘플을 추출하는 한계로 인하여 저 레벨주입(low level injection) 영역인 2×10^{-6} A 미만에서 실제 값과의 차이가 존재하는 것으로 보인다. 또한, 표 1에서 보이는 바와 같이 칩 바리스터 전류가 1×10^{-4} A일 때 TDK 칩 바리스터의 전압은 10.237 V, 칩 바리스터 모델의 전압은 10.576 V로 0.339 V의 전압차이를 보이고 있고 칩 바리스터 전류가 1×10^{-2} A일 때 TDK 칩 바리스터의 전압은 14.029 V, 칩 바리스터 모델의 전압은 14.746 V로 0.717 V의 전압차이를 보이고 있다. 이것은 그림 1에서 보이는 바와 같이 2개의 제너 다이오드의 음극(cathode)이 연결되어 있고 양극(anode)이 외부 회로와 연결되는 형태로 구성되어 있기 때문에 항상 1개의 제너 다이오드는 순방향 바이어스 상태로 있게 되고 다른 1개의 제너 다이오드는 역방향 바이어스 상태로 있게 된다. 따라서, 칩 바리스터의 동작 영역에서는 순방향 바이어스 상태인 제너 다이오드는 문턱전압(threshold voltage) 정도의 작은 전압만이 걸리게 되고 역방향 바이어스 상태인 제너 다이오드에서 칩 바리스터의 거의 모든 전압이 걸리게 된다. 여기서는 순방향 바이어스 상태에서의 제너 다이오드의 파라미터 값들은 기본값으로 설정하고 주로 역방향 바이어스 상태에서의 제너 다이오드의 파라미터 값들에 대한 모델링을 수행하여 실제 값과의 차이가 존재하는 것으로 보인다. 위와 같이 TDK 칩 바리스터의 I-V 특성 곡선에 대한 curve fitting을 사용하여 제너 다이오드의 파라미터를 결정하고 결정된 제너 다이오드의 파라미터를 사용하여 칩 바리스터 모델을 수행한 결과, 표 1에서 도시한 바와 같이 대부분의 바리스터 전류 구간에서 칩 바리스터 모델은 실제 TDK 칩 바리스터와 거의 동일한 동작 특성을 보임을 알 수 있다.

3. 시뮬레이션 및 결과

3.1 ESD 펄스 모델링

본 논문에서는 현재 칩 바리스터의 특성을 측정하는데 주로 사용하는 IEC 61000-4-2 표준의 HBM ESD 모델을 사용하였다. 그림 4는 ADS 고주파 회로 시뮬레이터에서 모델링한 HBM ESD 펄스 생성기의 등가회로이다. 그림 4에 보인 바와 같이 IEC 61000-4-2 표준에 맞도록 충전 커패시터는 150 pF으로, 방전 저항은 330 ohm으로 정하였으며 표 2에 보인 바와 같은 IEC 61000-4-2 표준 ESD 펄스를 재현하기 위해서 기생성분을 추가하였다. 그림 4에 보인 바와 같은 회로에서 기생 인덕터 Lp1은 주로 ESD 펄스의 상승시간

(rising time)과 오버슈트(overshoot)에 큰 영향을 주며, 기생 커패시터 Cp1은 ESD 펄스의 오버슈트에 주로 영향을 미친다[7][8][9].

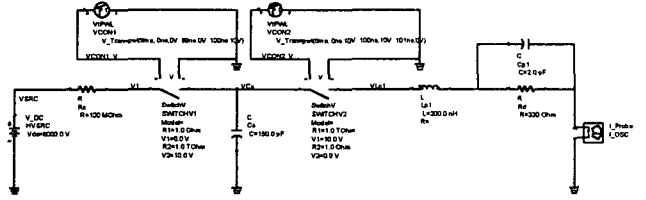


그림 4. IEC 61000-4-2 표준에 기생성분을 추가한 HBM ESD 등가회로도

Fig. 4. HBM ESD schematic with parasitic elements added based on IEC 61000-4-2 standard

기생 인덕터 Lp1을 100~200nH로 변화시키고 기생 커패시터 Cp1을 1pF으로 고정시킨 경우, ESD 전류파형에 대해 ADS로 시뮬레이션을 수행하였다. Lp1은 100nH이고 Cp1은 1pF인 경우 전류의 최대값은 31.90A이고 상승시간은 0.4ns로 계산되었다. 한편 Cp1을 1pF으로 고정시키고 Lp1을 200nH로 변화시킨 경우 전류의 최대값은 25.93A이고 상승시간은 0.8ns로 계산되었다. 이와 같이 Lp1에서 100nH의 인덕턴스 증가에 의하여 전류의 최대값은 약 18.7%가 감소하였으며, 상승시간은 100% 증가하였다. 따라서 Lp1은 상승시간 변화의 주요인임을 확인할 수 있다. IEC 61000-4-2 표준 ESD 전류파형은 상승시간을 0.7~1.0ns으로 규정하고 있으므로 상승시간이 0.8ns으로 관찰된 기생 인덕터 Lp1은 200nH로 정하고 Cp1의 값을 변화시켜 오버슈트 특성을 만족시키고자 하였다.

기생 인덕터 Lp1을 200nH로 고정시키고 기생 커패시터 Cp1을 1~3pF으로 변화시킨 경우, ESD 전류파형에 대해 ADS로 시뮬레이션을 수행하였다. Lp1은 200nH이고 Cp1은 2pF일 때 전류의 최대값은 31.79A이고, 상승시간은 0.9ns으로 계산되었다. 또한, Lp1은 200nH이고 Cp1은 3pF인 경우에는 전류의 최대값은 36.77A이고, 상승시간은 1.0ns로 계산되었다. 이와 같이 Cp1에서 1pF의 커패시턴스 증가에 전류의 최대값은 약 5A 정도가 증가하였고, 상승시간은 0.1ns 정도가 증가하였다. 따라서 Cp1은 ESD 전류파형의 오버슈트 특성을 변화시키는 파라미터임을 알 수 있었다. 표 2와 그림 5에 8kV의 지시전압(Indicated voltage)을 기준으로, IEC 61000-4-2 표준 ESD 전류파형과 기생 인덕터 Lp1은 200nH이고 기생 커패시터 Cp1은 2pF일 때의 개발 모델에 대한 시뮬레이션 ESD 전류파형을 비교하였다. 표 2와 그림 5에서 보인 바와 같이 IEC 61000-4-2 표준 ESD 전류파형의 경우, 전류의 최대값은 30A, 상승시간은 0.7~1.0ns, 30ns 경과후의 전류값은 16A, 60ns 경과후의 전류값은 8A로 정의되어 있고 시뮬레이션 ESD 전류파형의 경우, 전류의 최대값은 31.79A, 상승시간은 0.9ns, 30ns 경과후의 전류값은 13.34A, 60ns 경과후의 전류값은 7.298A로 계산되었다. 이것은 시뮬레이션 ESD 전류파형이 IEC 61000-4-2 표준 ESD 전류파형의 허용 오차 범위 안에 들어간다는 것을 의미한다. 따라서, 위의 결과로부터 기생 인덕터 Lp1은 200nH이고 기생 커패시터 Cp1은 2pF의 HBM ESD 펄스 생성기에서 IEC 61000-4-2 표준에 부합하는 ESD 전류파형을 얻을 수 있었다.

표 2. IEC 61000-4-2 표준에서 규정한 ESD 전류파형과 ESD 모델의 시뮬레이션 결과

Table 2. Contact discharge characteristic of HBM of IEC 61000-4-2 and simulation model

	지시 전압	전류 최대값 ($\pm 10\%$)	상승 시간	전류값 @30ns ($\pm 30\%$)	전류값 @60ns ($\pm 30\%$)
IEC 61000-4-2	8kV	30 A	0.7~1 ns	16 A	8 A
Simulation Model	8kV	31.79 A	0.9 ns	13.34 A	7.298 A

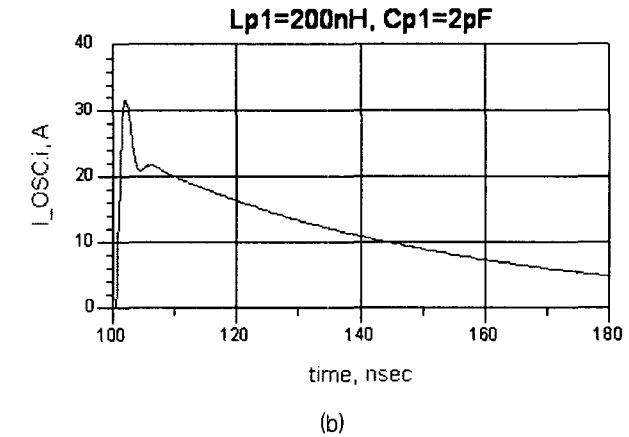
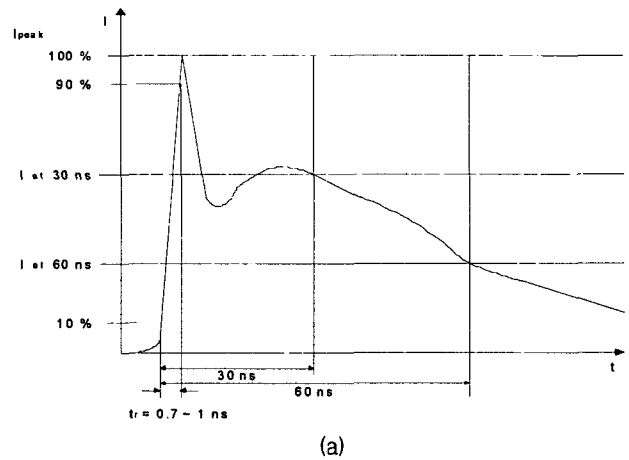


그림 5. (a) IEC 61000-4-2 표준에 규정한 ESD 전류파형 (b) ESD 모델로 시뮬레이션한 ESD 전류파형

Fig. 5. HBM ESD current waveform of (a) IEC 61000-4-2, and (b) simulation model

3.2 칩 바리스터의 ESD 펄스에 대한 응답 시뮬레이션

ESD 펄스는 다양한 경로로 내부 회로로 침투하여 PCB상의 신호라인(signal line)을 통해 내부회로소자에 전달되어 회로의 오동작을 유발시키거나 심지어는 회로소자를 파괴시킨다. 이러한 ESD 펄스가 신호라인을 따라 전달될 때 이를 접지로 흡수시켜 내부 회로소자로의 전달을 차단하고자 ESD

보호소자인 칩 바리스터를 장착한다. 따라서 ESD 보호소자는 대부분 신호라인과 접지 사이에 장착하게 되는데, ESD 보호소자를 가장 효율적으로 만드는 PCB 패턴상의 장착위치 및 PCB 신호 라인 패턴에 대한 고찰이 필수적이다. 본 절에서는 칩 바리스터와 PCB 패턴이 ESD 펄스의 전파에 미치는 영향을 시뮬레이션을 통해 알아보려고 한다.

ESD 펄스가 방전되는 ESD 펄스 생성기와 50 ohm 부하 (Load) 사이에 칩 바리스터를 장착하기 위하여 TL1, TL2, TL3 및 Tee1이라는 4개의 마이크로스트립을 연결하여 T자 형태의 회로패턴을 생성하였고 TL3와 접지 사이에 칩 바리스터 모델을 연결한 회로를 그림 6에 도시하였다. 그림 6에서 보인 바와 같이 ESD 펄스 생성기에서 방전되는 ESD 펄스는 특성 임피던스가 50 ohm인 마이크로스트립과 앞서 제안한 칩 바리스터 모델에서 흡수되고 일부분의 ESD 펄스가 다음 단의 50 ohm 부하로 전달된다. 이때 그림 6에 신호라인으로 사용한 마이크로스트립(TL1, TL2, Tee1) 길이를 40.0 mm로 유지하면서 신호라인의 2개 마이크로스트립(TL1, TL2)과 가지(branch) 패턴의 1개 마이크로스트립(TL3) 길이를 변화시킴으로써, 칩 바리스터 모델의 장착 위치에 따라 50 ohm 부하에 전달되는 ESD 펄스의 변화를 ADS로 시뮬레이션 하였다.

첫번째로, 신호라인(TL1, TL2)의 변화에 따른 내부 회로 소자로 전달되는 ESD 펄스의 변화를 알아보기 위해 ESD 펄스 생성기와 연결된 ESD 펄스 입력단과 칩 바리스터와의 신호라인 간격(TL1)을 10.0mm로, 칩 바리스터와 50 ohm 부하와의 간격(TL2)을 30.0mm로 설정하고, 신호라인에서 칩 바리스터로 연결된 가지 패턴이 5.0mm의 길이(TL3)를 가지도록 설정한 후, IEC 61000-4-2 표준의 8kV ESD 펄스를 인가하였을 때 응답을 시뮬레이션 하였다. 그림 7(a)와 그림 8(a)에 ESD 펄스 입력단에 걸리는 ESD 전압파형과 50 ohm 부하에서 걸리는 ESD 전압파형을 각각 도시하였다. 그림 7(a)와 그림 8(a)의 결과로부터 ESD 펄스 입력단에 걸리는 ESD 전압 최대값은 245.8 V, 50 ohm 부하에 걸리는 ESD 전압 최대값은 112.1 V로 계산되었다. 다음으로, ESD 펄스 입력단과 칩 바리스터와의 신호라인 간격(TL1)을 30.0mm로, 칩 바리스터와 50 ohm 부하와의 간격(TL2)을 10.0mm로 설정하고, 신호라인에서 칩 바리스터로 연결된 가지 패턴이 5.0mm의 길이(TL3)를 가지도록 설정한 후, IEC 61000-4-2 표준의 8kV ESD 펄스를 인가하였을 때 그 응답을 시뮬레이션 하였다. 그림 7(b)와 그림 8(b)에 ESD 펄스 입력단에 걸리는 ESD 전압파형과 50 ohm 부하에서 걸리는 ESD 전압파형을 각각 도시하였다. 그림 7(b)와 그림 8(b)의 결과로부터 ESD 펄스 입력단에 걸리는 ESD 전압 최대값은 654.8 V, 50 ohm 부하에 걸리는 ESD 전압 최대값은 146.4 V로 계산되었다.

그림 7(a)와 그림 7(b)의 결과로부터 ESD 펄스 입력단과 칩 바리스터와의 신호라인 간격(TL1)을 10.0mm에서 30.0mm로 증가되었을 때 ESD 펄스 입력단에 걸리는 ESD 전압의 최대값은 약 409 V 이상 증가됨을 확인할 수 있다. 이와 같이 ESD 펄스 입력단과 칩 바리스터와의 신호라인 간격(TL1)의 증가로 신호라인(TL1) 인덕턴스가 증가하게 됨으로써 ESD 펄스에 대한 반사파 증가에 기인하여 ESD 펄스 입력단에 걸리는 ESD 전압이 증가하게 되는 것으로 보인다. 또한, 그림 8(a)와 그림 8(b)의 결과로부터 ESD 펄스 입력단

과 칩 바리스터와의 신호라인 간격(TL1)이 증가됨으로 인해 50 ohm 부하에 전달되는 ESD 전압의 최대값은 약 34V 이상 증가됨을 확인할 수 있다. 이것은 앞서 설명한 ESD 펄스 입력단과 칩 바리스터와의 신호라인 간격(TL1)의 증가로 신호라인(TL1) 인덕턴스가 증가하게 됨으로써 ESD 펄스에 대한 반사파 증가에 기인하여 ESD 펄스 입력단에 걸리는 ESD 전압이 증가하게 되고 이로 인해 50 ohm 부하에 전달되는 ESD 전압도 증가하게 되는 것으로 보인다. 그렇지만, ESD 펄스 입력단으로 들어오는 ESD 펄스가 가지 패턴(TL3)과 칩 바리스터를 통해 접지로 거의 전달되므로 인해 ESD 펄스 입력단에 걸리는 ESD 전압의 증가에 비해 50 ohm 부하에 전달되는 ESD 전압의 증가는 낮게 나타나는 것을 알 수 있다.

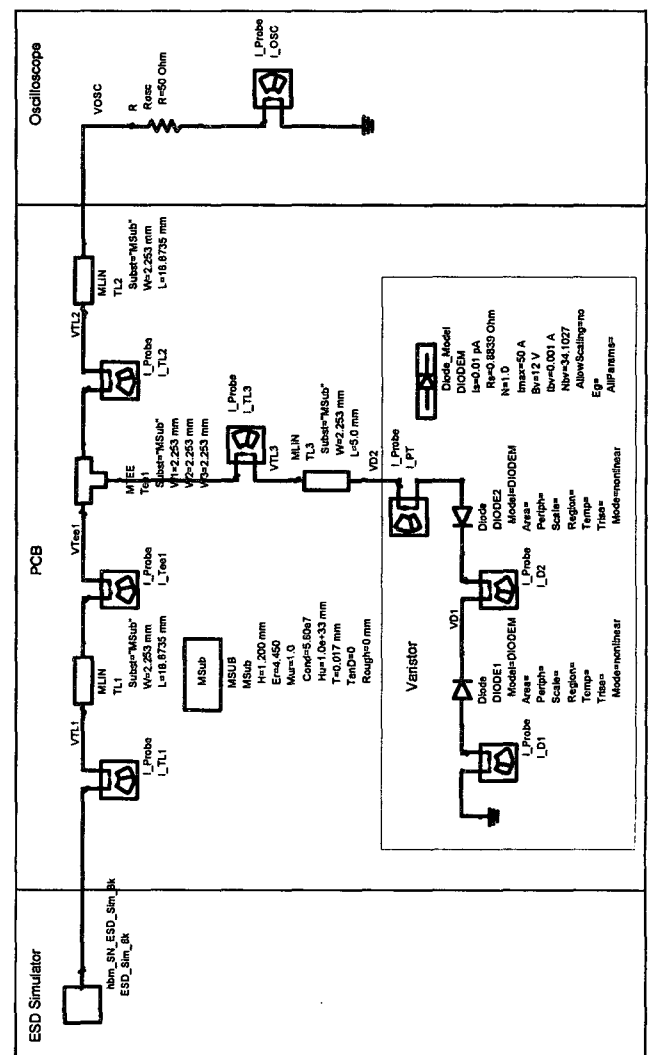


그림 6. PCB 패턴에 따른 칩 바리스터에서 ESD 펄스의 변화를 시뮬레이션하기 위한 회로도

Fig. 6. Schematic for the simulation of ESD propagation when a chip varistor is installed with an additional branch pattern to connect protected signal line to a chip varistor

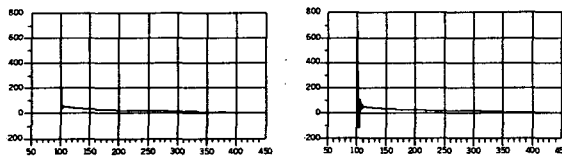


그림 7. (a) TL1=10.0mm, TL2=30.0mm, TL3=5.0mm인 경우 및 (b) TL1=30.0mm, TL2=10.0mm, TL3=5.0mm인 경우, ESD 펄스 입력단에서의 전압파형

Fig. 7. Simulated ESD voltage waveform at the ESD pulse input (a) When TL1=10.0mm, TL2=30.0mm, and TL3=5.0mm, (b) When TL1=30.0mm, TL2=10.0mm, and TL3=5.0mm, respectively

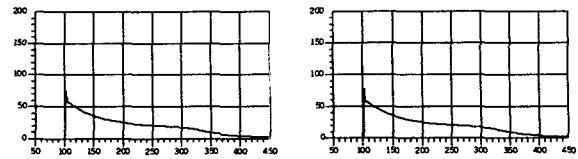


그림 9. (a) TL1=20.0mm, TL2=20.0mm, TL3=5.0mm인 경우 및 (b) TL1=20.0mm, TL2=20.0mm, TL3=2.5mm인 경우, 칩 바리스터 모델에서의 ESD 전압파형

Fig. 9. Simulated ESD voltage waveform at the chip varistor model (a) When TL1=20.0mm, TL2=20.0mm, and TL3=5.0mm, (b) When TL1=20.0mm, TL2=20.0mm, and TL3=2.5mm, respectively

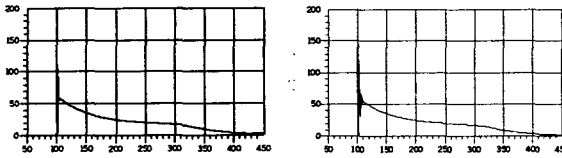


그림 8. (a) TL1=10.0mm, TL2=30.0mm, TL3=5.0mm인 경우 및 (b) TL1=30.0mm, TL2=10.0mm, TL3=5.0mm인 경우, 50 ohm 부하에서의 ESD 전압파형

Fig. 8. Simulated ESD voltage waveform at the 50 ohm load (a) When TL1=10.0mm, TL2=30.0mm, and TL3=5.0mm, (b) When TL1=30.0mm, TL2=10.0mm, and TL3=5.0mm, respectively

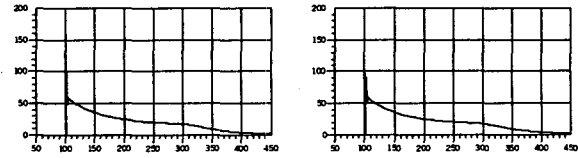


그림 10. (a) TL1=20.0mm, TL2=20.0mm, TL3=5.0mm인 경우 및 (b) TL1=20.0mm, TL2=20.0mm, TL3=2.5mm인 경우, 50 ohm 부하에서의 ESD 전압파형

Fig. 10. Simulated ESD voltage waveform at the 50 ohm load (a) When TL1=20.0mm, TL2=20.0mm, and TL3=5.0mm, (b) When TL1=20.0mm, TL2=20.0mm, and TL3=2.5mm, respectively

두번째로, 가지 패턴(TL3)의 변화에 따른 내부 회로소자로 전달되는 ESD 펄스의 변화를 알아보기 위해 ESD 펄스 입력단과 칩 바리스터와의 신호라인 간격(TL1)을 20.0mm로, 칩 바리스터와 50 ohm 부하와의 간격(TL2)을 20.0mm로 동일하게 설정하고, 신호라인에서 칩 바리스터로 연결된 가지 패턴이 5.0mm의 길이(TL3)를 가지도록 설정한 후, IEC 61000-4-2 표준의 8kV ESD 펄스를 인가하였을 때 그 응답을 시뮬레이션 하였다. 그림 9(a)와 그림 10(a)에 칩 바리스터 모델에 걸리는 ESD 전압 파형과 50 ohm 부하에서 걸리는 ESD 전압파형을 각각 도시하였다. 그림 9(a)와 그림 10(a)의 결과로부터 칩 바리스터 모델에 걸리는 ESD 전압 최대값은 76.22 V, 50 ohm 부하에 걸리는 ESD 전압 최대값은 135.5 V로 계산되었다. 다음으로, ESD 펄스 입력단과 칩 바리스터와의 신호라인 간격(TL1)을 20.0mm로, 칩 바리스터와 50 ohm 부하와의 간격(TL2)을 20.0mm로 동일하게 설정하고, 신호라인에서 칩 바리스터로 연결된 가지 패턴이 2.5mm의 길이(TL3)를 가지도록 설정한 후, IEC 61000-4-2 표준의 8kV ESD 펄스를 인가하였을 때 그 응답을 시뮬레이션 하였다. 그림 9(b)와 그림 10(b)에 칩 바리스터 모델에 걸리는 ESD 전압파형과 50 ohm 부하에서 걸리는 ESD 전압파형을 각각 도시하였다. 그림 9(b)와 그림 10(b)의 결과로부터 칩 바리스터 모델에 걸리는 ESD 전압 최대값은 77.76 V, 50 ohm

부하에 걸리는 ESD 전압 최대값은 98.84 V로 계산되었다. 그림 9(a)와 그림 10(a)의 결과로부터 칩 바리스터에 걸리는 전압보다 50 ohm 부하에 걸리는 전압 최대값이 약 59 V 이상 높게 나타나고 있다. 이와 같이 칩 바리스터에 걸리는 전압보다 50 ohm 부하에 걸리는 전압 최대값이 높게 나타나는 것은 가지 패턴(TL3)의 인덕턴스 영향이라고 볼 수 있다. 즉, 가지 패턴(TL3)을 통과하여 칩 바리스터로 흡수되는 ESD 전류의 변화에 의해서 가지 패턴(TL3)에 전압강하가 발생하게 되어 칩 바리스터 모델에 걸리는 전압보다 50 ohm 부하에서 걸리는 전압이 높게 나타나게 되는 것으로 보인다. 또한, 그림 10(a)와 그림 10(b)의 결과로부터 칩 바리스터 연결을 위한 가지 패턴(TL3)의 길이가 5.0mm에서 2.5mm로 감소되었을 때 50 ohm 부하에 전달되는 ESD 전압의 최대값은 약 36V 이상 감소됨을 확인할 수 있다. 이것은 앞서 설명한 가지 패턴(TL3) 길이의 감소로 가지 패턴(TL3)의 인덕턴스가 감소하게 됨으로써 가지 패턴(TL3)에서의 전압강하가 감소하게 되고 이로 인해 50 ohm 부하에 걸리는 ESD 전압도 감소하게 되는 것으로 보인다. 지금까지의 시뮬레이션 결과로부터 신호라인(TL1)과 가지 패턴(TL3)이 존재함으로 인하여 칩 바리스터 장착 위치에 따른 ESD 펄스의 흡수 효과가 상당한 차이를 보일 수 있음을 알 수 있다.

4. 결 론

실제 회로에 장착된 칩 바리스터의 ESD 보호 특성은, ESD 펄스의 고주파 특성으로 인하여 일반적인 시뮬레이터로 분석이 어렵다. 따라서 본 연구에서는 Agilent사의 고주파 회로 시뮬레이터인 ADS를 도입하여, 회로내에 장착된 칩 바리스터의 ESD 보호 특성을 분석할 수 있음을 보였다. 정확한 시뮬레이션을 수행하기 위하여, TDK 칩 바리스터의 전기적 특성을 기준으로 칩 바리스터 모델을 추출하여 사용하였고, PCB 패턴은 분산회로를 사용하였다. 시뮬레이션 결과로부터 PCB 패턴에서 ESD 펄스 입력단과 칩 바리스터간의 신호라인 간격을 줄임으로써 신호라인의 인덕턴스 감소에 의해 칩 바리스터의 고주파 ESD 펄스에 대한 흡수 특성이 향상됨을 알 수 있었다. 본 연구결과를 통해 PCB 패턴과 칩 바리스터 모델로 구성된 회로에서의 ESD 펄스 파형을 관찰함으로써 PCB 패턴과 칩 바리스터에 의한 고주파 ESD 펄스의 전파 및 흡수 특성에 대해 체계적이고 이론적인 분석을 할 수 있었다.

참 고 문 헌

- [1] J. E. Vinson and J. J. Liou, "Electrostatic Discharge in Semiconductor Devices: Protection Techniques," Proceedings of the IEEE, Vol. 88, No. 12, pp. 1878-1900, Dec. 2000.
- [2] J. E. Vinson and J. J. Liou, "Electrostatic Discharge in Semiconductor Devices: An Overview," Proceedings of the IEEE, Vol. 86, No. 2, pp. 399-418, Feb. 1998.
- [3] Se-Won Han and Han-Goo Cho, "The Effect of Microstructure Nonuniformity on the electrical Characteristics of ZnO Varistors with Al₂O₃ doping," KIEE International Transactions on EA, Vol. 3-C, No. 4, pp. 140-145, 2003.
- [4] 이영중, 황휘동, 한세원, 강형부, "ZnO 바리스터의 평처 현상에 관한 보로노이 시뮬레이션," 대한전기학회논문지 제 48C권 2호, pp. 109-116, 1999년 2월.
- [5] 류정선, 윤한수, 남춘우, "Y₂O₃ 첨가에 따른 Pr₆O₁₁계 ZnO 바리스터의 전기적 특성," 대한전기학회 하계학술대회 논문집, pp. 1676-1678, 2000년.
- [6] P. Antognetti and G. Massobrio, Semiconductor device modeling with SPICE, New York: McGraw-Hill, Second Edition 1993.
- [7] T. M. Bilodeau, "Theoretical and Empirical Analysis of the Effects of Circuit Parasitic on the Calibration of HBM ESD Simulators," Proceedings of the EOS/ESD Symposium, Vol. EOS-11, pp. 43-49, Sept. 1989.
- [8] L. Van Roozendaal, A. Amerasekera, P. Bos, W. Baelde, F. Bontekoe, P. Kersten, E. Korma, P. Rommers, P. Krysz, U. Weber, and P. Ashby, "Standards ESD Testing of Integrated Circuits," Proceedings of the EOS/ESD Symposium, Vol. EOS-12, pp. 119-130, Sept. 1990.
- [9] L. R. Avery, "Device Level Testing," 1993 EOS/ESD Tutorial Notes, pp. F-1 to F-11, Sept. 1993.

제 자 소 개



홍성모(洪誠模)

1969년 5월 19일생. 1992년 인하대학교 응용물리학과 졸업. 1994년 동대학교 대학원 전자재료공학과 졸업(석사). 2004년~현재 (주)퀀텀베이스 연구개발실 실장
Tel : 032-321-0195
E-mail : starhong@quantumbase.com



이종근(李鍾根)

1960년 5월 15일생. 1988년 인하대학교 응용물리학과 졸업. 1991년 동대학교 대학원 응용물리학과 졸업(석사). 1998년 동대학교 대학원 전자재료공학과 졸업(박사). 1999년~현재 부천대학 디지털산업전자과 교수
Tel : 032-610-3260
E-mail : jglee7@bc.ac.kr



정덕진(鄭德鎭)

1948년 2월 8일생. 1970년 서울대학교 기공학과 졸업. 1984년 Utah State Univ. 대학원 전기공학과 졸업(석사). 1988년 Univ. of Utah 대학원 전기공학 과 졸업(박사). 1989년~현재 인하대학교 정보통신공학부 교수
Tel : 032-860-7435
E-mail : djchung@inha.ac.kr



김주민(金柱民)

1970년 9월 27일생. 1993년 인하대학교 전자재료공학과 졸업. 1995년 동대학교 대학원 전자재료공학과 졸업(석사). 2004년 동대학교 대학원 전자재료공학과 졸업(박사). 2004년~현재 (주)퀀텀베이스 대표이사
Tel : 032-321-0195
E-mail : joshua@quantumbase.com