

## 감압화학증착법으로 성장된 실리콘-게르마늄 반도체 에피층에서 붕소의 이차원 도핑 특성

### Two Dimensional Boron Doping Properties in SiGe Semiconductor Epitaxial Layers Grown by Reduced Pressure Chemical Vapor Deposition

심규환<sup>1,a</sup>

(Kyu-Hwan Shim<sup>1,a</sup>)

#### Abstract

Reduced pressure chemical vapor deposition(RPCVD) technology has been investigated for the growth of SiGe epitaxial films with two dimensional in-situ doped boron impurities. The two dimensional  $\delta$ -doped impurities can supply high mobility carriers into the channel of SiGe heterostructure MOSFETs(HMOS). Process parameters including substrate temperature, flow rate of dopant gas, and structure of epitaxial layers presented significant influence on the shape of two dimensional dopant distribution. Weak bonds of germanium hydrides could promote high incorporation efficiency of boron atoms on film surface. Meanwhile the negligible diffusion coefficient in SiGe prohibits the dispersion of boron atoms: that is, very sharp, well defined two-dimensional doping could be obtained within a few atomic layers. Peak concentration and full-width-at-half-maximum of boron profiles in SiGe could be achieved in the range of  $10^{18}$ - $10^{20}$   $\text{cm}^{-3}$  and below 5 nm, respectively. These experimental results suggest that the present method is particularly suitable for HMOS devices requiring a high-precision channel for superior performance in terms of operation speed and noise levels to the present conventional CMOS technology.

**Key Words** :  $\delta$ -Doping, Reduced pressure chemical vapor deposition, SiGe, HMOS, RF-CMOS

#### 1. 서론

현재의 반도체기술은 유무선 정보통신기술과 더불어 예견되는 요구사항과 예측되는 기술진보에 선행하여 과거보다 더 빠른 속도로 진행되어 IT산업의 견인차 역할을 하고 있다. 그 중에서도 SiGe 반도체는 통신기술의 발전으로 인해 수요와 기술적 가치가 급증하고 있다[1-3]. Si의 family와 같은

Ge 원소의 물성과 Planar 공정으로 어렵지 않게 CMOS의 성능을 높이는 장점으로 인하여, 이완된 SiGe 완충층 위에 올려지는 변형된 Si와 SiGe (Strained-silicon or SiGe) 채널층의 형성과 관련된 기술이 많은 주목을 받고 있다.

최근 SS(Strained-Si) 기술에 대해 인텔은 프로세서에 사용하기 위한 Prescott이라는 제품을 개발하고 있으며, IBM은 65 nm급에서 SS를 SOI (Silicon-on-insulator)에 올린 구조의 차세대 기술을 제품화한다는 계획을 진행하고 있다. Sub-100 nm급에서 SiGe과 SOI를 적용한 MOS 소자의 동작주파수가 200 GHz대로 충분히 높아지면서, RF-CMOS의 적용이 GSM/PCS, WLAN, blue-

1. 전북대학교 반도체물성연구소 반도체과학기술학과  
(전주시 덕진구 덕진동 1가 664-14)

a. Corresponding Author : khshim@chonbuk.ac.kr

접수일자 : 2004. 10. 5

1차 심사 : 2004. 11. 1

심사완료 : 2004. 11. 3

tooth의 주요 무선통신 칩으로 상품화가 확대될 가능성이 높다. 특히 디지털 convergence의 대명사로 통하는 RF 프론트엔드와 디지털 모뎀과 메모리를 집적하여 SoC를 제작할 수 있는 장점이 중요해지면서, RF-CMOS에 대한 기술개발이 더욱 중요해졌다[4,5].

그림1과 같이 SiGe의 이중접합 구조를 이용한 양자채널로 운반자의 이동도를 높이고, 운반자의 구속에 의한 임계전압의 변화를 줄이고, subthreshold 누설전류를 제어할 수 있어서 sub-100 nm 기술에서 SOI와 함께 가장 유력한 기술로 제시되고 있다. 기존 Si CMOS가 나노스케일로 진입하면서 더욱 심각해지는 subthreshold 전류, 1/f잡음, 신뢰성에 대한 문제를 SiGe/Si Heterostructure의 간단하고 저렴한 제조공정으로 개선할 수 있을 것으로 기대된다[3].

특히, 운반자의 modulation 도핑은 이득을 높이고, 고주파잡음을 감소시키는 효과가 있으며, 나노스케일 소자에서 집합저항이 작은 ultra shallow junction(USJ)으로 응용될 수 있다. 따라서 SiGe/Si의 헤테로 시스템에서 B, P, As의 불순물에 대한 이차원 도핑에 대해 MBE를 사용한 에피성장과 MODFET 소자가 발표된 바 있으나, RPCVD나 UHVCVD와 같은 화학증착기술에 의한 이차원도핑 특성에 대한 연구는 미미하다[6]. 이는 대체로 CVD 공정상 기판온도와 가스에 의한 auto-doping 현상으로 인하여 고체소스를 사용하는 MBE에 비하여 날카로운 도핑을 얻기 난해기 때문이다.

본 논문에서는 SiGe HMOS의 헤테로 채널의 성능을 향상시키기 위한 이차원 불순물 도핑에 대해 RPCVD 에피성장기에 대한 공정조건의 영향에 대해 최초로 소개한다. 그리고 기판온도와 SiGe/Si 에피층의 구조와 도핑가스의 유량에 따른 영향으로 인한 도핑피크와 분포특성에 대한 결과와 관련된 물리적 현상에 대한 분석결과를 설명한다. 이차원 면밀도가  $10^{12} \sim 10^{14} \text{ cm}^{-2}$ 이고, 확산장벽으로 수 nm인 수준에서 HMOS의 제작에 사용될 수 있는 결과가 얻어졌다.

## 2. 실험

본 실험은 Si/SiGe의 헤테로구조 에피층을 500~700 °C의 저온에서 성장시켜 이차원 도핑된 소자에 적용하기 위한 것이다. P-type의 (100) 실리콘

웨이퍼를 RCA 세척하였고, 반응로에서 수소 열처리를 이용하여 표면의 자연산화막을 제거하였다. 본 실험의 에피 성장에 사용된 장비는 RPCVD로 load-lock과 반응챔버로 구성되어 있다. 반응챔버의 실리콘-카바이드가 코팅된 그라파이트의 위에 웨이퍼를 장입하며, 균일한 증착속도를 얻기 위해 10 rpm 이상으로 회전을 한다. 반응로의 위와 아래에 위치한 텅스텐-할로젠 램프를 이용하여 웨이퍼를 가열하며, 열전대를 이용해 웨이퍼의 온도를 측정하고 제어한다.

증착압력은 상압과 감압 모두 사용 가능하며 전체 실험에서 증착조건을 통일하고 로딩 효과를 줄이기 위해 반응로의 증착압력은 30~50 torr로 사용한다. 소스가스로 200 sccm의  $\text{SiH}_4$ 와 수소에 1.5% 희석된  $\text{GeH}_4$ 을 주입하였으며 반응 캐리어 가스로는  $\text{H}_2$  가스를 20 LPM 유량으로 고정하여 사용하는데, 이는 반응로 내를 환원 분위기로 만들어주고 고품위의 단결정 성장을 가능하게 하는 역할을 한다. 수소가스에 1000 ppm의 농도로 희석된  $\text{B}_2\text{H}_6$ 를 도펀트의 소스가스로 첨가하여 사용하였다. 그리고 웨이퍼에 증착된 단결정 박막의 두께, Ge의 함량, B의 농도를 SIMS 및 double crystal X-ray diffraction 측정시스템으로 분석하였다.

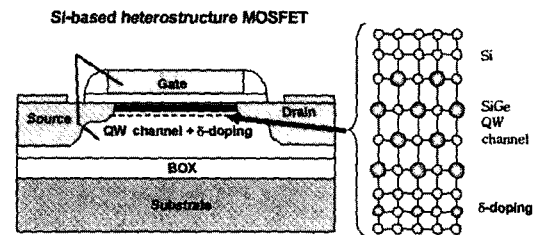


그림 1. Si를 이용하는 헤테로구조 MOSFET (HMOS)의 단면개략도.

Fig. 1. Si-based heterostructure MOSFET (HMOS), in which SOI architecture, quantum well channel, and delta-doping layer attract interest for compensating mobility reduction and junction leakage increase due to interface scattering and high speed operation.

### 3. 결과 및 고찰

그림 2는 RPCVD를 사용하여 기판온도 600 °C에서 성장한 SiGe 에피에 있어서, GeH<sub>4</sub>의 유량에 따른 Ge함량과 B의 농도의 변화에 대한 그래프이다.

Ge의 함량이 0인 즉 순수한 Si 에피층을 증착할 때는 B의 농도가 6 × 10<sup>18</sup> cm<sup>-3</sup>으로 극히 낮지만, Ge이 주입되면서 B의 농도가 6 × 10<sup>19</sup> cm<sup>-3</sup> 이상으로 급격히 증가한 특성을 보인다. 계속해서 GeH<sub>4</sub> 유량이 60 sccm에서 Ge는 16 %, B는 9 × 10<sup>19</sup> cm<sup>-3</sup>으로 증가하였으며, 그 이상에서 Ge 함량은 선형적으로 증가하였고, B의 농도는 작지만 일정하게 감소하는 변화를 보인다.

이러한 전형적인 특성은 CVD의 전형적인 반응기구로 설명될 수 있다. 즉, Ge의 함량 X<sub>Ge</sub>와 GeH<sub>4</sub>의 분압(P<sub>GeH<sub>4</sub></sub>)의 관계로 보면, GeH<sub>4</sub>의 유량이 60 sccm 이하에서 X<sub>Ge</sub> ∝ (P<sub>GeH<sub>4</sub></sub>)<sup>1/m</sup>, m>2.1인 성장 표면에서의 반응제어에 따르는 특성을 보이고 있고, 그 이상에서는 X<sub>Ge</sub> ∝ P<sub>GeH<sub>4</sub></sub>인 kinetic 제어에 따른 선형적인 변화를 보인다. 특히 Ge이 10 % 함유되면서 B의 도핑농도가 10배 이상 증가하는 특성은 Si에서 보다 SiGe층에서 상대적으로 높은 고용도와 이차원 도핑의 가능성을 보여준다.

그림 3은 실리콘에서 델타도핑에 대한 가능성을 보여주는 실험결과로 Si/SiGe의 이종접합을 이용하

여 600 °C에서 실험한 결과로 델타도핑을 위한 B<sub>2</sub>H<sub>6</sub>를 노출시간 t<sub>1</sub>=10, t<sub>2</sub>=20초 동안 0.074, 0.148 cc를 흘렸다. 표면에서의 정확한 분석을 위해 저온 산화막(LTO)을 저압화학증착법으로 50 nm 증착하였는데, 산화막과 SiGe층의 계면에서 SIMS 분석의 계면효과를 보이고 있다. 단 Ge의 경우는 피크의 위치와 반복된 측정결과를 비교한 결과 약간의 Si이 LTO과정에서 소모되면서 enrichment된 Ge이 계면에 존재함을 보여준다.

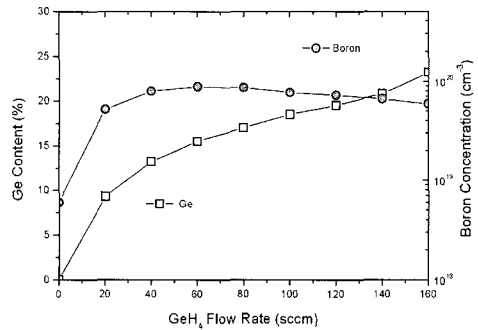


그림 2. SiGe 에피층의 성장에 사용된 GeH<sub>4</sub> 가스의 유량에 따른 Ge와 B의 농도변화 특성.  
Fig. 2. Dependence of Ge and B concentrations on the flow rate of GeH<sub>4</sub> source gas used for the growth of SiGe films.

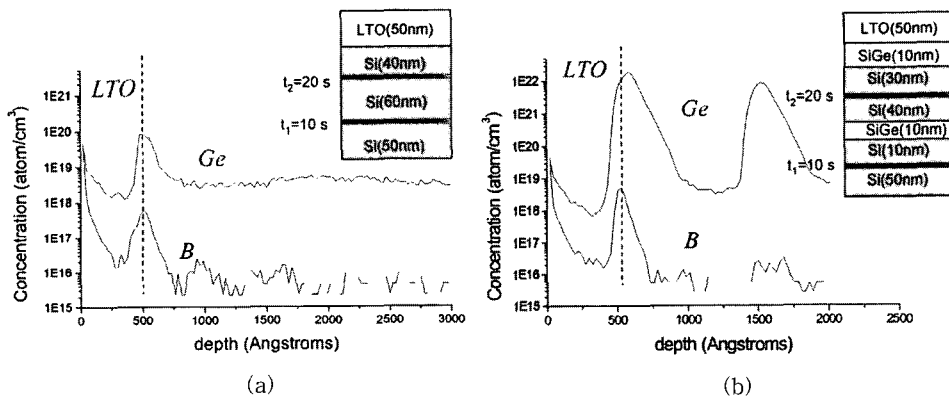


그림 3. SiGe을 (a) 사용하지 않은, (b) 사용한 구조에서 실리콘 에피층에 도핑된 보론의 분포이며, B<sub>2</sub>H<sub>6</sub>의 adsorption을 위한 시간으로 t<sub>1</sub>=10 s, t<sub>2</sub>=20 s를 이용하였으나 두 샘플에서 보론의 피크농도가 무시될 정도 (~10<sup>16</sup> cm<sup>-3</sup> 이하)로 낮음.

Fig. 3. Depth profile of Ge and B measured from samples with boron  $\delta$ -doping layers in silicon: (a) without and (b) with SiGe inter-layers. Although B<sub>2</sub>H<sub>6</sub> adsorption exposure was performed for t<sub>1</sub>=10 s and t<sub>2</sub>=20 s, the boron concentrations represent negligible delta-doping features with peaks as low as ~10<sup>16</sup> cm<sup>-3</sup> in both samples.

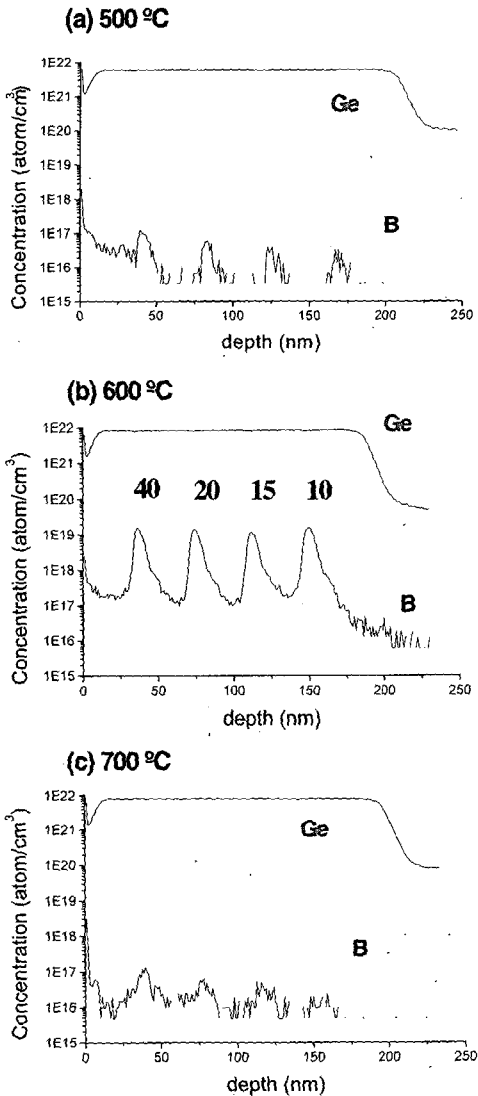


그림 4. 기판의 온도가 (a) 500 °C, (b) 600 °C, (c) 700 °C으로 각각인 샘플에서 Ge과 B의 깊이분포이며, B이 adsorption을 위한 시간을 10, 15, 20, 40초 사용하여, (b)에서 정확한 이차원의 분포를 형성.

Fig. 4. Depth profile of Ge and B for the samples grown at different substrate temperatures: (a) 500 °C, (b) 600 °C, and (c) 700 °C, where time intervals for boron adsorption were 10, 15, 20, 40 sec and their corresponding peaks look clear and sharp in (b).

그리고 무엇보다 그림3의 결과는 B의 높은 확산 계수나 낮은 incorporation 특성으로 인하여 Si 에피의 내부에는 이차원 도핑을 날카롭게 얻기 어려운 본질적 물성을 보이고 있다. SiGe층이 B의 외부 확산과 segregation을 저지하는 기능이 있음에도 불구하고 그림 3(b)에서 B의 농도가 극히 낮은 결과는 Si의 표면에서 incorporation하는 확률이 매우 낮다는 점을 의미하며, 그림2와 부합되는 결과이다. 중요한 점은 상기의 에피성장 조건에서 Ge의 함량이 15 % 이상은 되어야 이차원 도핑과 확산 장벽에 대한 기능을 충분히 얻을 수 있다는 것이다.

특히, B의 이차원 도핑에는 도핑소스의 유량 뿐만 아니라 기판의 온도가 중요한 공정변수가 된다. 기판의 온도는 웨이퍼의 표면에서 adsorption-desorption 반응에 대한 균형을 맞추는데 가장 중요한 변수이므로 그림 4와 같이 그 영향을 살펴본 것이다. 500 °C와 700 °C의 저온과 고온에서 이차원 도핑의 정도가 적절치 않은데 비하여, 600 °C의 온도에서는 매우 우수한 이차원으로 도핑된 프로파일을 보인다. 불순물의 intermixing에 의한 분산효과를 반영하지 않았음에도 불구하고, 그림 4(b)의 SIMS 데이터에서 붕소피크의 FWHM이 5 nm 이하임을 확인할 수 있다.

그림3과 그림4의 결과는 저온에서 에피 표면에 존재하는 수소결합과 관련된 표면반응의 현상으로 이해될 수 있다. 표면에 실리콘 원자와 결합한 수소 원자는 550 °C 이상에서 분해가 증가하여 수소의 passivation이 감소하면서 B의 흡착이 급증하며,  $10^{19} \text{ cm}^{-3}$  이상의 고농도에서 B의 도핑은 연속적으로 높게 된다. 이와 다르게 700 °C 이상의 고온에서 확산에 의한 dispersion보다는 B의 높은 증기압으로 인하여 sticking 확률의 감소로 이차원 도핑이 어렵다는 점을 알 수 있다. 이러한 결과로부터 이차원 도핑을 위한 기판의 온도는 550~650 °C 부근에서 최적임을 제시할 수 있다.

한편, 그림4에서 유의할 점은 적절한 기판온도와 소스가스의 분압이 유지되면 adsorption을 위한 도핑가스를 에피의 표면에 노출한 시간은 피크농도나 반치폭에 거의 영향을 미치지 않는다는 것이다. 10초 이상 노출된 표면에서 농도의 변화가 크지 않은 것은 kinetic 평형이 10초 이내에 이루어져서 원자층의 수준에서 이차원도핑이 이루어짐을 의미한다. 그리고 저온에서는 기판표면의 원자와의 계면반응의 효율이 낮아 sticking coefficient가 작고, 고온에서는 열에 의해 desorption이 활성화되어 incorporation이 감소한다. 따라서 간단한 증착

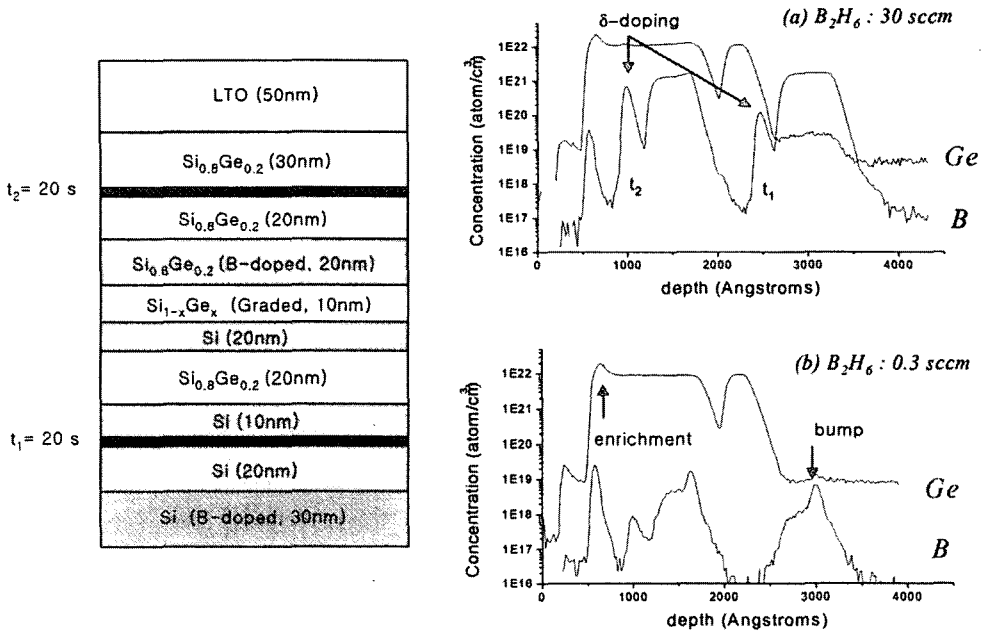


그림 5. B<sub>2</sub>H<sub>6</sub>유량이 (a) 30 sccm, (b) 0.3 sccm인 조건에서 uniform 도핑과 이차원의 델타도핑으로 얻어진 프로파일의 소스의 영향이며, 샘플의 단면구조는 uniform 도핑과 이차원 델타도핑에서 주입되는 현상을 분석하기 위해 헤테로 에피구조 채용.

Fig. 5. Influence of dopant sources on the  $\delta$ -doping and the uniform doping profiles measured from samples grown with different B<sub>2</sub>H<sub>6</sub> flows of (a) 30 sccm and (b) 0.3 sccm. The cross-sectional view of the sample reveals design for verifying respective degree of incorporation in delta-doping and uniform doping layers.

방식으로 날카로운 이차원 도핑을 얻기 위해서는 기판의 온도조절이 우선적으로 중요하다.

그림 5는 uniform 도핑과 이차원 도핑이 Si과 SiGe에서 얼마나 얻어지는가를 쉽게 평가하기 위해서 고안된 헤테로 에피층의 구조와 600 °C에서 성장된 샘플에서 얻어진 SIMS 프로파일을 보여준다. 샘플의 구조는 SiGe에 의한 확산방지 및 증착 증대의 효과와 uniform 도핑 및 델타도핑의 효과를 일회 성장으로 관찰할 수 있도록 한다. B소스유량이 0.3 sccm으로 (a)의 30 sccm에 비해 100배 희석된 그림 5(b)에서 Si에 이차원 도핑피크는 얻어지지 않았지만, 도핑농도가 높은 경우의 그림 (a)에서 t<sub>1</sub>=20 s 피크와 같이 델타도핑이 가능함을 보인다. 단, 이차원 도핑의 피크농도가 SiGe에 비하면 Si에서 크게 감소된다. 이에 따라 SiGe층에서 uniform 도핑과 이차원 도핑의 농도가 (a)에 비해 역시 100배 이하로 감소하여 각각 5 × 10<sup>19</sup>, 10<sup>18</sup> cm<sup>-3</sup>의 수준으로 얻어졌다.

한편, B 프로파일의 경우 bump를 보이는데 이는 가스라인을 사용하는 증착시스템의 문제로 초기에 밸브의 조작에서 다량의 소스가 주입되는 transient 현상으로 분석되었다. 이러한 범프의 발생을 방지하기 위해서는 미량의 소스가스를 공급하는 가스라인의 설계가 중요함을 알 수 있다.

그리고 앞의 그림 3에서와 같이, LTO를 사용하여 Ge의 원자가 산화막과의 계면에서 enrichment로 pile-up된 현상을 보이고 있으며, B의 농도에 따라 Ge의 함량도 부정확한 값이 측정되는 artifact 현상이 존재함을 알 수 있다. Ge의 enrichment는 그림 3에서도 확인되어 LTO의 초기에 산화막이 성장되는 과정에서 대부분 발생된 것으로 판단된다. 이러한 Ge enrichment 현상은 Fully-depleted SOI 구조의 SS 에피기판 제조에 적용될 수 있다. LTO 초기의 수 nm를 산화막 형성하는데 Ge의 농도가 2배까지 급격히 증가하는 enrichment 효율을 응용하기 위한 산화막 성장과 열처리 과정에서 응력이완과 결함발생에 대한 분

석이 요구된다.

그림 6은 앞의 그림5에서 보인 SiGe/Si의 헤테로구조의 샘플을 적용하여 소스유량의 효과에 대해 600 °C에서 실험된 결과에서 취해진 uniform 도핑농도와 t=20 s를 사용한 이차원 도핑의 피크농도를 보인다. 앞의 그림 3과 그림 5에서 설명된 바와 같이 Si 에피층에서 uniform 도핑농도는 SiGe 층에서 보다 1/10보다 적으며, 이차원 도핑농도는 1/5배 이하로 적은 값을 보인다. 특히 도핑소스 유량이 1 sccm 보다 적은 영역에서 농도가  $10^{17} \sim 10^{19} \text{ cm}^{-3}$  부근에 위치하지만, 실리콘 에피층에 이차원 도핑은  $1 \times 10^{17} \text{ cm}^{-3}$  이하로 무시될 정도이다.

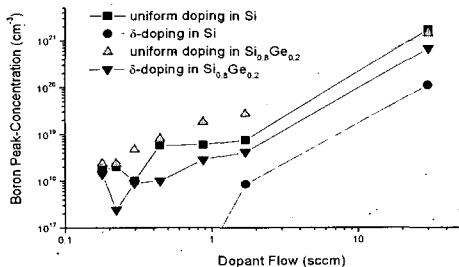


그림 6. Si과 SiGe의 에피층에 도핑된 uniform 도핑농도와 이차원의 델타도핑의 피크농도.

Fig. 6. Boron peak-concentrations measured from Si and SiGe samples doped with uniform doping and  $\delta$ -doping conditions, respectively.

반면, SiGe에는  $10^{18} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 의 피크농도의 범위에서 이차원 도핑에 의한 농도가 제어될 수 있으며, 이차원 도핑의 반치폭이 5 nm 이하이고, 이차원 도핑의 면농도는 대략적으로  $5 \times 10^{11} \sim 2.5 \times 10^{14} \text{ cm}^{-2}$ 이 된다. 따라서 에피성장시 표면에서  $\theta_B < 0.18$ 이고, 이는  $\text{B}_2\text{H}_6$ 와 챔버의 hydrogen 분위기에 의한 이차원 도핑을 제어하는 효과가 있음을 알 수 있다.

상술된 바와 같이 SiGe에서 B 소스의 높은 incorporation 확률과 낮은 확산계수로 인하여 기판온도 600 °C 주위에서 소스가스의 분압을 제어하여 피크농도가 일정한 이차원 도핑을 재현성 있게 제작할 수 있다. 기판온도 600 °C에서 붕소원자의 평균적 확산거리( $\sqrt{Dt}$ )는 0.1 nm 이하이고, 더

욱이 압축응력을 받는 SiGe에서 확산이 크게 감소하여 확산기구에 따르는 재분포는 무시될 수준으로 예측되며, 그림 5와 6의 실험적 결과와 잘 일치한다. 따라서 Si/SiGe 헤테로 구조에서 Ge의 함량을 증가시켜 spacer층의 최소 두께를 더욱 원자층 수준으로 줄이기에 한계가 존재하여 화학증착시스템의 구조를 변경하거나 HCl,  $\text{Cl}_2$  등의 반응성 가스를 사용하여 surface reconstruction을 유도하는 에피성장법으로 개선효과를 얻을 수 있다.

한편, HFET에서 사용되는 면농도가  $1 \sim 3 \times 10^{13} \text{ cm}^{-3}$ 이므로 3 nm의 분리층을 사용하면 modulation 도핑효과를 넣은 SiGe HMOS의 제작이 가능하다. 이차원 도핑을 채용한 DaimlerChrysler에서는  $L_g=0.2 \mu\text{m}$ 인 SiGe p-HFET를 제작하여 Si MOS에 비해 6배 이상인  $f_t=80 \text{ GHz}$ 의 결과를 얻은 바 있다[6]. 실제로 본 실험의 이차원 도핑기술을 적용하여, SiGe p-HMOS를 제작한 결과 transconductance와 임계주파수( $f_c$ )를 20~30 % 증가시키고, 고주파잡음을 0.5 dB 정도 감소시킬 수 있었다[7]. CMOS에서 B의 이차원 도핑은 p-채널에 운반자를 공급하고, n-채널에는 pocket이온주입과 retrograded 도핑효과를 줄 수 있다[8,9]. SiGe 양자채널에 직접 이차원 도핑을 하여 소자의 transconductance를 제어하는 효과는 나노스케일의 CMOS 공정의 집적도 및 성능향상에 유용하다. 동작주파수의 증가와 RF잡음을 감소시키는 효과는 기존 CMOS가 지나는 근본적 문제점을 개선시키는 점에 있어서 RF 통신소자에 응용하는데 매우 유용한 장점으로 판단된다.

이렇게 날카로운 이차원 도핑을 유지하여 나노스케일 소자의 재현성을 높이기 위해서는 저온에서 고품위 산화막을 형성하거나 이온주입 및 활성화 같은 후속공정에서 재분포를 저지하는 기술이 필요로 된다. 이러한 목적으로 SiGe:C나 SiGe:F와 같이 B의 확산계수를 제어하는 다른 에피층의 성장에 대해 고려할 수 있으며, 수 원자층(<1 nm) 정도의 이차원 도핑을 위해서 성장챔버에 잔류하는 극미량의 소스를 제거하는 고려가 추가적으로 요구된다.

#### 4. 결 론

SiGe HMOS 고집적회로 기술개발에 적용할 목적으로 Si, SiGe에 대해 B의 이차원 도핑을

RPCVD의 공정조건과 에피구조에 대해 고찰하였으며, 우수한 특성의 이차원 도핑을 위한 SiGe/Si 헤테로접합의 에피성장 기술을 개발하였다. 피크농도가  $10^{18} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 의 범위에서 SiGe내부에 이차원 도핑에 의한 농도가 제어될 수 있으며, 반치폭은 5 nm 이하, 이차원 도핑의 면농도는  $5 \times 10^{11} \sim 2.5 \times 10^{14} \text{ cm}^{-2}$ 로 제어된다. 두께가 3 nm 이하인 SiGe 분리층을 사용하여 modulation 도핑효과를 넣은 SiGe 양자채널 에피의 제작이 가능하다. 따라서 이차원 도핑의 고품질 양자채널로 제작된 탁월한 특성의 SiGe HMOS 소자는 수 GHz 이상의 고속으로 동작하는 고성능 통신회로의 구현에 유용할 것으로 판단된다.

### 감사의 글

본 논문은 전북대학교 신입교수연구의 지원에 의하여 작성되었으며, SiGe 반도체의 실험 및 분석에 도움을 주신 한국전자통신연구원 SiGe소자팀의 Dr. Y. J. Song, Dr. J. W. Lim, S. H. Kim, Dr. J. Y. Kang 에게 감사드립니다.

### 참고 문헌

- [1] 국가기술지도위원회, NTRM, 2002.
- [2] 김영수, "SiGe 반도체 기술 동향 분석", 한국과학기술정보연구원, 기술동향분석보고서, 2003.
- [3] Y. J. Song, K. H. Shim, J. Y. Kang, and K. I. Cho, "DC and RF Characteristics of SiGe pMOSFETs: Enhanced Operation Speed and Low  $1/f$  Noise", ETRI Journal, Vol. 25, No. 3, p. 203, 2003.
- [4] K. H. Shim, Y. J. Song, and J. Y. Kang, "High Performance SiGe pMOS using Reduced Pressure CVD", Solid-state Technology, p. 51, 2004.
- [5] Y-J. Song, J-W. Lim, J-Y. Kang, and K-H. Shim, "High Transconductance Modulation-doped SiGe pMOSFETs by RPCVD", Electronics Letters, Vol. 38, No. 23, p. 1497, 2002.
- [6] S. L. Wu, P. W. Chen, S. J. Chang, S. Koh, and Y. Shiraki, "Influence of Delta-doping Position on the Characteristics of SiGe-Si DCFETs", IEEE Electron Device Lett., Vol. 25, No. 7, p. 477, 2004.

- [7] E. Kasper and K. Lyutovich, "Properties of Silicon Germanium and SiGe:Carbon", INSPEC, p. 327, 2000.
- [8] 송영주, 현영철, 김상훈, 이영식, 이내웅, 강진영, 조경익, 심규환, "저온 래디컬 산화법에 의한 고품질 초박막 게이트 산화막의 성장과 이를 이용한 고성능 실리콘-게르마늄 이종구조 CMOS의 제작", 16권, 9호, p. 765, 2003.
- [9] A. Portavoce, P. Gas, I. Berbezier, A. Ronda, J. S. Christensen, and B. Svensson, "Lattice Diffusion and Surface Segregation of B During Growth of SiGe Heterostructures by Molecular Beam Epitaxy", J. Appl. Phys., Vol. 96, No. 6, p. 3158, 2004.