

DSL 모뎀용 CMOS 신호처리 적응필터 설계

이근호* · 이종인**

A Design of CMOS Signal Processing Adaptive Filter for DSL Modem

Geun-Ho Lee* · Jong-Inn Lee**

이 논문은 2003년도 군산대학교 교수장기해외연구경비 지원에 의하여 연구되었음.

요 약

본 논문에서는 DSL 모뎀의 입출력단에 응용 가능한 수신단의 CMOS 필터를 설계 제안하였다. 제안된 필터는 저전력 특성을 위한 저전압 동작이 가능하며, 저역통과 특성과 고역통과 특성이 혼합된 연속시간 필터 형태로 송신단과 수신단에 위치하여 각종 DSL 시스템에 응용가능하다. 수신단에서 차단주파수는 각각 138kHz와 1.1MHz로서 요구되는 DSL 시스템의 표준 설계사양에 부합하도록 설계하였다. 선형성면에서 개선된 특성을 나타낸 저전압 gm-c 방식의 적분기가 필터 설계를 위한 기본블럭으로 이용되었다. 설계된 필터는 $0.25\mu\text{m}$ CMOS n-well 공정 파라미터를 이용한 HSPICE 시뮬레이션을 통해 그 특성이 검증되었다.

ABSTRACT

In this paper, CMOS analog filters for use in the Analog Front End of digital subscriber loop(DSL) chip set are proposed. Designed filters contain receiver continuous-time filters which are composed of lowpass and highpass functions. And their cutoff frequency are 138kHz and 1.1MHz respectively. A low-voltage gm-c integrator is improved and used to design filters. Designed filters are verified by HSPICE simulation with the $0.25\mu\text{m}$ CMOS n-well parameter.

키워드

CMOS, Analog Front End, Digital subscriber loop, filters

I. 서 론

최근 들어 다양한 종류의 휴대용 멀티미디어 기기들이 등장하면서 멀티미디어용 통신시스템의 연구 및 상용화가 가속화 되고 있다. 현재 활발히 연구가 진행되고 있는 연속시간 신호처리 방식의 필터는 이산시간 신호처리 방식의 필터에 비해 신호

를 직접 처리할 수 있어 전력소모가 적어야 하는 이동통신시스템용 회로 등의 설계시 많은 장점을 지니고 있다.[1] 연속시간 필터의 설계방식을 구조적으로 살펴보면 선택된 기본 능동소자의 특성에 의해 필터의 성능이 결정되며, 또한 선택된 능동소자의 종류에 따라 구조가 결정되는 형태를 보여주고 있다.[2] 본 논문에서는 연속시간 필터 설계에

*전주대학교 정보기술공학부

접수일자 : 2004. 02. 19

**군산대학교 전자정보공학부

있어 장점을 지니고 있는 Gm-C 방식을 이용하여 DSL(Digital Subscriber Loop) 모뎀용 능동필터를 설계하였다. DSL 시스템은 기존의 전화선을 이용하여 인터넷 등 각종 멀티미디어 서비스를 실현할 수 있다는 장점 때문에 초고속 정보통신망 구축을 위한 인프라의 핵심으로 부각되면서 최근 그 수요가 급격히 증가하고 있다.[3] 그러나 DSL용 모뎀 가격만 수십 만원대로서 이처럼 가격이 높은 이유는 모뎀을 구성하고 있는 핵심 칩들을 거의 모두 수입하고 있기 때문이다. DSL 모뎀용 핵심 칩은 국외 회사에서 공급하고 있으며, 국내에서는 일부 회사에서 제품을 개발하였을 뿐 그 이외 대부분의 관련업체들은 수입하여 자사 모뎀제품에 활용하고 있다. 초고속 정보 서비스의 광범위한 국내 보급을 통해 사용자가 저가의 고품질 서비스를 제공받도록 하며, 이를 위해 관련 부품의 수입대체효과를 위해서는 ADSL를 포함한 xDSL 모뎀용 핵심 칩의 국내 개발이 시급히 요구되고 있다. 특히 필터를 포함한 DSL 모뎀용 아날로그 입출력단에 관한 국내의 연구개발 실적은 매우 미약한 편이며 극소수에 불과하다. 최근 DSL용 아날로그에 관련된 발표된 논문을 살펴볼 때 대부분이 출력 구동단의 증폭기 부분에 관한 내용으로 필터 부분은 다루지 않고 있다.[4][5] 또한 최근 발표된 다른 논문은 유사한 방법으로 구현된 회로들이나 공급전압이 디지털 영역에 비해 상대적으로 높은 최대 3.3V로 설계되어 있다. 본 논문에서는 표준화된 규격에 따라 DSL 모뎀용 아날로그 입출력단에 사용되는 수신단의 연속시간 필터를 설계하여 그 특성을 검증 하였으며, 설계된 필터는 주파수와 이득의 조절을 용이하게 할 수 있고, 잡음특성에 유리한 연속시간 Gm-C 방식을 이용하여 설계하였다. 설계에 활용된 파라미터는 아남반도체의 $0.25\mu\text{m}$ CMOS 공정 파라미터를 이용하였으며, 저전력 특성 보유를 위해 저전압 동작이 가능하도록 설계하였다.

II. 필터 설계를 위한 기본 블록 설계 및 검증

앞에서 언급된 바와 같이 여러 가지 면에서 장점을 지니고 있는 연속시간 필터의 설계에는 매우 다양한 방법이 활용되고 있다.[3][7] 하지만 그 중에서도 연속시간 신호를 처리하는 필터를 설계하는 가장 일반적인 방법은 트랜스컨덕턴스 와 커패시터를 이용하여 우선적으로 Gm-C 적분기를 구성하고, 이를 이용하여 필터를 설계하는 방법[7][8]이다.

적분기를 구성하는 트랜스컨덕턴스 증폭기는 입력 전압에 대하여 선형적으로 비례하는 출력 전류값을 발생시키는 증폭기로서 이때의 이득값이 증폭기의 트랜스컨덕턴스 값이다. 설계된 적분기는 가능한 넓은 입력 신호 범위 내에서 선형적인 입력 대 출력비의 특성을 지녀야 한다. 더불어 Gm 값 조절이 용이하게 설계됨이 바람직하다. 또한 전압이 입력 신호이고, 출력이 전류 신호이기 때문에 입력 출력 저항이 매우 커야 하는 특성을 지니고 있다. 따라서 MOS 트랜ジ스터를 이용한 입력 회로가 유리하며 출력 저항을 증가시키기 위해서 캐스 코드 방식 등의 설계 기법을 사용하기도 한다. 이러한 기본 블럭의 특성을 만족할 수 있도록 입력 선형범위를 최대로 넓히고, Gm 값이 조절 될 수 있도록 하며 특히 저전력 특성 보유를 위해 저전압으로 동작할 수 있는 Gm-C 적분기를 설계하였다.

적분기에서 유도해 볼 수 있는 이득과 단위이득 주파수의 관계를 살펴보면 이득과 단위이득주파수는 적분기의 트랜스컨덕턴스 값과 정비례한다. 즉, Gm-C 적분기의 이득과 단위이득주파수는 트랜스컨덕턴스 값에 의해 결정된다고 할 수 있다. 따라서 온도나 잡음 등 외부환경의 주파수 변동에 대처하기 위한 Gm값이 전압 V_c 에 의하여 조절 될 수 있도록 설계되었고, 저전압 동작이 가능하도록 완전 차동구조를 이용하여 설계하였다. 그림 1에 제안된 적분기 구조를 나타내었다.

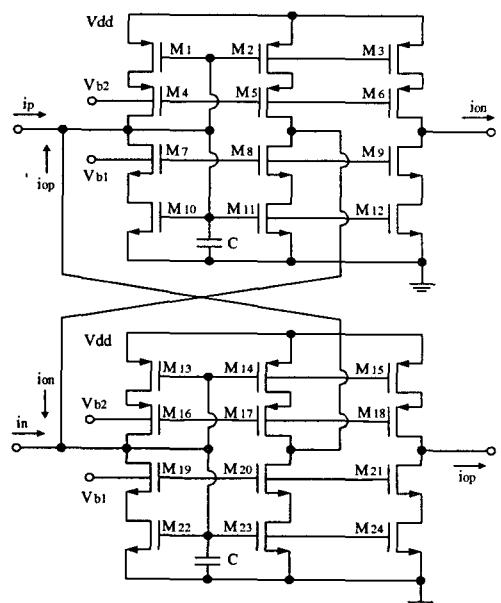


그림 1. 제안된 Gm-C 적분기
Fig. 1 The proposed Gm-C integrator

아래의 그림 2는 제안된 적분기의 선형범위에 대한 시뮬레이션 결과이다.

Gm-C 적분기의 입력 선형범위 특성은 공급전압과 아주 밀접한 관계가 있다. 같은 구조에서도 공급전압이 높을수록 넓은 선형범위를 얻을 수 있다. 일반적으로 3.3V의 공급전압 하에서 Gm-C 적분기의 선형성이 -1V에서 +1V까지의 범위를 갖게 되었을 때 우수한 선형 특성을 지니는 것으로 간주되고 있다. 설계된 Gm-C 적분기의 입력 선형 범위에 대한 시뮬레이션 결과에서 볼 수 있는 바와 같이 본 논문에서 설계된 Gm-C 적분기의 선형범위 특성은 그보다 낮은 2.5V의 공급전압 하에서 -1V에서 +1V까지의 선형범위를 갖고 있음을 알 수 있다. 따라서 본 논문에서 제안한 Gm-C 적분기가 기존의 적분기에 비해 선형성이 개선되었음을 알 수 있다.

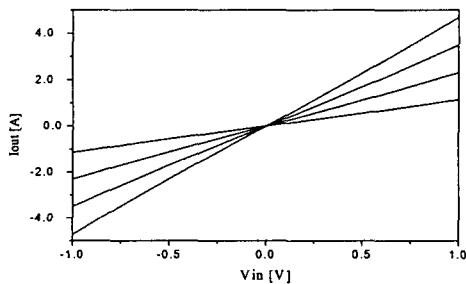


그림 2. 제안된 적분기의 입력 선형범위
Fig. 2 Input linearity of the Gm-C integrator

III. DSL 모뎀 고찰 및 수신단 필터 설계

1. 아날로그 입출력단 구성

DSL 모뎀용 아날로그 입출력단의 블록을 그림 3에 나타내었다. 그림에 표현된 아날로그 입출력단의 블록을 모두 단일 칩 상에서 구현하게 될 경우 그림에는 표현되어 있지 않지만 수신경로에서 자동이득조절 증폭기 두개, 연속시간 Gm-C 고역 및 저역 통과 필터, 시그마-델타 ADC, 그리고 송신경로에서 시그마-델타 DAC, 연속시간 Gm-C 저역 필터, 구동회로 두개 등이 포함되어 구성되며, 기타 전압공급회로와 튜닝 회로 등이 필요에 따라 추가로 설계될 수 있다.[6] 이 중에서 필터는 수신단에 고역통과필터와 저역통과필터가 종속 연결로 구성되며, 송신단에는 저역 통과필터가 구성된다.

언급된 필터들은 송수신 채널의 주파수 대역을 선택하여 처리하는 역할을 하는데 수신단 경로에서는 대략 140kHz- 1.1MHz의 주파수를 그리고 송신단 경로에서는 35kHz-140kHz 대역의 주파수를 각각 선택할 수 있는 특성을 필요로 한다. 또한 동작 영역특성 개선을 위해 반향을 감소 시키는 특성을 지니고 있어야 하며, 수신단 필터의 경우에는 후단부에 위치한 ADC를 위해 anti-aliasing 역할을 수행하여야 하며, 송신단 필터의 경우 DAC 출력의 영상 스펙트럼 제거를 위해서 smoothing 역할을 수행하기 위한 특성을 추가로 지니고 있어야 한다.

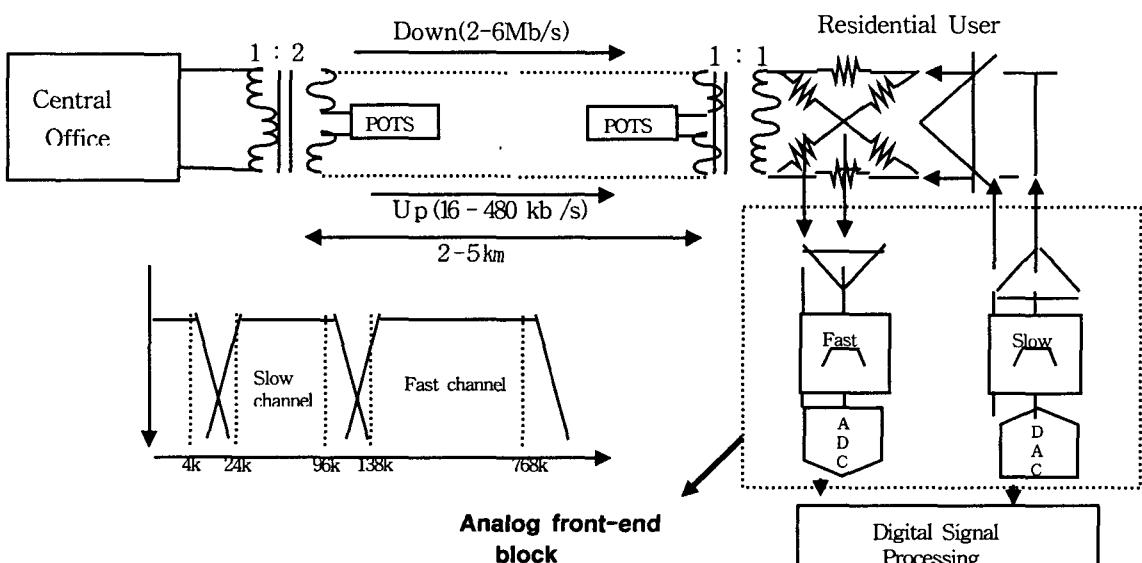


그림 3. DSL 모뎀용 아날로그 입출력단 회로
Fig. 3. Analog Front-end Circuits of DSL Modem

2. 수신단 필터 설계

DSL 모뎀의 수신단에서는 138kHz에서 1.1MHz의 주파수대역이 이용된다. 따라서 차단 주파수 138kHz에서 1.1MHz의 대역통과 필터가 필요하다. 하지만 본 논문에서는 138kHz의 고역통과필터와 1.1MHz의 저역통과필터를 이용하여 사양에 맞추고자 한다. 이는 대역통과필터 설계시 필요로 하는 정확한 특성의 미분기 설계가 쉽지 않고, 상대적으로 설계가 용이한 저역, 고역필터만으로 그 사양을 만족할 수 있어 많이 이용되고 있는 기법이다. 먼저 수신단 저역통과 필터의 설계 명세 조건은 표 1에 고역통과 필터의 설계 명세 조건과 같이 나타내었다.

그림 4에 DSL 모뎀 아날로그 입출력단의 수신단에서 이용 가능하도록 설계된 저역통과 Gm-C 연속시간 능동필터의 구성도를 나타내었다. 그리고 필터에 대한 시뮬레이션 결과를 그림 5에 나타내었으며, 이 결과로부터 필터의 설계 명세 조건을 만족하는 특성을 얻어내었음을 알 수 있다.

또한 높은 주파수 대역의 신호를 선택하여 처리하기 위한 고역통과 필터의 설계 명세 조건은 저역통과 필터의 설계 명세 조건과 더불어 표 1에 나타내었다.

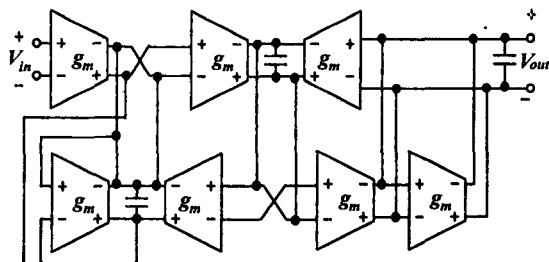


그림 4. 연속시간 저역능동필터
Fig. 4 Continuous-time lowpass filter

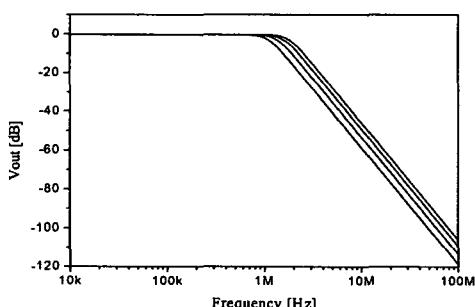


그림 5. 저역능동필터의 차단주파수 특성
Fig. 5 Cut-off frequency of the lowpass filter

표 1. 수신단 능동 필터의 설계명세조건
Table 1. The specification of Active filter

최대입력레벨	1 Vpd
최대출력레벨	1 Vpd
차단주파수(저역,고역)	1.1MHz, 138 kHz
함수	3차 버터워스
대역내 최대등파상	1 dB

요구된 사양에 만족하도록 설계된 수신단의 고역통과 Gm-C 연속시간 능동필터를 그림 6에 나타내었다. 그리고 그림 7에는 고역통과필터에 대한 시뮬레이션 결과를 나타내었다.

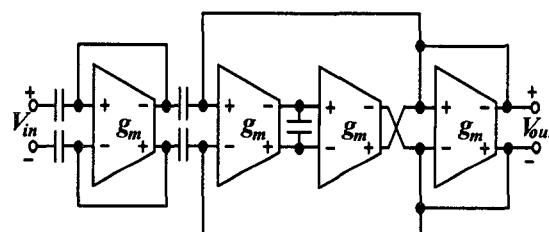


그림 6. 연속시간 고역능동필터
Fig. 6 Continuous-time highpass filter

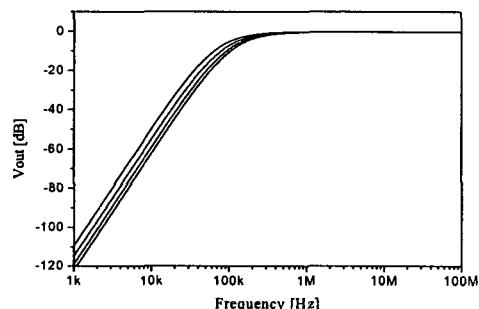


그림 7. 고역능동필터의 차단주파수 특성
Fig. 7 Cut-off frequency of the highpass filter

IV. 결 론

본 논문에서는 Gm-C 방식의 연속시간필터를 설계하여 그 특성을 검증하였다. 설계된 필터는 ANSI의 표준화 규격에 따라 설계 사양을 결정하

였고, 이에 따라 음성대역에서 이용 가능한 DSL 모뎀용 아날로그 입출력 단 내의 수신경로에 응용되고 있는 각각의 아날로그 필터를 연속시간 신호 처리 방식을 이용하여 설계하였다.

차단주파수 138kHz의 고역통과 연속시간필터와 1.1MHz의 저역통과 연속시간필터를 이용하여 사양에 부합하는 대역통과 블록이 설계되었다. 설계된 모든 필터는 주파수와 이득의 튜닝이 다른 방식에 의해 용이하며, 잡음 특성에 유리한 연속시간 Gm-C 방식을 이용하여 구현하기 위해 적분기가 설계되어 이용되었다. 본 논문에서 설계된 Gm-C 적분기의 입력 선형범위 특성은 2.5V의 공급전압 하에서 -1V에서 +1V까지의 범위를 가지며, 기존 회로와 비교해 볼 때 낮은 구동전압하에서 선형성이 개선된 회로임을 보여주고 있다. 특히 차후 진행될 모바일 시스템에 응용가능하도록 2.5V의 저공급전압 점적회로로 설계함으로서 저전력 특성을 지니도록 하였다. 설계 파라미터는 0.25 μ m CMOS 1-poly, 5-metal 공정 파라미터를 이용하였다.

참고문헌

- [1] J. Sabadell, C. Aldea, S. Celma and P. A. Martinez, "A Low Voltage High Frequency Integrator for CMOS Continuous-time Current-mode Filters", in Proc. IEEE ISCAS, pp.339-349, 1998.
- [2] C. Toumazou, F. J. Lidsey and D. G. Haigh, Analogue IC design : the current-mode approach, (IEEE Circuits and systems series 2, Peter Peregrinus Ltd., on behalf of the Institution of Electrical Engineering, London, 1993), Chap. 11, pp.783-923
- [3] J. Y. Lee, et al, "A 3V linear input range tunable CMOS transconductor and its application to a 3.3V 1.1MHz Chebyshev low-pass Gm-C filter for ADSL", Proc. IEEE 2000 Custom I.C. Conference, pp.387-390, 2000.
- [4] J. Cornil, et al, "A 0.5mm CMOS ADSL analog front-end Integrated Circuit", in ISSCC Dig. Tech. Papers, pp.238-239, 1999.
- [5] Y. Zhang, H. H. Chen and J. B. Kuo, "0.8V CMOS adabatic differential switch logic

circuit using bootstrap technique for low-voltage low-power VLSI", Electronics letters, Vol. 38 No. 24, pp. 1497-1499, Nov. 2002.

- [6] R. K. Hester, S. Mukherjee and G. Westphal, "CODEC for Echo-Canceling Full-Rate ADSL Modems", IEEE J. Solid-State Circuits, Vol. 34, No. 12, pp.1973-1985, Dec. 1999.
- [7] C. S. Yoo, and et all "A $\pm 1.5V$, 4-MHz CMOS Continuous-Time Filter with a Single-Integrator Based Tuning", IEEE J. Solid-State Circuits, vol. 33, no.1, pp.18-27. Jan. 1998.
- [8] 이근호, 한태종, "High-swing Cascode 방식을 이용한 CMOS 저역통과 능동필터에 관한 연구", 한국통신학회 논문지, 제26권, 제5B호, pp. 639-644, 2001.

저자소개



이근호(Geun-Ho Lee)

1994년 2월 전북대학교 전기공학과 공학사
1997년 2월 전북대학교 회로및시스템 공학석사
2000년 8월 전북대학교 회로및시스템 공학박사

2001년 3월~2002년 2월 군산대학교 계약교수
2002년 3월~현재 전주대학교 정보기술공학부 전임강사, 조교수
※관심분야 : 멀티미디어시스템, 신호처리, 점적회로

이종인(Jong-Inn Lee)

1979년 2월 울산대학교 전기공학과 공학사
1983년 2월 전북대학교 회로및시스템 공학석사
1987년 2월 전북대학교 회로및시스템 공학박사
1988년 3월~현재 군산대학교 전자정보공학부 교수
※관심분야 : 회로 및 시스템, 반도체 설계