

AND Gate PDP의 기체방전구조 개선

(An Improvement of the Gas Discharge Structure of the AND Gate PDP)

염정덕*

(Jeong-Duk Ryeom)

요 약

본 연구는 기존에 제안한 방전 AND gate PDP의 문제점을 개선한 연구결과로서 AND gate를 구성하는 DC 방전의 극성을 반대로 설계하여 인접 주사전극에 대한 cross talk 문제를 개선하였다. 또한 기존의 AND gate의 동작이 공간전하에 의한 방전의 비선형성에 의존한 것과는 달리 본 연구에서 제안한 AND gate는 방전 회로에 따라 인가전압이 변화하는 것을 이용한 NOT 논리를 AND gate에 부가하여 동작이 한층 안정해 졌다. 실험 결과 4개의 수평 주사전극에 대해 선택적인 어드레스 방전이 가능하였으며 각각 34V와 70V의 AND 방전 및 Data 방전의 동작마진을 얻을 수가 있었다.

Abstract

This research has improved the problem of discharge AND gate PDP proposed before. The polarity of the DC discharge which composes AND gate is reversely designed and the cross talk problem to the adjacent scanning electrode has been improved. The AND gate proposed before operated by using non-linearity of the discharge by the space charge. In this research, new discharge NOT logic in which it was used that an applied voltage changed with the discharge circuit was added to AND gate. AND gate came to operate more stably. A selective address was able to be discharged with four horizontal scanning electrodes from the experiment result. The operation margin of the AND gate discharge obtained 34V and of the address discharge obtained 70V.

Key Words : AC PDP, AND gate, NOT gate, floating discharge, circuit cost reduction

1. 서 론

플라즈마 디스플레이 패널(plasma display panel 이하 PDP)은 현재 지하철, 영화관, 공항등 공공 장

소에서 널리 사용되고 있는 대화면 평판 디스플레이로서 디지털 영상기기의 발달과 HDTV의 보급에 힘입어 가정극장(Home Theater)의 주 디스플레이로서도 그 수요가 증가하고 있다. 그러나 현재 PDP는 아직 일반인들이 구매하기에 가격장벽이 높은 것도 주지의 사실이며 그로인해 PDP의 가격하락을 기다리는 대기 수요층도 만만치 않은 상황이다. 일본의 선진 업체들은 인치당 10만원 이하가 되어야만 PDP가 일반 가전제품으로 인식되고 그 수요가 늘어날

* 주저자 : 경주대학교 컴퓨터정보시스템공학부 조교수
Tel : 054-770-5290, Fax : 054-744-5295

E-mail : marine@kyongju.ac.kr
접수일자 : 2004년 7월 20일
1차심사 : 2004년 8월 2일
심사완료 : 2004년 9월 4일

것으로 보고 있다[1].

PDP의 가격을 구성하는 부분 중에서 재료비 부분을 고려하면 공정재료비와 회로 재료비로 나눌 수가 있는데 양산화가 진행되면 공정재료비는 대량생산이라는 특성상 그 비율이 줄어든다. 그러나 회로부분은 범용 부품들을 주로 사용하기 때문에 양산화되어도 그 재료비의 감소 폭이 크지 않아 공정재료비에 비하여 상대적으로 비중이 증가하게 된다. 그러므로 PDP의 가격을 저감시키기 위해서는 회로 재료비를 낮추는 것이 필수적이며 획기적으로 회로 재료비를 낮출 수 있는 연구는 PDP의 시장 확대 측면에서 아주 큰 의의를 갖는다고 할 수가 있다.

PDP는 수평주사 및 데이터 썬닝기 기능을 수행하기 위하여 고전압 MOS FET들로 집적된 구동IC들을 다수 사용한다. 이러한 소자들은 그 값이 매우 비싸다. 그러므로 이러한 고전압 IC의 개수를 줄이는 것은 곧 회로재료비 절감에 매우 큰 영향을 미친다.

기체방전은 비선형 특성을 가지며 이를 이용하면 AND gate, OR gate, NOT gate등 기본적인 논리회로를 구성하는 것이 가능하다[2]. 이러한 기체방전이 가지는 논리 특성은 다른 디스플레이에는 없는 PDP만의 장점으로 이러한 기체방전 논리회로를 사용하여 수평주사 기능을 수행하면 PDP의 고전압 구동회로 수를 획기적으로 저감시킬 수 있고 이는 곧 고가의 고전압 구동 IC의 개수 저감으로 이어지므로 가격 절감에 큰 영향을 미친다고 할 수 있다[3][4][5].

이전 연구에서는 새로운 AC-DC floating 방전을 이용한 방전 AND gate 구동기술을 제시하였고, PDP에의 적용 가능성을 검증하였다[6][7]. 그러나 이전 연구 결과는 AND gate의 방전이 인접된 주사전극으로 퍼져 복수의 라인을 주사할 때 cross talk를 일으키기 쉬웠다. 본 연구에서는 이를 개선한 새로운 PDP의 AND gate를 제안하고 이를 이용하여 복수개의 주사전극을 선택적으로 구동시켜 AC 어드레스 방전의 타당성을 검증하였다.

2. 기 제안된 AND gate PDP의 동작 원리

그림 1은 기 제안된 AND gate PDP의 전극구조

이다[7].

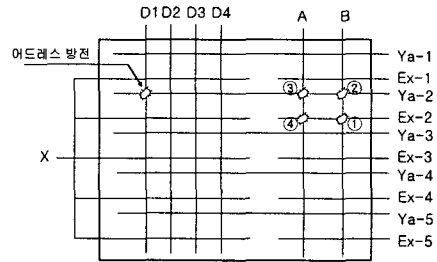


그림 1. 기 제안된 AND gate PDP의 동작 원리
Fig. 1. Operating principle of the AND gate PDP previously proposed

그림의 PDP는 AC 방전영역과 DC 방전영역으로 나누어져 있으며 AC 방전영역은 기존의 상용화 되어 있는 3전극 면방전 AC PDP의 구조와 동일하다. DC 영역은 세로 방향으로 두개의 전극이 설치되어 있고 가로 방향으로 Ya전극과 Ex 전극으로 이루어져 있다. AC 영역에서는 어드레스 방전에 의해 셀을 선택하고 표시발광을 하는 기존의 구동기술을 그대로 적용하였다. DC 영역에는 4개의 DC 방전에 의해 AND 논리가 수행되어 주사라인이 선택되도록 되어 있다.

AND gate의 동작 원리를 보면 다음과 같다. 먼저 B전극에 적당한 전압을 인가하고 이와 동시에 Ex전극에 전압을 인가하면 방전①이 개시되고 이로 인해 발생된 공간전하가 방전공간의 방전개시전압을 낮춘다. 이때 상대적으로 Ex 전극의 전압보다 낮은 전압을 Ya에 인가하면 방전②가 일어난다. 여기서 Ya 전압을 적절히 설정하면 Ex전극에 의한 방전①이 일어나는 경우에만 방전②가 이어질 수 있도록 하는 것이 가능하다. 한편 A전극에 전압을 인가하고 이와 함께 Ya전극에 적당한 전압을 인가하면 방전②가 일어난 경우에만 방전③이 일어나도록 할 수 있다. 이렇게 하면 방전①과 방전②를 두개의 입력으로 하는 방전 AND gate가 구성되며 그 출력은 방전③으로 얻어진다.

이때 Ya전극을 전기적으로 분리시키고(floating) A전극과 D전극사이에 적당한 전압을 인가하면 출력방전③에 의해 발생된 공간전하가 A전극과 Ya전극 사이의 방전개시전압을 낮추고 그 결과 A전극과 Ya전극 사이에 DC방전이 일어나고, A전극과 D전극

AND Gate PDP의 기계방전구조 개선

에 인가한 전압의 대부분이 AC 영역인 D전극과 Ya 전극 사이에 걸리므로 D전극과 Ya전극사이에서 AC 방전이 일어난다. 이 방전들은 전기적으로 분리된 Ya전극을 사이에 두고 일어나므로 이를 floating 방전이라 한다. 이때 일어난 AC방전은 PDP의 어드레스 방전이 되고 이는 방전공간에 벽전하가 축적되면서 소멸되고 이때 전류의 흐름이 끊어지므로 자연히 DC방전도 소멸한다. 이러한 floating 방전의 신뢰성을 향상시키기 위하여 floating 방전과 시간적으로 동일한 타이밍에 프라이밍 방전④를 일으킨다. 이것이 기존에 제안한 방전 AND gate를 이용한 PDP 구동기술의 원리이다.

그림 2는 기 제안된 AND gate PDP의 DC AND 방전을 보인 것으로 A, B 전극에 인가된 전압의 극성이 음의 전압이므로 입력방전과 출력방전 모두 위아래로 방전이 퍼져있는 것을 볼 수가 있다. 이렇게 방전이 위아래로 퍼지면 인근에 있는 다른 주사전극 Ya에 영향을 미쳐 인접 전극의 주사동작에 오동작을 일으킨다. 이를 cross talk라고 한다. 이러한 이유로 기 제안된 방식은 단위 셀을 선택하여 구동시키는 데는 무리가 없으나 실제 패널과 같이 전극들이 밀접하게 인접하여 설치되어 있는 경우 인접전극에 영향을 주는 것을 피할 수가 없다.

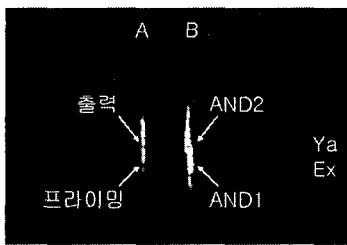


그림 2. 기 제안된 AND gate PDP의 DC AND gate 방전상태
Fig. 2. State of DC AND gate discharge of AND gate PDP previously proposed

3. 개선된 AND gate PDP

3.1 개선된 AND gate PDP의 동작원리

본 연구에서는 기존에 제안된 방전 AND gate의 구조가 가지는 결점을 보완하여 인접 전극간의

cross talk를 제거하기 위하여 A, B 전극에 인가하는 전압의 극성을 바꾸어 이들 전극이 양극이 되도록 하였다. 또한 AND gate의 출력이 공간전하에 의존함으로서 야기되는 AND 동작의 신뢰성 저하 문제를 개선하기 위하여 방전 경로에 따라 AND 출력이 결정되는 NOT 논리가 부가된 새로운 방전 AND 논리구조를 제안하였다.

그림 3은 본 연구에서 제안한 개선된 방전AND gate의 구조이다. 전극 구조는 기 제안된 방전 AND gate의 그것과 유사하나 Ex 전극이 A전극과 분리되어 있어 B전극과 Ex전극의 사이에서만 방전①이 일어난다는 것이 다르다. 또한 Ex전극과 B전극 사이에서는 방전 AND gate에 선행해서 DC priming 방전이 일어나도록 되어 있다. 여기서 입력방전은 ①, ②가 되며 AND gate의 출력방전은 ③이 된다. 출력방전 ③에 의해 발생된 공간전하가 방전④를 유도한다. 방전④와 ⑤는 Y전극을 floating 전극으로 하는 DC-AC floating 방전이다. 이 floating 방전에 의해 PDP의 디스플레이 영역을 구동하는 방식은 기 제안한 기술과 동일하다.

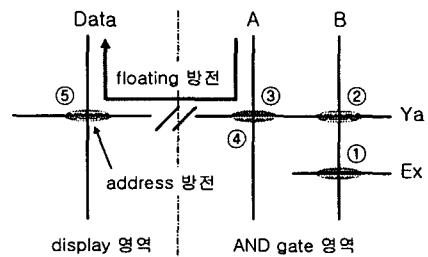


그림 3. 제안된 AND gate PDP의 방전구조
Fig. 3. Discharge structure of AND gate PDP proposed

그림 4의 (a)는 본 연구에서 제안된 AND gate PDP의 등가회로이다. 최초로 B전극과 Ex전극 사이에 전압이 인가되면 방전 ①이 일어난다. 이 방전①은 공간전하를 발생시키고 이로 인해 방전공간의 방전개시전압이 낮아지므로 B전극의 전압과 Ya전극의 전압의 합으로 방전 ②가 쉽게 일어난다. 이렇게 방전②가 일어나면 A전극과 Ya전극 사이의 전극간 전압이 실제적으로 매우 낮아져 방전 ③이 일어나지 않는다. 반면에 Ex전극의 전압이 0[V]가 되어 방전①

이 없다면 Ya전극에 전압이 인가되어 있어도 방전 ②가 일어나지 않는다. 따라서 A전극의 전압과 Ya 전극의 전압이 모두 A전극과 Ya 전극 사이에 걸리므로 방전 ③이 일어난다. 또한 Ya 전극의 전압이 0V가 되는 경우에는 당연히 방전③이 일어나지 않는다. 이것이 본 연구에서 제안한 방전①과 방전②를 두개의 AND 입력으로 하고 방전 ③을 NOT논리에 의해 출력시키는 방전AND gate의 동작 원리이다.

AND 동작이 끝난 후 floating 절환회로를 사용하여 Ya전극을 floating으로 만들면 방전④와 ⑤의 floating 방전이 유도된다.

그림 4의 (b)는 이 방전 AND gate의 기능을 논리 소자로 표시한 것과 그의 진리표이다. 이 표에서와 같이 Ex에 전압이 0이고 Ya 전압이 1인 경우에만 출력전압이 1이 되므로 이 방전 gate는 한쪽 입력에 NOT 논리를 가지는 AND gate가 된다.

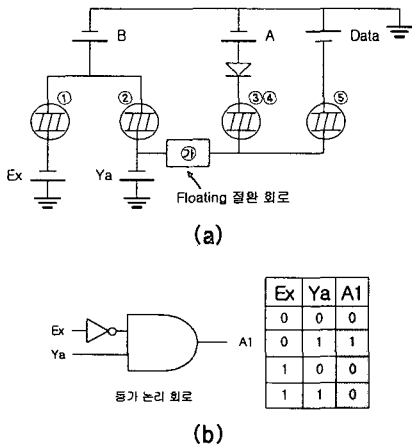


그림 4. AND gate PDP의 AND gate 등가회로
Fig. 4. Equivalent circuit of AND gate for the AND gate PDP

그림 5는 본 연구에서 제안한 방전 AND gate를 구동하기 위한 펄스 타이밍도이다.

그림에서 보면 맨 처음에 B전극과 Ex전극 사이에서 DC priming 방전을 하고 이어서 입력방전들이 일어나며 A전극은 A1전압과 A2전압으로 나누어져 있어 AND 출력 방전은 A1전압과 Ya전압 사이에서 이루어진다. DC-AC floating방전은 A전극의 A2전압과 D전극의 전압 사이에서 이루어진다. 본 연구에

서 제안한 AND 출력인 방전 ③은 방전①과 ②가 없을 때 일어나므로 방전이 일어나기 매우 어렵다. 그러므로 AND 방전에 앞서서 폭이 짧은 펄스를 인가하여 방전을 한번 해줄 필요가 있다. 이것이 DC priming 방전의 역할이다.

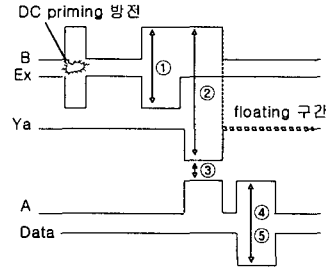


그림 5. 방전 AND gate의 구동 타이밍 도
Fig. 5. Driving timing chart of discharge AND gate

3.2 개선된 AND gate PDP의 구조

그림 6은 본 연구에서 제안한 AND gate PDP의 전극 구조를 보여준다. 전술한 바와 같이 Ex 전극이 A전극과 분리되어 있는 것을 제외하면 기존의 패널 구조와 동일한 구조를 가지고 있다. 여기서 화상 정보가 직접 디스플레이 되는 부분은 3전극 면방전 교류구동형 구조를 가지고 있으며 AND gate 부분은 DC 방전 구조를 가진다. 그림에서는 9개의 수평전극을 구동하는 것을 예로 들었다. 이 경우 종래의 PDP는 수평주사에 9개의 고전압 스위치쌍이 필요하다. 그러나 AND gate가 설치된 PDP는 3+3=6개의 고전압 스위치 쌍으로 수평주사가 가능하게 된다. 480개의 수평주사전극이 있는 VGA급 PDP의 경우에는 20+24=44개의 고전압 스위치쌍으로 구동이 가능하므로 1/10 수준의 고전압 스위치쌍을 절감할 수가 있다. 또한 HDTV 수준의 PDP를 구동하기 위해서는 1080개의 고전압 스위치쌍이 필요하나 본 연구에서 제안된 기술을 사용하면 30+36=66개의 스위치 쌍으로 구동이 가능하게 되어 1/16 수준의 절감효과를 얻는 것이 가능하게 된다.

그림 7은 제안된 AND gate PDP를 구동하기 위한 전체 타이밍 도이다. 그림에서 초기화 기간에는 프라임 펄스를 X, Y 두 전극에 인가하여 패널의 전면을 초기화 시키고 어드레스 기간에는 방전

AND Gate PDP의 기계방전구조 개선

AND gate 동작을 포함한 썬닝기 동작을 수행한다. 그리고 어드레스 방전에 의해 벽전하가 생성된 화소만이 표시발광 유지기간에 sustain 펄스에 의해 표시발광이 유지된다.

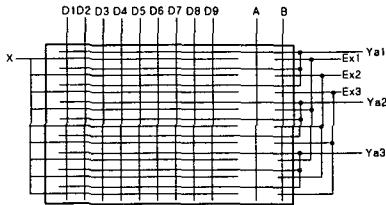


그림 6. 방전 AND gate PDP의 전극 구조
Fig. 6. Electrode structure of discharge AND gate PDP

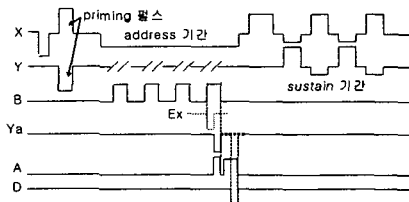


그림 7. AND gate PDP의 구동 타이밍도
Fig. 7. The entire operational timing chart of AND gate PDP

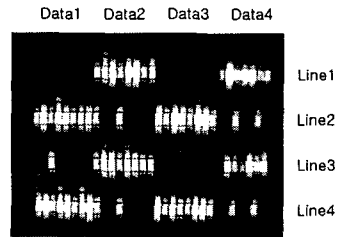
여기서 초기화 기간의 priming 방전과 address 방전 그리고 표시발광 유지기간의 sustain 방전은 모두 디스플레이 영역에서 일어나는 AC 방전이며 DC 방전인 AND gate 방전은 AND gate 영역에서 address 기간에 일어난다. 여기서는 4개의 수평전극을 구동시켰으므로 AND gate 방전은 4개가 address 기간동안 인가된다. 또한 그림에서 나타난 것처럼 데이터 펄스는 부극성의 전압을 가진다. 이에 따라 표시방전유지기간에 X, Y 전극에 인가되는 sustain 펄스의 순서를 바꾸어 sustain 펄스는 양극성의 펄스로 구동시켰다.

4. 실험결과

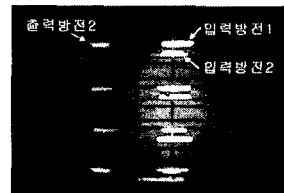
그림 8의 (a)는 실험결과로써 방전 AND gate PDP에 가로, 세로 4x4 화소 즉, 16개의 화소를 선택적으로 구동시킨 결과를 보여준다. 그림에 보이는 것과 같이 cross talk 없이 신뢰성 있게 화소들이 선

택되어진 것을 알 수 있다. 여기서 하나의 점으로 보이는 붉은 점들은 방전 노이즈이므로 향후 좀더 조건을 최적화하여 개선해야 할 사항이라고 생각한다.

그림 8의 (b)는 AND gate PDP를 구동하면서 DC 부분의 방전 상태를 보인 것이다. A, B 전극에 양의 전압을 인가하고 Ex전극과 Ya전극에 음의 전압을 인가하였으므로 Ex전극과 Ya전극이 음극이 되어 방전이 옆으로 길게 퍼진 것을 알 수 있다. 그러므로 위아래의 인접 전극에의 영향이 제거되었다.



(a)



(b)

그림 8. AND gate PDP 구동실험 결과
Fig. 8. Result of driving experiment with AND gate PDP

그림 9는 AND gate의 출력인 A1전압에 의한 방전③이 DC floating 방전인 A2전압에 의한 방전④에 미치는 영향을 측정 한 것이다. 이때 B전극, Ex전극, Ya전극의 전압들은 최적화된 전압으로 고정시켜 놓았으므로 A1전압이 증가하는 것은 방전③이 강해지는 것을 의미한다. 이때 A2전압의 최소값은 AND gate가 동작할 때 방전④가 발생하는 최소방전개시 전압을 측정하였으며 A2전압의 최대값은 AND gate가 기능을 상실하고 출력이 0인 논리에서도 방전④가 발생하는 최초전압으로 설정하였다. 실험 결과 A2전압의 상한은 185[V]정도 얻어졌으며 동작마진은 최대 34[V]정도가 얻어졌다.

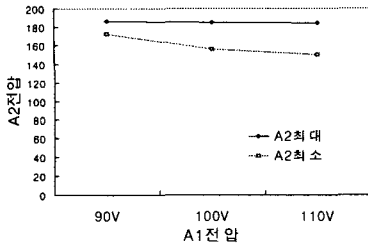


그림 9. A1전압에 대한 A2전압의 동작마진 특성
Fig. 9. Operation margin characteristics of A2 voltage by A1 voltage

그림 10은 A2전압에 대한 Data 전압의 동작마진을 측정하는 것이다. 이 경우 B전극, Ex전극, Ya전극의 전압 및 A전극의 A1전압들은 모두 최적화하여 고정시켰다. 그리고 Data전극의 최소전압은 AND gate의 동작에 의해 방전④가 발생하였을 때 A2전극과 Data전극사이에서 floating 방전이 일어나는 최소전압이며 Data전극의 최대전압은 방전④가 없는 경우에도 Data 전압만으로 address 방전을 일으키는 최초전압이다.

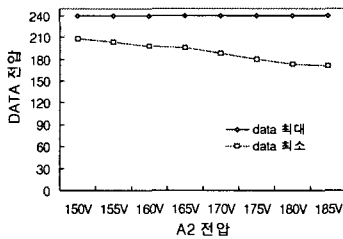


그림 10. A2전압에 대한 Data전압의 동작마진 특성
Fig. 10. Operation margin characteristics of Data voltage by A2 voltage

실험결과 A2전압을 높이면 Data 전압을 십수V 정도 낮출 수 있음을 알 수가 있다. 그러나 A2 전압을 너무 높이면 AND 출력 방전이 없어도 A2 방전이 개시해 버려서 AND 기능이 상실된다. 그러므로 A2 전압을 높이는 데는 한계가 있다. 실험결과로부터 최대 Data전압은 240[V]이며 Data 전압은 170[V]까지 낮출 수 있었고 이때 동작마진은 70[V]정도가 얻어졌다.

5. 결 론

방전 AND gate PDP는 고전압 회로소자의 개수

를 저감시킬 수 있어 PDP의 회로재료비를 대폭 저감하는 것이 가능하다. 본 연구에서 제안한 방전 AND gate PDP는 새로이 NOT 논리를 고안하고 각 전극에 인가하는 전압의 극성을 바꾸어 기 제안된 방전 AND gate PDP의 문제점을 개선하였다.

실험 결과 복수의 화소를 선택적으로 구동시키는 것이 가능했으며, AND 출력은 동작마진이 34V, Data 전압은 동작마진이 70[V]를 얻을 수가 있었다. 향후에는 AND gate에 사용되는 전극의 재료를 개선하고 형상을 최적화하여 좀더 안정적인 address 동작을 하도록 할 필요가 있다.

본 연구는 한국과학재단 목적기초연구(과제번호 : R05-2002-000-01477-0)의 지원으로 수행되었으며, 관계부처에 감사드립니다.

References

- (1) 編輯部編, "2001年のFlat Panel Display 市場", 電子技術, 1999-7号, pp.9-12, 1999.
- (2) 御子柴 茂生, "プラスマディスプレイ最新技術", ED リサーチ社, 1996.
- (3) Jerry D Schermerhorn et al., "Discharge-Logic Drive Schemes", Proc. of the SID Vol.16/2 Second Quarter pp.81-85, 1975.
- (4) Larry F Weber et al., "A New Gas Discharge Logic Technique that Reduces Circuit Complexity for AC Plasma Display Panels", Conf. Record of IDRC, pp. 502-505, Kobe, Japan, 1983.
- (5) M. Ishii et al., "Reducing the Number of Scan Drivers in AC PDPs by an Order of Magnitude Using Gas-Discharge AND Logic", Digest of SID, pp. 283-286, 1998.
- (6) Jeongduk Ryeom et al., "A Study on the New Discharge Logic Device for the Plasma Display Panels", J of KIEE, Vol.16, No.1, pp.13-19, 2002.1.
- (7) Jeongduk Ryeom, "A Study on the New Discharge AND Gate and Drive Scheme for the Cost Down of the PDPs", J of KIEE Vo.52, No.6, pp.267-273, 2003. 6.

◇ 저자소개 ◇

염정덕 (嚴正德)

1960년 5월 14일생. 1987년 서울대학교 공과대학 전기공학과 졸업. 1989년 서울대학교 대학원 전기공학과 석사과정 졸업. 1992년 서울대학교 대학원 전기공학과 박사과정 졸업. 1992년~1995년 LG전자(주) 영상미디어연구소 선임연구원. 1996년 일본 전기·통신대학 외국인연구자. 1997년~1999년 삼성SDI(주) 기술본부 선임연구원. 2000년~현재 경주대학교 컴퓨터정보시스템공학부 조교수.