논문 2004-41TC-10-10

50% 듀티 싸이클 버퍼를 가진 산술 연산 구조의 이중 대역 CMOS 전압 제어 발진기

(A Dual band CMOS Voltage Controlled Oscillator of an arithmetic functionality with a 50% duty cycle buffer)

한 윤 철*, 김 광 일**, 이 상 철**, 변 기 영***, 윤 광 섭****

(Y.C. Han, K.I. Kim, S.C. Lee, G.Y. Byun, and K.S. Yoon)

요 약

본 논문은 0.35㎛ CMOS 공정을 이용하여 1.07GHz와 2.07GHz의 주파수를 생성해내는 이중 대역 전압 제어 발진기를 제안한다. 50% 듀티 싸이클 회로와 반가산기를 가진 제안된 전압 제어 발진기는 일반적인 전압 제어 발진기의 주파수보다 두 배 높은 주파수를 생성해낼 수 있다. 제안된 전압 제어 발진기의 측정 결과는 전압 제어 발진기 이득과 전력 소모가 각각 561MHz/V, 14.6mW로 나타났다. 이중 대역 전압 제어 발진기의 위상 잡음은 각각 1.07GHz와 2.07GHz로부터 2MHz 옵셋 주파수에서 -102.55dBc/Hz와 -95.88dBc/Hz로 측정되었다.

Abstract

This paper proposes a dual band Voltage Controlled Oscillator(VCO) with a standard 0.35㎛ CMOS process to generate 1.07GHz and 2.07GHz. The proposed VCO architecture with 50% duty cycle circuit and a half adder(HA) was capable of producing a frequency two times higher than that of the conventional VCOs. The measurement results demonstrate that the gain of VCO and power dissipation are 561MHz/V and 14.6mW, respectively. The phase noises of the dual band VCO are measured to be -102.55dBc/Hz and -95.88dBc/Hz at 2MHz offset from 1.07GHz and 2.07GHz, respectively.

Keywords : VCO, Duty cycle buffer, HA

I. 서 론

무선통신 시스템 사용에 있어서 급격한 성장은 비용, 크기, 전력 소모 측면에서의 감소 등 여러 가지 요구를 충족시켜야만 한다. 또한 고속 동작과 저전력, 저잡음 위상 동기 루프는 클락 복원기, 클럭 생성기, 주파수 합성기등 다양한 분야에서 사용되고 있다. 동작 주파수 범위, 획득 시간, 지터 특성, 전압 대 주파수의 선형성, 위상 잡음 등과 같은 위상 동기 루프의 여러 가지 중요한 파라미터들은 전압 제어 발진기의 성능에 대부분 의존한다. 따라서, 전압 제어 발진기에 대한 연구가 활발히 진행되고 있다. 기존의 위상 동기 루프 회로들은 전압 제어 발진기의 좁은 대역폭 때문에 입력 록킹 범위가 제한되고, 전압 제어 발진기의 전압 대 주파수의 선형성을 증가시키기 위하여 공정에 민감한 상호 선형 회로를 사용하였다. 또한 D 플립 플롭을 이용한 위상 주파수 검출기는 사구간을 생성해내고, 이것은 전압 제어 발진기의 출력 지터를 발생시킨다. 일반적으로 획득 시간을 빠르게 하기 위하여 루프 필터의 대역폭을 넓게 설계한 경우 지터 특성이 나빠지게 되고, 좁게 설계할 경우 획득 시간이

* 정회원, 삼성전자 System LSI 사업부
(Samsung Inc. Dept. of System LSI)
** 학생회원, **** 정회원, 인하대학교 전자전기공학부
(Dept. of Electronic & Electric Eng., InHa Univ.)
*** 정회원, 인하대학교 UWB-IT 연구센터
(Ultra Wide Band-IT Research Center, INHA University)
※ 본 연구는 인하대학교 UWB-ITRC (Ultra Wide Band-IT Research Center)의 지원으로 수행됨.
접수일자: 2004년3월24일, 수정완료일: 2004년8월 일

느려지게 되는데 획득 시간을 빠르게 하면거 지터 특성을 좋게 하기 위해서 기존의 회로들은 전하 펌프단의 전류를 프로그래머블하게 설계하는데, 이는 회로의 전력 소모를 증가시키게 된다. 최근에는, LC 탱크 구조의 전압 제어 발진기[1-3]와 차동 구조의 고리 발진기와 같은 고성능의 전압 제어 발진기는 더 높은 동작 주파수 범위, 이중 대역 주파수, 낮은 위상 잡음[4]과 같은 성능을 요구한다.

본 논문에서는 이중 대역 주파수를 생성하고 넓은 튜닝 범위에서 동작하며, 적은 칩 면적을 갖고, 높은 전압 제어 발진기 이득을 갖는 산술 연산구조의 새로운 CMOS 고리 발진기를 제안한다. Ⅱ장에서는 제안된 전압 제어 발진기의 구조와 회로 설계 방법에 대하여 설명하였다. Ⅲ장에서는 제안된 전압 제어 발진기의 실험 결과에 대하여 설명하였으며, Ⅳ장에서는 결론을 맺었다.

Ⅱ. 50% 듀티 싸이클 회로를 지닌 전압 제어 발진기 설계

본 논문은 50% 듀티 싸이클 회로를 가진 이중 대역 주파수를 생성해내는 전압 제어 발진기를 제안한다. 제안된 전압 제어 발진기의 블록 다이어그램은 그림 1과 같다. 회로의 구조는 4단의 지연단으로 구성된 고리 발진기와 차동 입력으로 된 듀티 싸이클 버퍼와 반 가산기로 구성되어 있다. 듀티 싸이클 버퍼회로의 위상은 그 회로의 입력에 관련된 각 지연단의 위상과 같다. 4단의 고리 발진기의 총 위상 지연이 180° 이므로 각 지연단의 위상 지연은 45°가 된다[5]. 듀티 싸이클 버퍼 회로와 반 가산기를 가진 제안된 전압 제어 발진기는 4단의 지연단

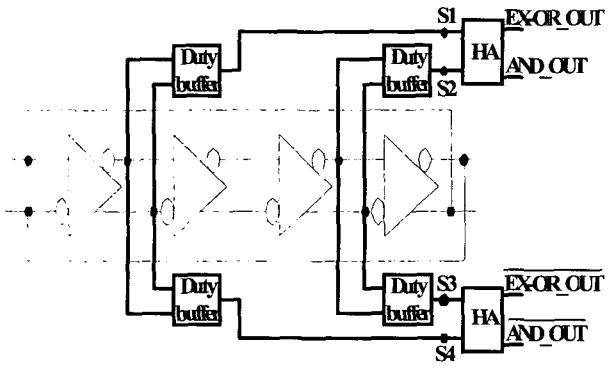


그림 1. 제안한 산술 연산구조 전압제어 발진기의 블록 다이어그램

Fig. 1. Circuit diagram of the VCO with an arithmetic functionality.

으로 구성되어 있으며, 각 지연단의 회로는 그림 2와 같다. 설계된 차동 지연단의 구조는 점선을 중심으로 좌우 대칭 구조[6]를 이루며, 인버터(Mp1/Mn1과 Mp4/Mn4), 래치 회로(Mn2와 Mn3), 능동 부하(Mp2와 Mp3), 그리고, 바이어스 회로(M1, M2, M3, M4)로 구성되어 있다. 바이어스 전압인 nbias는 래치 회로를 동작시키고, Vcon은 루프 필터에서 나오는 제어 전압이며, 바이어스 전압인 pbias는 레플리카 바이어스 회로[7]로부터 인가된다. 바이어스 전압(pbias, nbias)과 제어 전압(Vcon)은 지연단의 DC 바이어스 상태를 제어할 수 있도록 외부에서 인가된다.

제안된 회로 구조의 Vout+단자에서 발생되는 발진 주파수(fosc)는 식 (1)과 같다.

$$f_{OSC} = \frac{k}{2\pi \cdot N \cdot R_o \cdot C_o} \tag{1}$$

여기서, k는 비례상수, N은 지연단의 개수, Ro는 전류의 크기에 반비례하는 출력 저항, Co는 출력단의 기생 커패시턴스들의 합이다[8]. 식 (1)에서 그림 2의 제안된 지연단의 출력저항(Ro)은 식 (2)와 같이 근사적으로 표시할 수 있다.

$$R_{on} = \frac{1}{2} g_{m3} \cdot r_{on3}^{\,2}$$

$$R_{op} = g_{m2} \cdot r_{o2} \cdot \left(\frac{1}{g_{mp3}} // r_{o4}\right) \approx \frac{g_{m2}}{g_{mp3}} \cdot r_{o2}$$

$$R_o = R_{op} // R_{on}$$

$$R_O = \left(\frac{g_{m2}}{g_{mp3}} \cdot r_{o2}\right) // \left(\frac{1}{2} g_{m3} \cdot r_{on3}^{\,2}\right)$$

$$\approx \frac{g_{m2}}{g_{mp3}} \cdot r_{o2} = \sqrt{\frac{\left(\frac{W}{L}\right)_{p2}}{\left(\frac{W}{L}\right)_{p3}}} \cdot r_{o2} \tag{2}$$

식 (2)에서 Rop와 Ron은 출력단에서 보이는 각각의 PMOS 트랜지스터들과 NMOS 트랜지스터들의 출력 저항이다. gm2, gmp3, gm3는 M2, Mp3, M3의 상호 트랜스컨덕턴스이고, ro2, ron3는 M2, Mn3의 출력 저항이다. 따라서, 식 (2)를 식 (1)에 대입시키면, 식 (3)과 같은 결과를 얻을 수 있다.

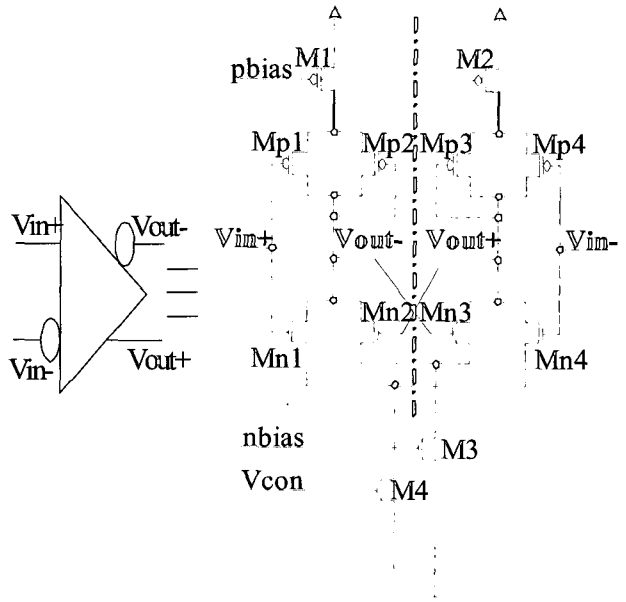


그림 2. 차동 지연단의 회로도
Fig. 2. Circuit schematic of the delay cell.

$$f_{osc}=\frac{k}{2\pi\cdot N\cdot\sqrt{\frac{\left(\frac{W}{L}\right)_{p2}}{\left(\frac{W}{L}\right)_{p3}}}\cdot r_{o2}\cdot C_o} \tag{3}$$

그러므로 발진 주파수(fosc)는 M2와 MP3의 W/L비와 M2의 출력저항의 곱에 반비례한다. 여기서 M2의 출력 저항인 ro2는 지연단에 흐르는 바이어스 전류에 반비례한다. 즉, 바이어스 전류의 크기를 크게 설계하면 ro2는 감소하게 된다. ro2가 감소하면 발진 주파수는 증가하기 때문에 M1, M2, M3, M4의 W/L비를 되도록 크게 설계하였다. 래치회로인 Mn2, Mn3는 정귀환 경로이므로, 전류의 크기를 증가시키는 역할을 하여 역시 지연시간을 감소시키고, 다이오드 부하로 사용된 Mp2, Mp3는 지연단의 출력 저항을 감소시킨다. 또한 식 (3)에서 출력단의 기생 커패시턴스는 식 (4)과 같다.

$$C_0=C_{gdp4}+C_{bdp4}+C_{bdp3}+C_{gdn3}+C_{bdn3}+C_{gdn4}+C_{bdn4} \tag{4}$$

여기서 Cgdi는 게이트-드레인 기생 커패시턴스이고, Cdbi는 게이트-기판 기생 커패시턴스이다. 제안하는 전압 제어 발진기가 정상적으로 동작하기 위해서는 반 가산기 두 입력의 듀티 싸이클은 정확히 50%가 되어야 한다. 듀티 싸이클이 50%에서 벗어나는 것을 방지하기 위

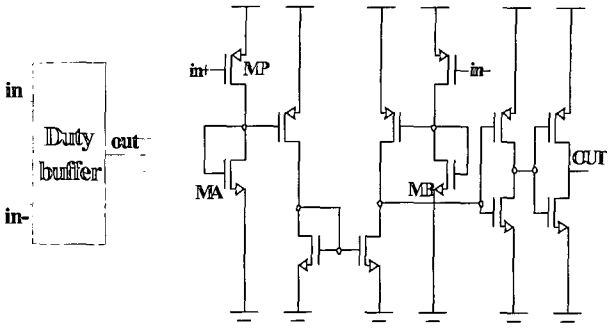


그림 3. 50% 듀티 싸이클 버퍼의 회로도
Fig. 3. Schematic of the 50% duty cycle buffer.

하여 그림 3과 같이 버퍼를 설계하였다.

이 회로는 제안하는 전압 제어 발진기에서 각각 첫 번째 단의 출력 단자와 세 번째 단의 출력 단자의 다음 단에 오며, 그림 3의 트랜지스터 MA, MB의 W/L비에 의해서 50% 듀티 싸이클이 결정된다. 소자비는 식 (5)~(9)에서와 같이 구할 수 있다. 트랜지스터 MP는 포화 영역에서 동작하므로 식 (5)와 같다.

$$I_{MP}=\frac{K_P\left(\frac{W}{L}\right)_{MP}\left(V_{sgMP}-|V_{tMP}|\right)^2}{2} \tag{5}$$

입력 전압 변화의 범위를 ΔV_{sgMP}라 하면 식 (6)과 같다.

$$\Delta V_{sgMP}=\sqrt{\frac{2\Delta I_{MP}}{K_{MP}\left(\frac{W}{L}\right)_{MP}}}+|V_{tMP}| \tag{6}$$

또한, 트랜지스터 MA의 소스와 드레인 사이의 전압 변화의 범위 ΔV_{DS}는 식 (7)과 같다.

$$\Delta V_{DS}=\Delta V_{gsMA}=\sqrt{\frac{2\Delta I_{MP}}{K_{MA}\left(\frac{W}{L}\right)_{MB}}}+|V_{tMA}| \tag{7}$$

식 (6)과 식 (7)에서 $|\Delta V_{sgMP}|=|\Delta V_{sgMA}|$ 이어야 하므로, 식 (8)과 같이 유도할 수 있다.

$$\sqrt{\frac{2\Delta I_{MP}}{K_{MB}\left(\frac{W}{L}\right)_{MB}}}+|V_{tMB}|=\sqrt{\frac{2\Delta I_{MP}}{K_{MA}\left(\frac{W}{L}\right)_{MB}}}+|V_{tMA}| \tag{8}$$

결국, $|V_{tMB}|=|V_{tMA}|$일 때 , 식 (9) 과 같이 나타낼 수 있다.

$$\left(\frac{W}{L}\right)_{MA} = \frac{K_{MB}}{K_{MA}}\left(\frac{W}{L}\right)_{MB} \tag{9}$$

그러므로 식 (9)를 만족하도록 트랜지스터 MA와 MB의 W/L비를 조정하게 되면, 입력 전압의 DC 바이어스 전압이 기준 전압보다 내려갔을 경우, 트랜지스터 MA의 드레인에서의 전압은 다시 상승하여 항상 일정하므로 정확히 50% 듀티 싸이클을 유지하게 된다. 그림 4 (a)는 반가산기 회로도를, 그림 4 (b)와 (c)는 제안된 전압 제어 발진기에서 두 개의 동작 주파수를 얻는 동작 원리를 나타낸다. 반 가산기 회로는 EX-OR 게이트와 AND 게이트로 구성되어 있다. 그림 1에서 단자 S1과 단자 S2에서의 위상 지연은 90°이다. 따라서 반 가산기에서 입력 신호인 S1과 S2, 출력 신호인 EX-OR_OUT와 AND_OUT은 그림 4(b), (c)와 같다. 그림 4(b)에서와 같이 단자 S1에서의 입력 신호가 High이고 단자 S2에서의 입력 신호가 Low일 때, 또는 단자 S1에서의 입력 신호가 Low이고 단자 S2에서의 입력 신호가 High일 때의 EX-OR_OUT은 High가 된다. 1 싸이클이 지연된 후에 단자 S1, 단자 S2의 입력 신호가 각각 High, High 또는 Low, Low일 때의 EX-OR_OUT은 Low가 된다. 그러므로 EX-OR_OUT의 주파수는 단자 S1과 단자 S2에서의 입력 주파수보다 2배의 높은 주파수를 얻게 된다. 또한 그림 4(c)에서와 같이 단자 S1, 단자 S2의 입력 신호가 High, High일 때만 AND_OUT은 High가 된다. 그러므로 EX-OR_OUT의 정확히 2분주되는 주파수를 얻을 수 있다.

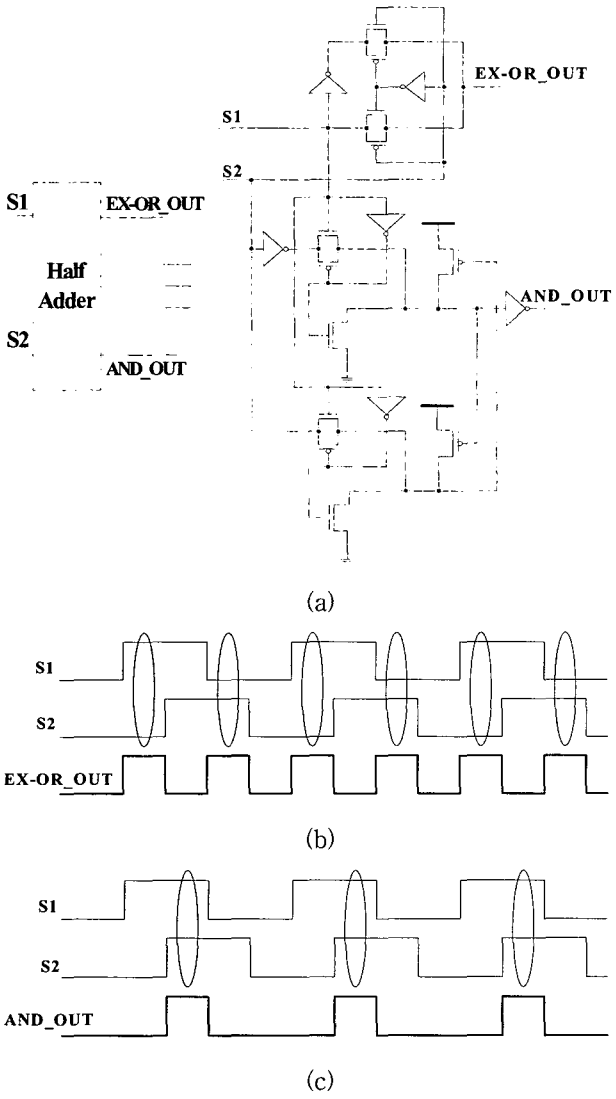


그림 4. (a) 반 가산기의 회로도, (b) EX-OR 게이트의 출력 신호, (c) AND 게이트의 출력 신호

Fig. 4. (a) Circuit schematic of Half Adder, (b) Output signal from EX-OR gate, and (c) Output signal from AND gate.

Ⅲ. 실험 및 고찰

일반적인 전압 제어 발진기와 제안하는 전압 제어 발진기는 3.3V 단일 공급 전압에 0.35㎛ CMOS 2-Poly 4-Metal 공정을 이용하여 구현 되었다. 제안하는 산술 연산 구조의 전압 제어 발진기 회로의 전압 대 주파수 특성 측정 결과는 그림 5와 같다.

입력 전압이 0.8V일 경우 동작 주파수는 840MHz이고 입력 전압이 3.0V일 경우 동작 주파수는 2.07GHz로 넓게 동작하는 것을 알 수 있다. 따라서 전압 제어 발진기

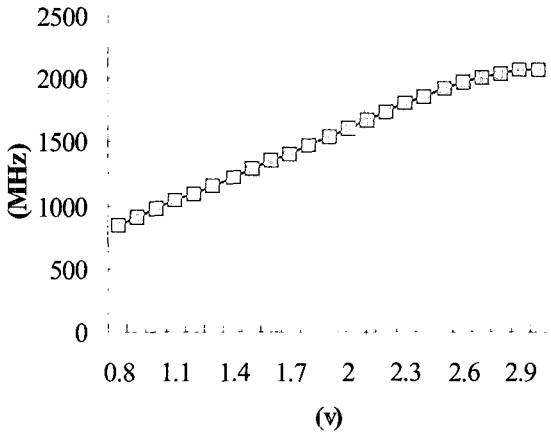


그림 5. 전압 제어 발진기의 전압 대 주파수 특성 곡선

Fig. 5. Voltage to frequency characteristic curve of the voltage controlled oscillator.

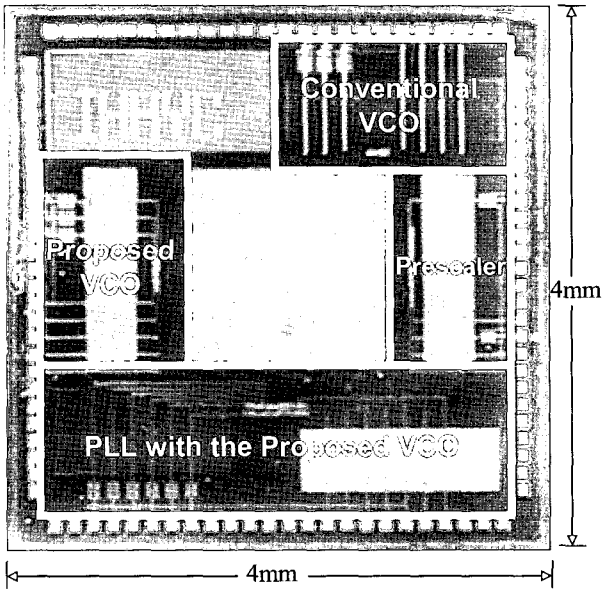


그림 6. 제안한 전압 제어 발진기를 포함하는 전체 다이 사진

Fig. 6. Total die photo including the proposed VCO.

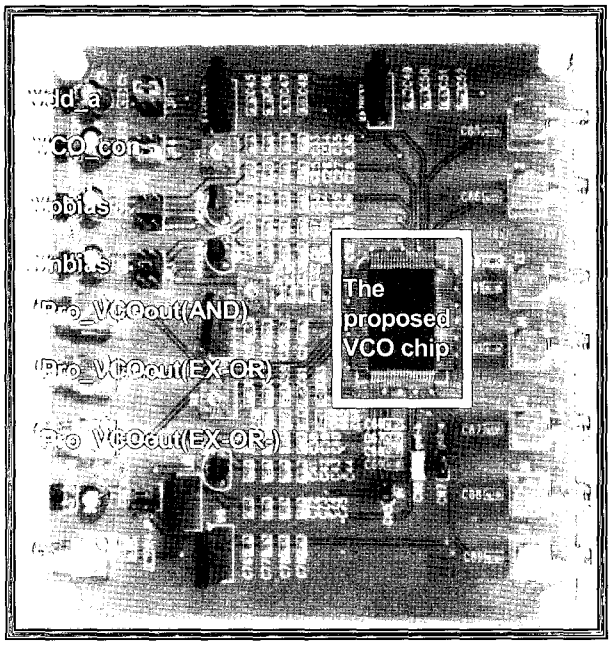
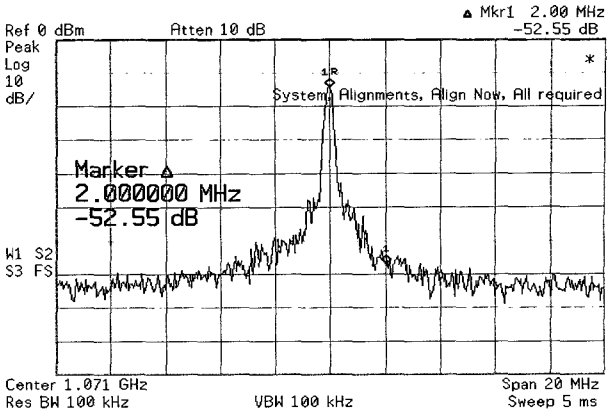


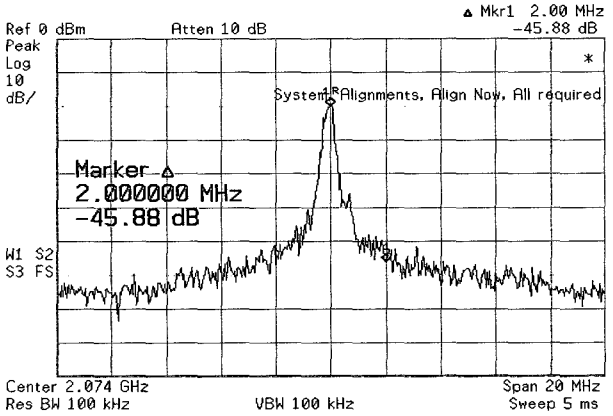
그림 7. PCB를 이용한 측정 보드 사진

Fig. 7. Photo of measurement setup using PCB.

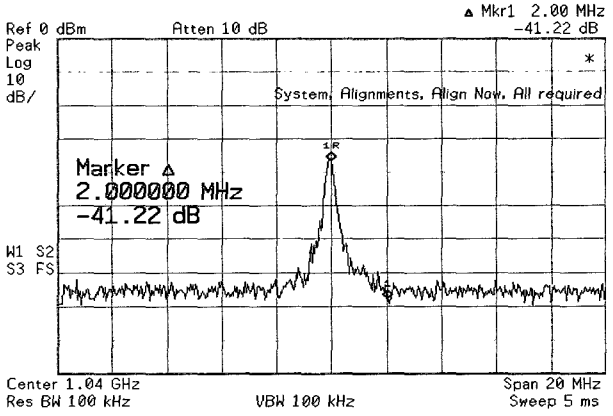
이득은 560MHz/V로 매우 높다. 또한, 2.07GHz에서의 전압 제어 발진기의 전력 소모는 14.6mW이다. 제안하는 전압 제어 발진기를 포함하는 전체 칩 사진은 그림 6과 같다. 그림 6의 사진은 일반적인 전압 제어 발진기와 제안된 전압 제어 발진기, 프리 스케일러, 제안된 전압 제어 발진기를 포함하는 위상 동기 루프(PLL)로 구성 되어 있다. 칩의 총면적은 4㎜×4㎜이며, 제안하는 전압 제어 발진기의 코어 면적은 1.5㎜×1㎜이다. 칩은 100핀짜



(a)



(b)



(c)

그림 8. 측정된 전압 제어 발진기 출력 스펙트럼
(a) 일반적인 전압 제어 발진기 : fc=1.07GHz
(b) 제안한 전압 제어 발진기(XOR): fc=2.07GHz
(c) 제안한 전압 제어 발진기(AND): fc=1.04GHz

Fig. 8. Output spectrum plots of the measured VCO.
(a) Conventional VCO : fc=1.07GHz
(b) Proposed VCO(XOR) : fc=2.07GHz
(c) Proposed VCO(AND) : fc=1.04GHz

리의 QFP로 패키지 되었다. 그림 7는 일반적인 전압 제어 발진기와 제안하는 전압 제어 발진기의 성능 측정을

위하여 패키징된 칩을 장착한 PCB 측정 보드의 사진이다. 그림 7에서 일반적인 전압 제어 발진기와 제안하는 전압 제어 발진기, 위상 동기 루프의 전력 공급 전압은 3.3V 고정 전압 레귤레이터를 사용하여 제공된다. 전압 제어 발진기의 제어 전압은 가변 저항을 사용하여 조절 가능하다.

PCB 측정 보드를 사용하여 전압 제어 발진기의 측정된 출력 스펙트럼은 그림 8과 같다. 이는 일반적인 전압 제어 발진기의 출력 스펙트럼으로써 위상 잡음은 중심 주파수(f_c) 1.07GHz로부터 2MHz 옵셋 주파수에서 -102.55dBc/Hz이다. 그림 8(b)는 제안하는 전압 제어 발진기에서 XOR 게이트의 출력 스펙트럼으로써 위상 잡음은 중심 주파수 2.07GHz로부터 2MHz 옵셋 주파수에서 -95.88dBc/Hz이다. 그림 8(c)는 제안하는 전압 제어 발진기에서 AND 게이트의 출력 스펙트럼으로써 위상 잡음은 f_c=1.04GHz로부터 2MHz옵셋 주파수에서 -91.22dBc/Hz이다. 이와 같이 AND 게이트 출력의 제안하는 전압 제어 발진기의 위상 잡음은 일반적인 전압 제어 발진기보다 더 크게 측정되었다. 그러나 XOR 게이트 출력의 제안하는 전압 제어 발진기의 위상 잡음은 일반적인 전압 제어 발진기의 위상 잡음보다 4.66dBc 더 작게 측정되었다. 일반적인 전압 제어 발진기와 제안하는 전압 제어 발진기 사이의 모의 실험된 위상 잡음 값과 측정된 위상 잡음 값과의 차이를 표 1에서 나타내었다. 표 1에서 보는 바와 같이 모의 실험된 결과와 측정된 결과 사이의 위상 잡음의 차이는 각각 15.77dBc, 25.48dBc, 20.53dBc가 된다. 이 차이는 Vcon, pbias, nbias 입력 전압을 인가하기 위해 외부 전원 공급기로부터의 지터 때문이며, 또한 그림 7에서 보는 바와 같이 다이의 패드로부터 출력 신호를 측정하기 위한 SMA커넥터 사이의 신호 선폭이 길어서 잡음이 타기 때문이다. 위상 잡음이 증가한 또 다른 원인으로는 QFP패키지의 사용과 저주파용 FR-4 재질의 PCB 사용으로 분석된다. 따라서 좀 더 안정된 외부 전원으로 대체되고, PCB상에서 다이 패드와 SMA커넥터 사이의 선폭을 최소로 줄이며, 고주파용 패키지, 고주파용 PCB를 사용함으로써 위상 잡음 특성은 좀 더 향상될 수 있을 것으로 기대된다. 표 2에서는 제안하는 전압 제어 발진기와 기존 전압 제어 발진기들의 성능을 비교하였다. 제안하는 전압 제어 발진기의 전력 소모는 다른 기존 전압 제어 발진기들[4],[8],[9]의 전력 소모보다 적은 것을 알 수 있다. 그러나 본 논문에서는 동

표 1. 제안된 전압 제어 발진기의 성능 요약
Table 1. Summary of the performance of the proposed VCO.

공 정	0.35㎛ CMOS(2-Poly 4-Metal)		
주파수 범위	일반적인 VCO: 450MHz/Vcon=0.8V~1.07GHz/Vcon=3.0V 제안된 VCO (EX-OR): 840MHz/Vcon=0.8V~2.07GHz/Vcon=3.0V 제안된 VCO (AND): 420MHz/Vcon=0.8V~1.04GHz/Vcon=3.0V		
모의실험된 위상 잡음 (A)	-118.32 dBc/Hz @2MHz	-121.36 dBc/Hz @2MHz	-111.75 dBc/Hz @2MHz
측정된 위상 잡음(B)	-102.55 dBc/Hz @2MHz	-95.88 dBc/Hz @2MHz	-91.22 dBc/Hz @2MHz
(A)와 (B)사이의 차	15.77dBc	25.48dBc	20.53dBc
전력 소모	14.6mW @2.07GHz		
전압 제어 발진기 이득	561MHz/V		

표 2. 전압 제어 발진기 회로들의 성능 비교
Table 2. Performance comparison of VCO circuits.

논문	공정	공급 전압	위상잡음	동작 주파수	전력소모
[4]	0.6㎛ CMOS	3.0V	-101dBc/Hz@ 100kHz	750MHz ~1.2GHz	30mW (VCO)
[8]	0.6㎛ CMOS	3.3V	-	1GHz	92mW(PLL)
[9]	0.6㎛ CMOS	3.3V	-	300~400 MHz	44.55 mW (VCO)
This paper	0.35㎛ CMOS	3.3V	-102.55dBc /Hz @2MHz -95.88dBc /Hz @2MHz -91.22dBc /Hz @2MHz	1.07GHz (Con) 2.07GHz (EX-OR) 1.04GHz (AND)	14.59 mW (VCO)

일한 칩 상에서 구현된 제안하는 전압 제어 발진기는 일반적인 전압 제어 발진기와 거의 비슷한 전력을 소모한다. 왜냐하면, 제안하는 전압 제어 발진기에서 추가된 반 가산기와 50% 듀티 싸이클과 같은 디지털 논리 회로들의 전력 소모는 상당히 적기 때문이다. 또한, 제안하는 전압 제어 발진기의 위상 잡음은 일반적인 전압 제어 발진기[4]의 위상잡음보다 우수하다는 것을 알 수 있다.

IV. 결 론

50% 듀티 싸이클 버퍼 회로와 반 가산기 회로를 포함

하는 제안하는 CMOS 전압 제어 발진기는 이중 대역 주파수(1.04GHz, 2.07GHz)를 동시에 발생할 수 있도록 설계되었다. 제안하는 전압 제어 발진기는 3.3V 공급 전원에서 14.6mW의 전력을 소모한다. 측정된 결과는 제안하는 전압 제어 발진기의 전력 소모가 다른 전압 제어 발진기의 전력 소모보다 낮다는 것을 보여 준다. 이중 대역 전압 제어 발진기의 측정된 위상 잡음은 중심 주파수 1.04GHz와 2.07GHz로부터 2MHz옵셋 주파수에서 각각 -91.22dBc/Hz와 -95.88dBc/Hz이다. 제안된 전압 제어 발진기 회로는 클럭 데이터 복원기나 클럭 생성기, 또는 PCS, GSM/DCS -1800, CDMA와 같은 무선 통신 시스템 내의 클럭 데이터 복원기, 클럭 발생기 또는 주파수 합성기로 사용될 수 있을 것으로 기대된다.

- 본 연구는 IDEC 칩 설계 및 칩 제작에 의해 이루어졌습니다.

참 고 문 헌

[1] B. H. Park, "Low-Power, Low-Phase Noise-CMOS Voltage-Controlled-Oscillator with Integ-rated LC Resonator," The 5th Korean Conferen-ce on Semiconductors, vol.33, pp. S252-S257, Feb., 1998.

[2] K.S. Nah, D.Y. Jung and B.H. Park, "A 2.7V 170-MHz LC Voltage-Controlled- Oscillator for an IF Wireless Transceiver," Journal of Korean Physical Society, vol.37, no.6, pp.808-811, Dec., 2000.

[3] G.S. Lee, J.K. Cho, J.S. Lee, S.K. Kim and N.K. Min, "A 2-GHz, Low Noise, Low Power CMOS Frequency Synthesizer with an LC-tuned VCO for Wireless Communications," Journal of Korean Physical Society, vol.39, no.1, pp.14-19, July, 2001.

[4] C.H. Park and B.S. Kim, "A low-noise, 900-MHz VCO in 0.6-㎛ CMOS," IEEE Journal of Solid State Circuits, vol.34, Issue 5, pp.586-590, May, 1999.

[5] Y.K. Moon, K.S. Yoon and C.H. Han, "Design of a 3.3-V 1-GHz CMOS Phase Locked Loop with a Two-Stage Self- Feedback Ring Oscillator," Journal of Korean Physical Society, vol.37, no.6, pp. 803-807, Dec., 2000.

[6] H.Y. Yu, S.H. Oh, Y.C. Han and K.S. Yoon, Proc. ITC-CSCC'00, pp.969-972, July, 2000.

[7] G. Palmisano and R. Salerno. "A Replica Biasing for Constant-Gain CMOS Open- Loop Ampli-fiers," Proc. ISCAS'98, vol.2, pp. 363-366, Jun, 1998.

[8] H.J. Sung, K.S. Yoon, "A 3.3 V CMOS Dual-Looped PLL with a Current-Pumping Algori-thm," IEICE, vol.E83-A, no.2, pp. 267-271, Feb., 2000.

[9] K.H. Lim, C.H. Park, D.S. Kim and B.S. Kim, "A Low-Noise Phase-Locked Loop Design by Loop Bandwidth Optimization," IEEE Journal of Solid State Circuits, vol. 35, Issue 6, pp.807-815, June, 2000.

저 자 소 개

한 윤 철(정회원)

2000년 인하대학교 전자공학과 졸(공학사)
2002년 인하대학교 전자공학과 대학원 졸 (공학석사)
2002년 1월~현재 삼성전자 Device Solution Network 총괄 System LSI 사업부
<주관심분야: 아날로그 VLSI 설계, 주파수합성기

이 상 철(학생회원)

2002년 인하대학교 전자전기 컴퓨터공학부 반도체전공 (공학사)
2003년~현재 인하대학교 전자공학과 대학원 아날로그 VLSI 연구실 석사과정 재학 중
<주관심분야: 아날로그 VLSI 설계, 주파수합성기, Fractional-N 주파수 합성기 설계, 델타-시그마 모듈레이터 >

윤 광 섭(정회원)

제36권 C편 제8호 참조
2004년 현재 인하대학교 전자전기 공학부 교수
2004년 현재 인하대학교 UWB 연구센터 책임 연구 교수.
<주관심분야: 혼성신호처리 집적회로 설계, 설계 자동화 및 소자/회로/시스템 모델링 등>

김 광 일(학생회원)

2002년 인하대학교 전자공학과 (공학사)
2004년 인하대학교 전자공학과 대학원 (공학석사)
2004년 8월~현재 (주)인티그런트 PLL 설계개발팀
<주관심분야: VLSI, 주파수합성기, VCO설계>

변 기 영(정회원)

1994년 인하대학교 전자공학과 (공학사)
1998년 인하대학교 전자공학과 대학원 (공학석사)
2003년 인하대학교 대학원 전자공학과 (공학박사)
1994년~1996년 (주)LG전자 VCR사업부 회로설계연구원
2003년 3월~현재 가톨릭대학교 정보통신전자공학부 강의전담교수,
2004년 8월~현재 인하대학교 UWB 연구센터 선임연구원.
2004년 현재 IEEK, KICS 정회원, IEICE 해외회원
<주관심분야: 논리시스템설계, 유한체 응용 회로 구현, VLSI 회로설계, DAC, ADC, PLL 등>